

# 基于 FPGA+DSP+ARM 的数据传送总线变换器设计

李海峡<sup>1</sup>, 李振峰<sup>2</sup>

(1. 凯迈(洛阳)电子有限公司, 河南 洛阳 471003;

2. 中色科技股份有限公司, 河南 洛阳 471039)

**摘要:** 介绍了基于 FPGA+DSP+ARM 的数据传送总线变换器的整体设计及 ARM、DSP 和 FPGA 的器件选型, 详细描述了 ARM 与 DSP、DSP 与 FPGA 的接口电路设计, 给出了系统软件结构设计, 详细描述了 HPI 驱动程序的实现过程。

**关键词:** 可编程逻辑门阵列; 数字信号处理器; ARM; 嵌入式系统

中图分类号: TP391

文献标识码: B

文章编号: 1674-7720(2010)14-0076-03

## Design of a data-bus convertor based on ARM and DSP and FPGA

LI Hai Xia<sup>1</sup>, LI Zhen Feng<sup>2</sup>

(1. CAMA(Luoyang) Electronics Co., Ltd., Luoyang 471003, China;

2. China Nonferrous Metals Processing Technology Co., Ltd., Luoyang 471039, China)

**Abstract:** It briefly introduces the structure of a data-bus convertor and the selections of DSP and ARM and FPGA devices. And it detailedly describes the interface designs of ARM and DSP, of DSP and FPGA. Finally it gives the software design and detailedly describes the realization of HPI driver.

**Key words:** FPGA; DSP; ARM; embedded system

在飞控组件测试时, 由于被测系统与上位机有一定距离, 如果直接把遥测并行数据传送到上位机, 将会出现数据信号的衰减和信号延时问题, 有可能使信号时序错位, 从而达不到系统测试的要求。为此, 需要研制一种数据传送总线变换器, 用来完成被测数据无失真的、实时的、远距离与上位机的通信, 并能接收上位机的控制指令, 实现工作状态的远程交互。

### 1 数据传送总线变换器的整体设计

综合考虑到测试系统实时性和可靠性的要求, 选择以太网口作为数据传送总线变换器与上位机的数据转发接口, 以高速串口作为控制口, 采用 FPGA+DSP+ARM 的架构作为实时信息处理平台。

数据传送总线变换器的系统框图如图 1 所示。其中, FPGA 作为数据预处理器, 完成并行数据到串行数据的转换等数据预处理任务; DSP 读取 FPGA 处理后的数据并完成数据压缩的任务; ARM 作为中央处理控制器, 主要完成从 DSP 系统中读取已经编码好的数据并通过以太网口完成与上位机的实时通信任务。上位机按照数据传输协议、产品的数据遥测协议解调出各类物理变

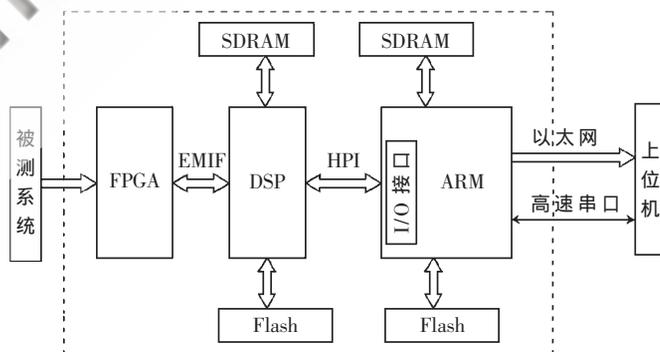


图 1 数据传送总线变换器系统框图

量, 记录并存储。测试人员通过上位机完成工作状态的远程控制与各种信息交互任务。

在该系统中采用了 FPGA+DSP+ARM 的高端架构, 但是衡量一个系统的整体性能不仅要看所使用的器件和所完成的功能, 还要看各个器件之间的接口形式。在 FPGA+DSP+ARM 的信息处理平台上, 三者之间的接口形式将决定整个系统的性能。为满足实时的信号处理任务, 在选择 DSP 芯片时, 不仅要考虑 DSP 芯片的处理速

## 技术与方法 Technique and Method

度,还要考虑 DSP 芯片与 FPGA、ARM 的接口能力,选择带有 EMIF 和 HPI 接口的 DSP 使其与 FPGA、ARM 无缝连接成为该系统设计的关键一环。

### 2 器件选型

在该数据传送总线变换器中,FPGA 选用 Xilinx 公司最新推出的低成本现场可编程门阵列 Spartan-3E 系列中的 XC3S500E。XC3S500E 包含有 20 个 Block RAM,每个 RAM 块中的 18 KB 的模块存储器,是完全同步、真正的双端存储器。用户可独立地从每个端口读出或向每个端口写入(但同一地址不能同时进行读和写)。另外,每个端口都有一个独立的时钟,对每个端口的数据宽度都可以独立进行配置。

ARM 芯片选用 Samsung 公司的 S3C4510B。S3C4510B 是基于以太网应用系统的高性价比 16/32 bit RISC 微控制器,内含一个由 ARM 公司设计的 16/32 bit ARM7TDMI RISC 处理器核。除了 ARM7TDMI 核以外,S3C4510B 还有许多重要的片内外围功能模块,其中就有一个以太网控制器,用于 S3C4510B 系统与其他设备的网络通信<sup>[1]</sup>。

DSP 芯片选用 TI 公司的 TMS320C6416。TMS320C6416 是 TI 公司推出的高速定点 DSP,它拥有处理能力强大的 CPU、高达 1 MB 的 RAM、丰富的外设接口。外设包括 CPU 访问外围设备提供无缝接口的灵活的外部存储器接口 EMIFA 和 EMIFB,一个使得 DSP 很容易通过 PCI 接口无缝连接到一个具有 PCI 功能的外部主 CPU 上的 PCI 接口,一个 16/32 bit 宽的异步并行接口 HPI(和 PCI 共用相同的引脚),一个提供 64 bit 数据通道访问的增强型 EDMA 等。其高速的处理速度满足系统的实时性要求,并能实现与多种外设无缝连接。

### 3 硬件设计

#### 3.1 ARM 与 DSP 的接口电路

##### 3.1.1 DSP TMS320C6416 HPI 描述

TMS320C6416 集成有一个 16/32 bit 宽主机接口 HPI,HPI 通过复位时的自举和器件配置引脚 HD5 选择采用 HPI16 还是 HPI32。HPI 具有两条地址线 HCNTL[1:0],负责对 HPI 的内部寄存器进行寻址。HPI 只有 3 个 32 bit 内部寄存器,分别是控制寄存器 HPIC、地址寄存器 HPIA 和数据寄存器 HPID。用户只需对上述 3 个寄存器进行相应的读写操作,就能完成对 DSP 内存空间的访问<sup>[2]</sup>。

##### 3.1.2 S3C4510B 与 TMS320C6416 的接口电路

由于 S3C4510B 中没有完全符合 TMS320C6416 HPI 接口时序的外部接口可以直接使用,因此选用 S3C4510B 中时序最接近 HPI 接口时序的外部 I/O 接口与 TMS320C6416 进行连接。TMS320C6416 与 S3C4510B 接口电路如图 2 所示。TMS320C6416 与 S3C4510B 通过单独的 32 bit 数据线 HD0~HD31 和 8 条控制线进行连接。S3C4510B 通过 HPI 接口访问 DSP 内部的 RAM 以及其他外部资

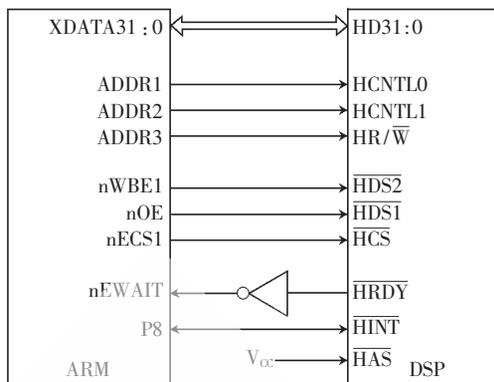


图 2 S3C4510B 与 TMS320C6416 的接口电路

源。在整个 ARM 微处理器与 DSP 芯片通过 HPI 接口通信和数据交换的过程中,除了中断 ARM 和清除 ARM 发过来的中断需要 DSP 本身参与外,其他操作 DSP 都处于被动的地位,几乎不用进行其他的操作。所以对于 ARM 来说,DSP 系统单元就相当于一片外接的 SDRAM。

在 TMS320C6416 中,HPI、GP[15:9]、PCI、EEPROM、McBSP2 共用了一组引脚,DSP 在复位时通过锁存 PCI\_EN 和 McBSP2\_EN 引脚的值来选择使用何种外设。在该系统中,将这两个使能引脚都拉低。

#### 3.2 FPGA 与 DSP 的接口电路

##### 3.2.1 DSP TMS320C6416 EMIF 描述

TMS320C6416 对外有 2 个 EMIF 总线接口,分别是 64 bit 的 EMIFA 和 16 bit 的 EMIFB。EMIFA 接口具备与 8、16、32、64 bit 系统接口的功能,EMIFB 接口端口支持 8 bit 和 16 bit 系统<sup>[3]</sup>。EMIFA 为 64 bit 存储器总线,分成 ACE0~ACE3 4 个存储空间,每个存储空间可以独立配置,无缝接口具有多种类型的存储器,如 SRAM、Flash RAM 和 DDR RAM 等。

##### 3.2.2 FPGA 与 TMS320C6416 的接口电路

在该系统中,采用 DSP TMS320C6416 EMIFA 接口连接到 FPGA 的方法实现 DSP 与 FPGA Block RAM 的无缝连接。FPGA 的双端 Block RAM 的一端以存储器模式与 DSP 通信,另一端与内部 FPGA 逻辑通信<sup>[4]</sup>。

鉴于 EMIF 具有灵活的时序参数,只需要极少的 FPGA 逻辑,因此,只需最低限度的设计工作,FPGA 就可以用做 DSP 协处理器。图 3 所示为 TMS320C6416 与 FPGA 的接口电路。

### 4 系统软件设计

#### 4.1 嵌入式操作系统

在该数据传送总线变换器中,实时数据压缩的任务由 DSP 完成。ARM S3C4510B 完成与 PC 之间的以太网通信,其软件实现所要求的实时性、可靠性和复杂性使得选择一种带有 TCP/IP 协议包的嵌入式实时操作系统成为必需,而  $\mu$ CLinux 是一个带有完整的 TCP/IP 协议的

## 技术与方法 Technique and Method

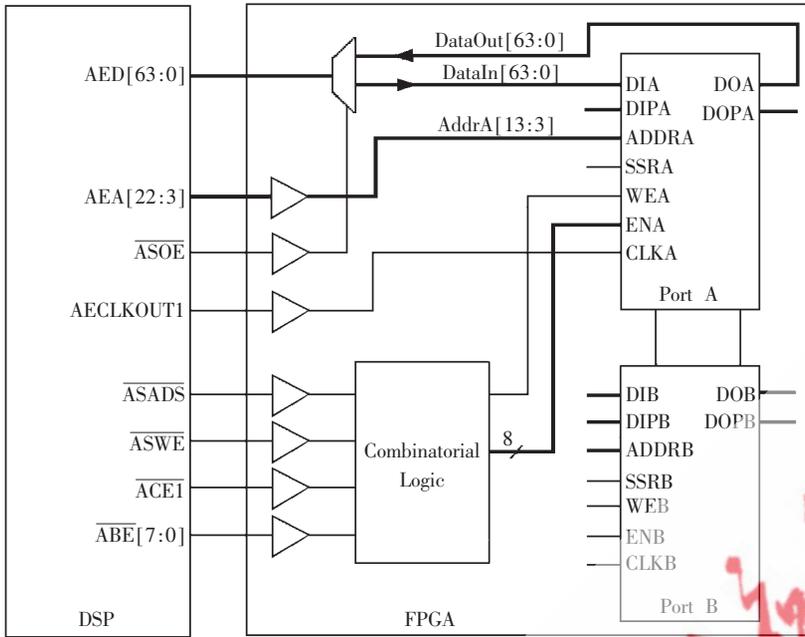


图3 TMS320C6416与FPGA的接口电路

操作系统,在 $\mu$ CLinux中加入实时RT-Linux模块以满足对嵌入式操作系统的实时性要求。

#### 4.2 驱动和应用程序的开发

基于 $\mu$ CLinux操作系统的硬件驱动和应用程序的开发是在交叉编译环境中进行的,首先在PC机上开发,然后移植到目标机上进行调试并最终固化到目标机上。所开发的硬件驱动有以太网卡控制器驱动、LCD驱动、HPI驱动等驱动程序。系统软件结构如图4所示<sup>[5]</sup>。



图4 系统软件结构图

在 $\mu$ CLinux操作系统上运行三个任务:读取压缩数据、通过以太网发送数据、接收和执行来自远端PC机的命令。其中读取DSP压缩数据任务对实时性有要求,它通过中断处理程序来实现,而其他的两个任务则通过用户进程来实现。以太网发送数据的任务和读取压缩数据的任务共享一个缓冲区,通过ioctl函数在其间传递缓冲区双向链表的地址。所以需要为数据处理模块上的通信接口HPI注册一个驱动程序,注册驱动程序的函数是:

```
result=register_chrdev(HPI_MAJOR,"hpi",&hpi_fops)
```

驱动程序的主要结构如下:

```
struct file_operations hpi_fops=
```

```
{
    owner: THIS_MODULE,
    open: hpi_open,
    read: hpi_read,
    write: hpi_write,
    ioctl: hpi_ioctl,
    mmap: hpi_mmap,
    release: hpi_release,
};
```

HPI驱动程序编写完成后,将驱动程序源代码置于../linux-2.4.x/driver/char目录下,同时修改同级目录下的Makefile,在../linux-2.4.x/driver/char/Makefile中加入Obj\_y += hpi.o

同时,为了能够在 $\mu$ CLinux启动时自动初始化此字符设备,还需要修改../linux-2.4.x/driver/char/men.c文件,在其中加入:

(1)新添加的字符驱动程序初始化函数

```
声明:extern void hpi_init(void);
```

(2)在字符设备统一初始化函数int \_init chr\_dev\_init(void)中调用新设备的初始化函数,需要在int \_init chr\_dev\_init(void)中加入语句:hpi\_init();

在函数int \_init chr\_dev\_init(void)中,字符设备的初始化函数将被统一调用,并完成字符驱动file\_operations数据结构的注册,初始化之后就可以使用HPI字符设备了。

本文所设计数据传送总线变换器,不仅解决了由于传输距离远而引起的信号畸变问题,而且满足了信息传递的实时性要求,同时具有网关功能和嵌入式Web功能,能确保系统安全接入Internet。

#### 参考文献

- [1] 李驹光.ARM应用系统开发详解——基于S3C4510B的系统设计(第二版)[M].北京:清华大学出版社,2006.
- [2] TMS320C6416 datasheet[EB/OL].(2001-02).http://www.TI.com.
- [3] TMS320C6000 DSP External Memory Interface(EMIF) Reference Guide[EB/OL].(2008-04).http://www.TI.com.
- [4] 使用EMIF将Xilinx FPGA与TI DSP平台接口应用指南[EB/OL].(2007-01-29).http://www.xilinx.com.cn.
- [5] DAVID A.Linux编程白皮书[M].朱珂,译.北京:机械工业出版社,2000.

(收稿日期:2010-03-16)

#### 作者简介:

李海峡,女,1980年生,硕士研究生,主要研究方向:测试计量技术与仪器。