

基于 FPGA 的二-十进制转码器设计*

王庆春,何晓燕

(安康学院 电子与信息技术研究中心,陕西 安康 725000)

摘要: 针对二进制转十进制(BCD)转码器的 FPGA 实现目标,提出了一种高效、易于重构的转码器设计方案。并在 FPGA 开发板上成功地实现了该设计,验证结果表明,与使用中规模集成电路 IP 核(SN74185A)实现的 7 bit、10 bit 和 12 bit 的转码器相比,本设计可以分别节约 28.5%、47.6% 和 49.6% 的硬件实现代价(逻辑单元 LEs);同时,电路的路径延迟也分别减少了 0.7 ns、2.1 ns 和 8.9 ns。

关键词: 二进制转十进制(BCD)转码器;FPGA;IP 核;逻辑单元(LEs);路径延迟(Tpd)

中图分类号: TP302

文献标识码: A

文章编号: 1674-7720(2010)14-0072-04

Binary to decimal converter design based on FPGA

WANG Qing Chun, HE Xiao Yan

(Research Center for Electronics and Information Engineering, Ankang University, Ankang 725000, China)

Abstract: In order to implement binary to decimal converter on a field programmable gate array(FPGA) chip, an efficient and reconfigurable design is proposed. Moreover, the design has been successfully implemented on FPGA development board. Experimental results show that compared with the 7 bit, 10 bit and 12 bit binary to BCD converters implemented with medium scale integration(MSI) SN74185A intellectual property (IP) cores, the design can achieve about 28.5%, 47.6% and 49.6% implemented cost saving of the logic elements(LEs) respectively. Meanwhile, time propagation delay(TPD) can decrease by 0.7 ns, 2.1 ns and 8.9 ns respectively.

Key words: binary to decimal converter;FPGA;IP core;LEs;time propagation delay

为了实现测量数据的实时显示,电子测量系统常用到二-十进制(BCD)转码器来完成数据的实时转换^[1-2]。目前,电子系统中的二-十进制(BCD)数制转换有三类实现方法,一是采用软件算法的实现方式^[3-4],传统的方法是用 DAA 调节指令实现,但效率较低;其次是纯硬件运算实现方式^[5-7],这种实现方式从数据转换运算到硬件的直接映射,常采用逻辑运算和数据移位来实现数据转换,转换效率较高,但是在转换数据位数较多时,运算量会显著增加,硬件实现代价也较大;三是基于数据查找表 LUT(Lookup Table)的实现方式^[2,8-10]。

本文提出了一个高效、易于重构的二-十进制(BCD)转码器设计方案,并在 FPGA 开发板上成功地进行了设计验证。

1 二-十进制(BCD)码的转换算法

8421BCD 码使用 4 bit 二进制数表示 1 位 10 进制数(0~9),它的位权依次是 8、4、2、1。如果把 n bit 二进制数据转换成 m bit BCD 码($4 \times m$ bit),要求 m 位 BCD 码所能表示的最大数不小于 n bit 二进制码所表示最大数,即 $10^m - 1 \geq 2^n - 1$, $m \geq \text{floor}[\lg 2^n]$ 。

二-十进制码转换算法^[11]如图 1 所示,这种转换算法包括三个过程:(1)检查二进制数据的高 3 位,如果高 3 位数据 $(b_n, b_{n-1}, b_{n-2})_B$ 的值大于 4,就需要加 3,否则加 0;得到 $s_1[3:0] = \{b_n, b_{n-1}, b_{n-2}\} + 3'b011/3'b000$ 。(2)右移 1 bit 判断 $\{s_1[2:0], b_{n-3}\}$ 4 bit 二进制数据,如果这 4 bit 数据大于 4,就需要加 3,否则加 0;最后得到 $s_2[3:0] = \{s_1[2:0], b_{n-3}\} + 4'b0011/4'b0000$ 。由于 $\{s_1[2:0], b_{n-3}\}$ 的最大值只

* 基金项目:陕西省教育厅科学研究计划资助项目(07JK176);

安康学院专项科研计划资助项目(AYQDZR0808)

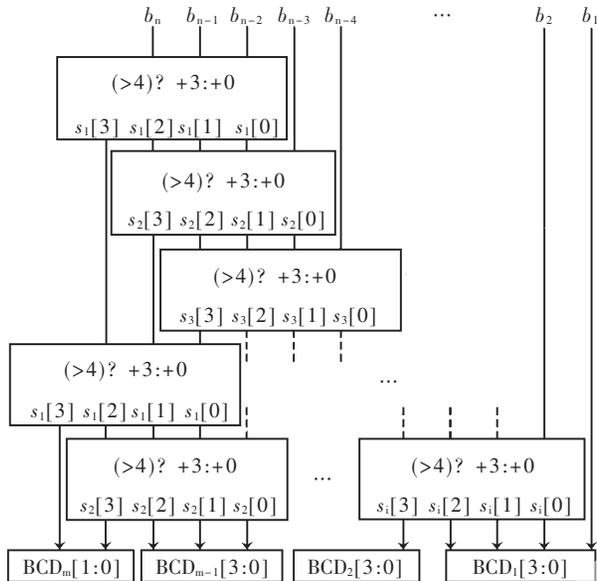


图1 二-十进制(BCD)码转换算法示意图

有 $(1001)_B$ ，因此和数 s_2 就不需要位数扩展(4 bit)。(3)多次重复第(2)步的运算，直至最后得到的每 bit BCD 码的 4 bit 二进制数不会大于 $(9)_{10}/(1001)_B$ 。

从以上的二-十进制(BCD)码变换算法中可以看到，二进制数据的最低位 b_1 不需要转换而直接输出，而且每个转换运算单元的低3位输出数据始终不会大于 $(4)_{10}/(100)_B$ ，这样就能够保证最后得到的每一位BCD码不会大于 $(9)_{10}/(1001)_B$ ，从而得到BCD码的正确转换输出。

2 二-十进制(BCD)转码器的实现

2.1 二-十进制(BCD)转码器的ASIC实现

根据上述的转换算法，参考文献[5]、[11]中给出了全定制的转码器专用集成电路(ASIC)实现方案。首先，构造出5 bit 二进制数的转换单元，然后再以此转换单元为基本单位扩展成其他的多位二-十进制(BCD)转码器，TI公司的SN74185A芯片就是这样的一个5 bit 数据转换单元，用它实现的10 bit 二-十进制(BCD)码转换器如图2所示。

图2所示的转码器与图1的结构区别在于采用了5 bit 的转换单元而不是4 bit 的基本单元(高3 bit 转换单元的最高位输入接地)，从而简化了多位转码器的电路结构。每个转换单元(SN74185A)的6个输出位权依次是(20、10、5、4、2、1)，因此也保证了每个转换运算单元的低3位输出数据始终不会大于 $(4)_{10}/(100)_B$ ，使最后得到的每位BCD码都不会大于 $(9)_{10}/(1001)_B$ 。使用时要求转换单元(SN74185A)的无用输入端作接地处理。假如需要转换的10 bit 数据是 $(1110011011)_B$ ，每个转换模块完成输入二进制数据的位权转换，如图2所示，经过第一层数据转换后得到 $(10101111011)_B$ ，再依次经过后面第2层至第4层的数据转换，得到各层次相应转换输出分别是： $(10111000011)_B$ 、 $(100011000011)_B$ 、 $(0100100100011)_B$ ，第4层

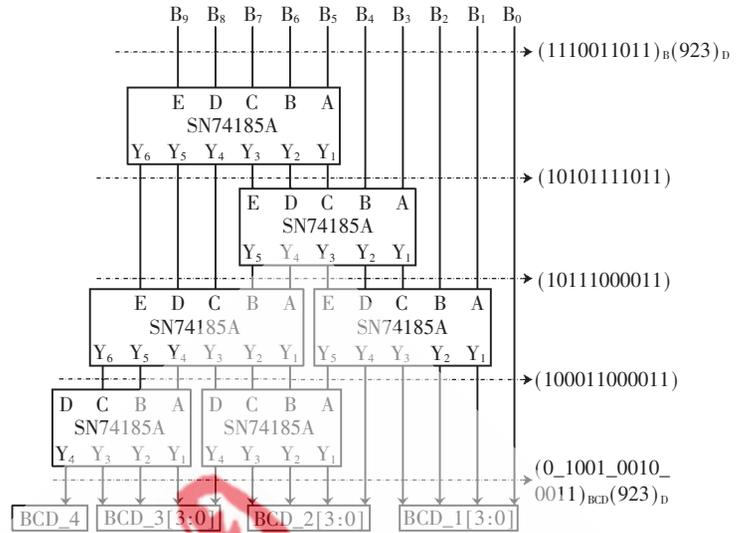


图2 10 bit 二-十进制(BCD)转码器

的转换输出就是十进制(BCD)码： $(0100100100011)_{BCD} = (923)_{10}$ 。

2.2 基于FPGA的二-十进制(BCD)转码器设计

在片上数字系统(SOPC)中实现二-十进制(BCD)码转换器，如果直接依据图2所示的结构，使用SN74185A芯片的IP核(Quartus II工具提供)来实现转码器不但存在着2.1中所述的不足之处，而且还会面临着更大的硬件资源浪费问题，这是由于FPGA中的逻辑单元(LEs)都是基于4输入的数据查找表(LUT)，如果要实现5输入的转换单元(SN74185A)，就需要查找表级联扩展，从而会造成路径延迟进一步增大、逻辑单元利用率降低、硬件实现代价提高。

为了克服以上的转码器设计缺陷，针对FPGA的结构特点，笔者提出了以下设计思路：(1)以4 bit 数据转换作为基本的转换单元来适应FPGA结构特点，而提高逻辑单元利用率，达到降低硬件代价的目的；(2)利用Verilog HDL层次化设计描述的灵活性，以4 bit 数据转换单元为最底层模块，构造出更大的5 bit 和6 bit 转换单元(模块)。这种设计方法为二-十进制(BCD)转码器的构建提供了4 bit、5 bit 和6 bit 三种不同大小的单元模块，可使每一个转换单元模块的使用恰到好处(需要小模块的地方就不会使用大模块)。

2.2.1 二-十进制(BCD)转码器单元模块设计

采用上文所述基于FPGA的二-十进制(BCD)转码器设计方案，关键在于要做好最底层模块(4 bit 转码模块)的优化设计，对4 bit 转码模块的不同Verilog HDL描述方式也会带来不同的实现代价；本文使用结构描述实现4 bit 转码模块(Bin2Bcd_4)，再通过4 bit 转码模块层次实例化构成5 bit 转码模块(Bin2Bcd_5)和6 bit 转码模块(Bin2Bcd_6)的设计，4 bit、5 bit 和6 bit 三种单元模块的构造示意图如图3所示。

技术与方法 Technique and Method

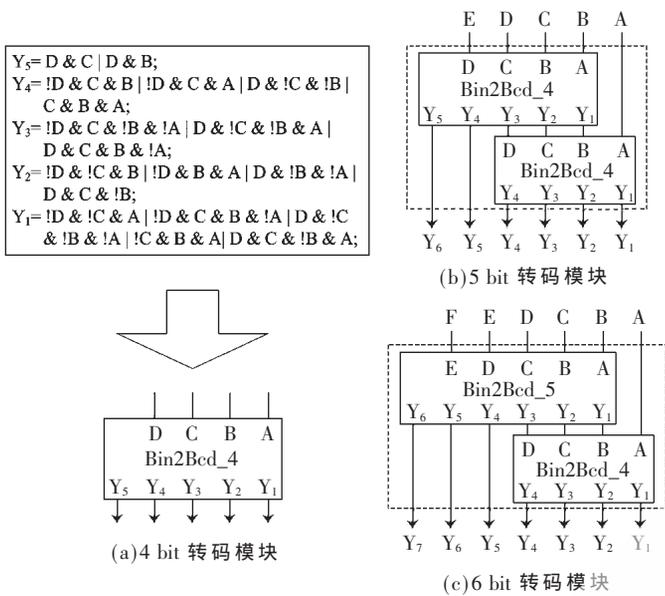


图3 转码器单元模块示意图

2.2.2 基于混合模块的二-十进制(BCD)转码器设计

根据二-十进制(BCD)转码算法,使用上文 2.2.1 中得到的 4 bit、5 bit 和 6 bit 三种二-十进制转码单元模块,构造出 7 bit、10 bit 和 12 bit 二-十进制(BCD)转码器结构,如图 4 所示,转码单元模块的多余输入端接地,多余输出端悬空。

3 二-十进制(BCD)转码器的设计验证

本文使用 Quartus II 6.0(Full Version)开发工具,对于图 4 所示的 3 个混合模块构建的二-十进制(BCD)转码器,在 Altera 公司的 FPGA (Altera EP1K300G208-2)芯片上分别进行了设计验证,验证结果完全达到设计预

期。其中 12 bit 二-十进制(BCD)转码器的功能仿真和时序仿真结果如图 5 所示。

在完全相同的软硬件验证环境下,把图 4 所示的转码器设计和使用中规模集成电路 IP 核(SN74185A)实现的 7 bit、10 bit 和 12 bit 的转码器进行了性能对比,验证结果进一步表明了这种采用混合模块构建二-十进制(BCD)转码器的行之有效性;表 1 所示为采用这两种构建方法得到的 7 bit、10 bit 和 12 bit 转码器的验证结果对比。

Altera EP1K300G208-2(FPGA)芯片上的 7 bit、10 bit 和 12 bit 转码器设计验证结果和使用 IP 核(SN74185A)实现的转码器验证结果对比更加充分证明了这种设计思路的可行性;这种高效、易于重构的二-十进制(BCD)转码器设计为基于 FPGA 的片上数字测量系统实现做出了有意义的积极探索。

参考文献

[1] 周启明.多个仪器仪表和数字表头的微机数据采集系统[J].自动化与仪表,2000,15(3):51-57.

[2] YUKIHIRO J, TSUTOMU S, MUNEHIRO M. On designs of radix converters using arithmetic decompositions(binary to decimal converters)[J]. IEEE the 37th International Symposium on Multiple-Valued Logic (ISMVL'07), 2007, 15(12): 1533-1544.

[3] 邓勇,刘琪.智能仪表多字节二进制数转换 BCD 码[J].电子产品世界,1999,7(12):33.

[4] 潘昊.单片机十六进制数与 BCD 码转换新探讨[J].微机发展,1997,7(6):35-36.

[5] BUFORD M. Guy III. VLSI design of a custom ASIC using VHDL for Converting 12 bit binary to BCD[J]. IEEE 1995.

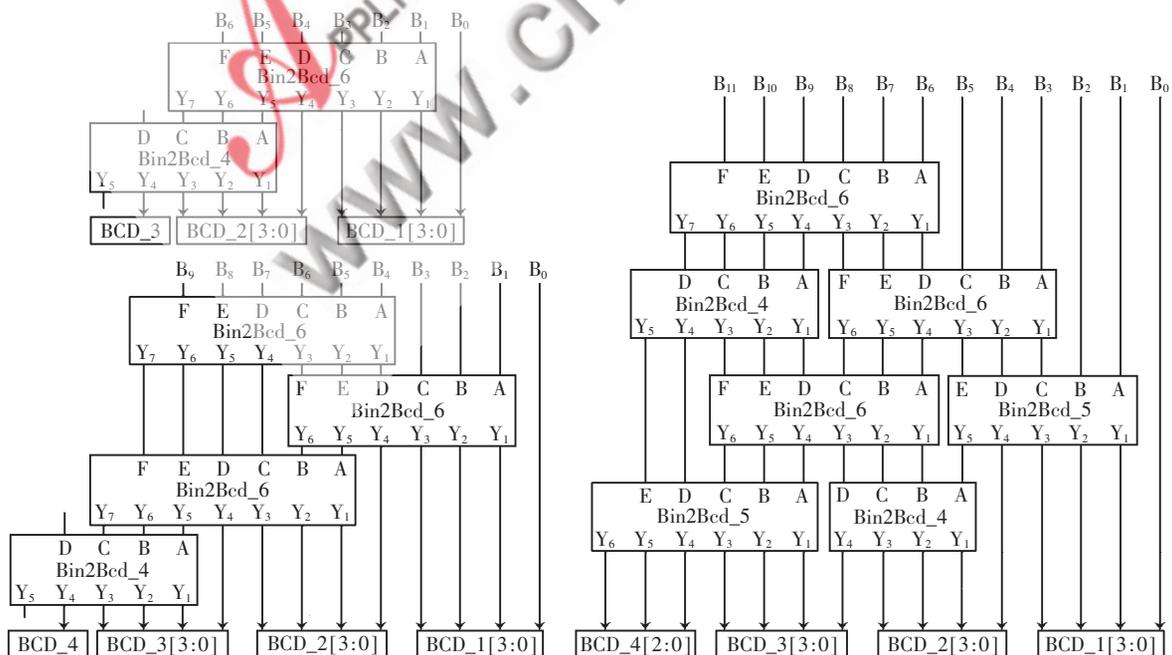


图4 7 bit、10 bit 和 12 bit 二-十进制(BCD)转码器结构

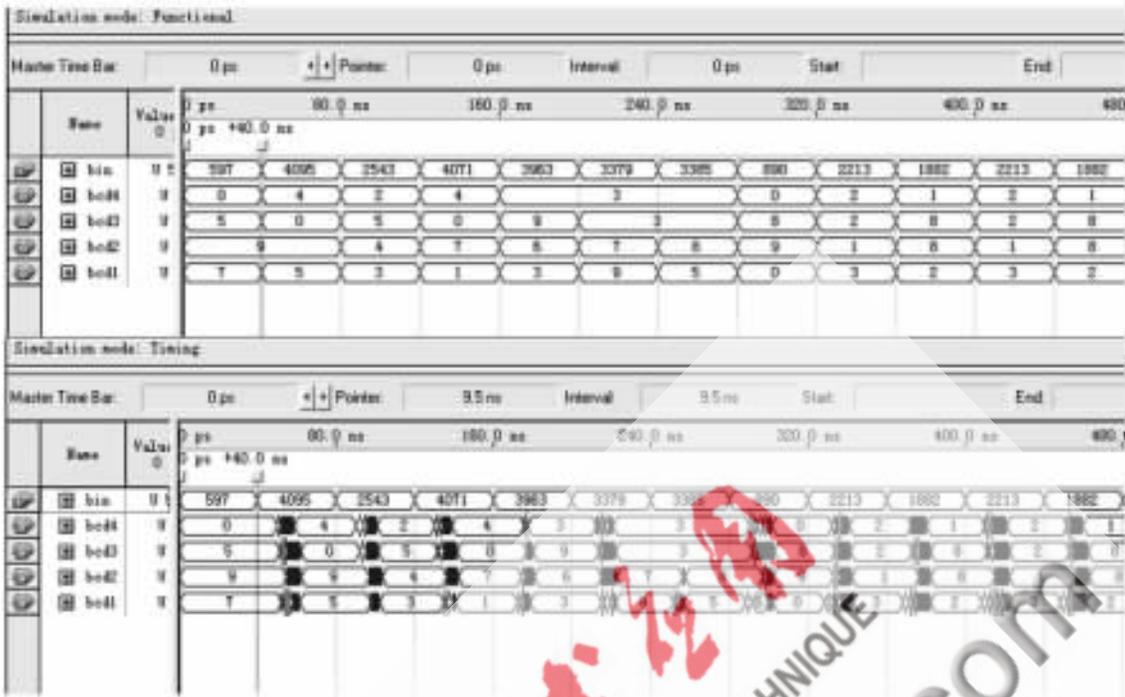


图 5 12 bit 二-十进制(BCD)转码仿真结果

表 1 二-十进制(BCD)转码器的验证结果对比

二-十进制(BCD)转码器		7 bit 转码器	10 bit 转码器	12 bit 转码器
SN74185A	逻辑单元数目 (LEs)	28 LEs	86 LEs	133 LEs
IP 核构建	最差路径延迟 (Tpd)	14.200 ns	23.000 ns	31.800 ns
混合模块构建	逻辑单元数目 (LEs)	20 LEs	45 LEs	67 LEs
	最差路径延迟 (Tpd)	13.500 ns	20.900 ns	22.900 ns
转码器的性能提高	硬件实现代价节约	28.5 %	47.6 %	49.6 %
	最差路径延迟减少	0.7 ns	2.1 ns	8.9 ns

[6] 王迎春, 吉利久. 一种基于简单移位的二-十进制相互转换算法[J]. 电子学报, 2003, 31(2): 221-224.
 [7] 邬杨波, 胡建平, 李宏. 一种 BIN 码与 BCD 码转换电路的设计与实现[J]. 信息技术, 2005, 27(8): 33-35.
 [8] MUROGA S. VLSI System Design[M]. John Wiley & Sons, 1982: 293-306.

[9] SASAO T. Radix converters (Complexity and implementation by LUT cascades)[J]. 35th International Symposium on Multiple Valued Logic, Calgary, Canada, May 19-21, 2005: 256-263.
 [10] SASAO T. Analysis and synthesis of weighted-sum functions[J]. IEEE Trans. on CAD, 2006, 25(5): 789-796.
 [11] Texas Instruments Incorporation. The TTL Data Book for Design Engineers[M]. 1976: 290-295.

(收稿日期: 2010-03-16)

作者简介:

王庆春, 男, 1972 年生, 副教授, 主要研究方向: 视频图像处理与电子系统设计。

何晓燕, 女, 1972 年生, 讲师, 主要研究方向: 电子系统设计。