

基于计数器的随机单输入跳变测试序列生成*

梁蓓¹, 杨健¹, 王义²

(1. 贵州大学 理学院, 贵州 贵阳 550025;

2. 贵州师范大学 物理与电子科学学院, 贵州 贵阳 550001)

摘要: 分析了 CMOS 逻辑电路的功耗来源, 对低功耗内建自测试技术进行了研究。为了减少被测电路内部节点的开关翻转活动率, 提高测试向量之间的相关性, 研究了随机单输入跳变测试生成序列, 可以在不损失故障覆盖率的前提下, 降低被测电路的开关翻转活动率, 实现测试期间的低功耗, 特别适合于数字集成电路的内建自测试。

关键词: 集成电路测试; 内建自测试; 测试矢量生成器; 低功耗测试; 矢量跳变

中图分类号: TN4

文献标识码: A

文章编号: 1674-7720(2010)14-0082-03

Counter-based random single input change test sequence generation

LIANG Bei¹, YANG Jian¹, WANG Yi²

(1. College of Science, Guizhou University, Guiyang 550025, China;

2. School of Physics and Electronic Science, Guizhou Normal University, Guiyang 550001, China)

Abstract: Sources of power consumption for digital CMOS are analyzed and low consumption technologies of BIST for COMS VLSI are summarized in this paper. In order to reduce the internal switching activity rate of the circuit-under-test (CUT), which can recombine testing vector to raise the correlation between testing vector, an approach test pattern generation construction based on the Random Single Input Change (RSIC) test theory was proposed, which optimize the switching activity of circuit-under-test and then result in decrease of test power consumption, it is suitable for BIST of digital VLSI especially.

Key words: test of integrated circuits; built-in-self-test; test pattern generator; low power testing; vector leap

随着超大规模集成电路和系统级芯片(SoC)的发展, 集成电路的测试面临越来越多的困难, 尤其在测试模式下的功耗大大高于工作模式时的问题已经引起了研究人员的重视。随着 IC 工作频率、集成度、复杂度的不断提高, IC 的功耗也快速增长。以 Intel 处理器为例, 其最大功耗大约每 4 年增加 1 倍。而随着制造工艺特征尺寸的降低, CMOS 管的静态功耗急剧增加, 并且呈指数增长趋势。由此带来了一系列的现实问题, 因为过大的功耗会引起 IC 运行温度上升, 导致半导体电路的运行参数漂移, 影响 IC 的正常工作, 降低了芯片的成品率和可靠性, 甚至使电路失效^[1]。因此低功耗测试对当今 VLSI 系统设计变得越来越重要, 在芯片测试的过程中考虑低功耗测试问题已成为一种趋势。特别是在当前深亚微米工艺下, 线宽越来越小, 所以对线上的电子密度要求越

来越严格。随着温度的升高, 电迁徙速度越来越快, 导致连线的失效率上升, 从而降低了整个电路的可靠性。高功耗造成的温度升高还会降低载流子的迁徙率, 使得晶体管的翻转时间增加, 因而降低了系统的性能。

1 CMOS 电路能量和功耗数学估算模型

CMOS VLSI 中的功耗主要分为静态功耗和动态功耗两大类^[2]。静态功耗主要由漏电流产生, 由于 CMOS 电路结构上的互补对称性, 同一时刻只有一个管子导通, 漏电流很小, 因此静态功耗不是系统功耗的主要部分。动态功耗来自于器件发生“0/1”或“1/0”跳变时的短路电流和对负载电容充放电时所引起的功耗, 动态功耗是电路功耗的主要来源^[3]。

在 CMOS 电路中, 一个 CMOS 逻辑门的平均动态功耗 P_d 可表示为^[4]:

* 基金项目: 贵州省科学技术基金项目资助(黔科合 J 字[2009]2273)

技术与方法 Technique and Method

$$P_d = \alpha f C_L V_{DD}^2 \quad (1)$$

式中, α 是反应电路开关翻转活动的几率因子, f 是工作频率, C_L 是输出节点的集总负载电容, V_{DD} 是电源电压。

根据式(1)可知, CMOS VISL 中的动态功耗主要取决于 3 个参数: 电源电压 V_{DD} 、时钟频率 f 和电路中反映节点开关翻转活动率的几率因子 α 。通过降低电源电压 V_{DD} 和时钟频率 f 来降低电路的功耗是以降低电路的性能为代价的, 因而通常采用降低测试时电路开关翻转活动率 α 来降低功耗, 这种方法不会使电路的性能下降, 是目前降低功耗的主流技术。

2 RSIC 测试序列生成

相邻的两个随机向量之间只有一位不同的向量称为随机单输入跳变测试向量(RSIC, Random Single Input Change), 随机单输入跳变测试向量之间具有很高的相关性, 可以降低被测电路的开关翻转活动率, 实现测试期间的低功耗。参考文献[5]研究了单输入跳变测试理论, 证实了单输入跳变测试矢量比随机测试矢量更能有效地降低被测电路内部节点的开关翻转活动率。图 1 给出了利用 n 位移位寄存器 SR (Shift Register)、 $(n-1)$ 位计数器(Counter)和若干个两输入“异或门(XOR)”等逻辑功能单元组成的逻辑电路生成 RSIC 序列的电路设计方法^[6]。它的工作原理基于“对应位的异或运算”, 即: 用 $S(l) = s_0(l), s_1(l), s_2(l), \dots, s_{n-1}(l)$ 表示 SR 生成的 n 位向量, $R(l) = r_0(l), r_1(l), r_2(l), \dots, r_{n-2}(l)$ 表示 Counter 生成的 $(n-1)$ 位向量, 加到被测电路 (CUT) 上的 n 位向量 $X(l) = x_0(l),$

$x_1(l), x_2(l), \dots, x_{n-1}(l)$ 可由向量 $S(l)$ 和 $R(l)$ 作对应位的异或运算得出, 即: $x_i(l) = s_i(l) \oplus r_i(l)$, 其中 $0 \leq i \leq n-1$ 。工作过程如下:

首先将移位寄存器 SR 初始化为 $(0, 0, 0, \dots, 0)$, 用使能信号将触发器 (FF) 置“1”, FF 和 SR 都由公共的测试时钟信号 Clock 所控制, 在 $(n+1)$ 时钟周期内 SR 产生的测试向量为: $\{(0, 0, 0, \dots, 0), (1, 0, 0, \dots, 0), (1, 1, 0, \dots, 0), (1, 1, 1, \dots, 0), \dots, (1, 1, 1, \dots, 1)\}$ 。在下一个时钟信号到来时“与”门使 SR 的第一级为“0”, 经过 n 个时钟脉冲后, SR 的输出为 $\{(0, 1, 1, \dots, 1), (0, 0, 1, \dots, 1), (0, 0, 0, \dots, 1), \dots, (0, 0, 0, \dots, 0)\}$, 然后周而复始继续重复以上过程。

初始化后, 在 $(2n+1)$ 个时钟周期内 Counter 的输出保持稳态, 而 SR 产生 $(2n+1)$ 个不同的测试向量, 在信号 Counter-Clock 的作用下, SR 与 Counter 作“对应位的异或运算”, 可产生 $(2n+1)$ 个单输入变化 (SIC) 测试向量。可用于对集成电路的低功耗测试。

3 实验验证

为了验证 RSIC 测试序列可以降低测试期间的功耗, 用 Xilinx 公司的专用功耗分析工具——XPower 对上述译码器进行功耗分析实验。

实验中选用的 FPGA 是 spartan3 系列的 xc3s400, 其封装形式为 tq144, 速度等级为 -6, 直流电源电压为 3.3 V, 最大时钟频率为 50 MHz。

在不同时钟频率下, 对 CC4028 译码器逻辑主电路分别施加如图 2 所示的伪随机全测试序列 (MSIC) 和如图 3 所示的随机单输入跳变 (RSIC) 测试序列, 测得的平均动态功耗如表 1 所示。

由表 1 可知:

- (1) 随着时钟频率的提高, 译码器的平均动态功耗不断地增加, 这与理论分析公式(1)相符。
- (2) 与 MSIC 测试序列相比, RSIC 测试序列在不同的时钟频率下均可降低测试时的动态功耗。

由于 BIST 的广泛使用, 对其进行低功耗设计的研究非常活跃, 已经成为一个很重要的研究方向, 但是通过降低电源电压 V_{DD} 和时钟频率 f 来降低测试期间的功耗是不可取的,

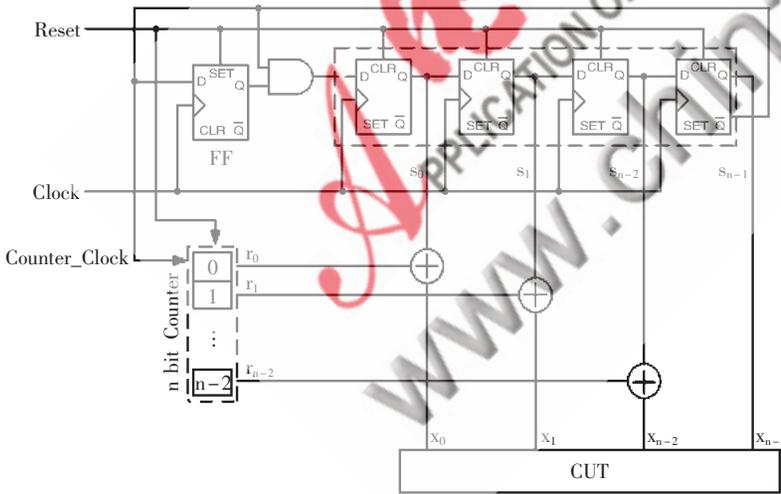


图 1 RSIC 测试生成器

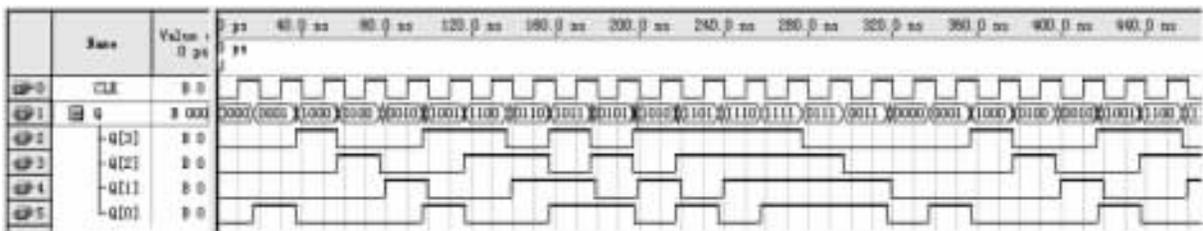


图 2 伪随机全测试序列 (MSIC)

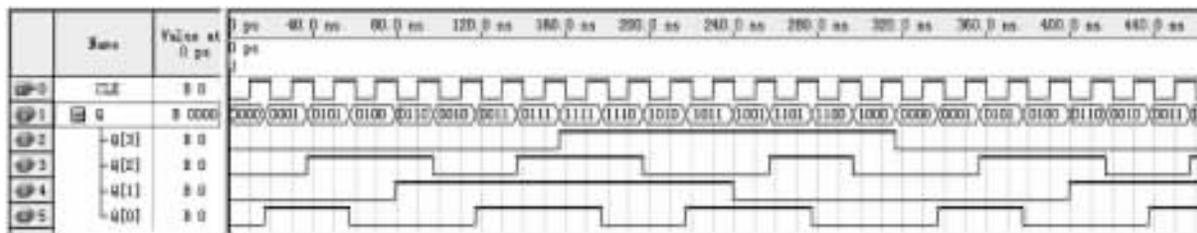


图3 随机单输入跳变测试序列(RSIC)

表1 译码器的平均动态功耗

fc/MHz	10	14	18	22	26	30	34	38	42	46	50
MSIC/mW	58.12	58.77	59.42	60.07	60.72	61.36	62.01	62.66	63.31	63.96	64.61
RSIC/mW	24.76	25.85	28.14	29.07	31.05	32.04	33.68	33.86	34.05	35.58	36.21

因为这样会影响电路的性能及测试的效率。而减少电路的开关翻转活动率的几率因子 α 不会影响测试的正常进行。本文的研究表明单输入跳变测试序列相对于多输入跳变具有更高的相关性,在测试的过程中可以有效地减少被测电路内部节点的开关翻转活动率 α ,达到降低测试功耗的目的。

参考文献

- [1] BONHOMME Y. Test power: a big issue in large SoC designs[C]. Proceedings of the First IEEE International Workshop on Electronic Design, Test and Applications DELTA '02, 2002: 447-449.
- [2] CORNO F, PRINETTO P, REBAUDENGO M, et al. A test pattern generation methodology for low power consumption [J]. IEEE VTS, 1998: 453-457.
- [3] VIRAZEL A, WUNDERLICH H J. High defect coverage with low-power test sequences in a BIST environment[J].

IEEE Design & Test of Computers, 2002, 18(6): 44-52.

- [4] 甘学温, 莫邦熨. 低功耗 CMOS 逻辑电路设计综述[J]. 微电子学, 2000, 30(8): 263-267.
- [5] 王义, 傅兴华. 低功耗单输入跳变测试理论的研究. 微电子学与计算机, 2009, 26(2): 5-7.
- [6] IOANNIS V, ANTONIS P. An efficient built-in self test method for robust path delay fault testing[C]. Journal of Electronic testing: Theory and Application 8.1996: 219-222. (收稿日期: 2010-02-23)

作者简介:

梁蓓, 女, 1962年生, 博士研究生, 副教授, 主要研究方向: 集成电路设计。

杨健, 男, 1961年生, 博士研究生, 副教授, 主要研究方向: 集成电路设计。

王义, 男, 1957年生, 博士, 教授, 主要研究方向: 集成电路设计与测试、电路与系统。