

基于 FPGA 的正弦信号发生器设计

姚益武,袁秋晨,王筱萌,张琬菁,江丹

(北京工业大学 电子信息与控制工程学院,北京 100124)

摘要:介绍了一种基于 FPGA 的正弦信号发生器的系统设计。采用直接数字频率合成技术(DDS),借助 8 位高速数模转换器件 DAC908 输出正弦信号,进一步通过低通滤波器还原,由末级功放输出驱动 50 Ω 负载。在改进的 DDS 算法结构基础上,系统的复杂度降低,更趋于模块化,产生的波形频率更准确,且输出信号范围为 DC 到 10 MHz,频率分辨率达到 0.1 Hz。性能测试结果表明,该系统可靠、快速,输出信号的频率具有高精度、高稳定度。

关键词: 正弦信号发生器;高速 DAC;DDS

中图分类号: TN307

文献标识码: A

文章编号: 1674-7720(2010)12-0087-03

Design of sinusoidal signal generator based on FPGA

YAO Yi Wu, YUAN Qiu Chen, WANG Xiao Meng, ZHANG Wan Jing, JIANG Dan

(School of Electronic Information & Control Engineering, Beijing Univ. of Technology, Beijing 100124, China)

Abstract: This paper presents an FPGA-based sinusoidal signal generator system design. Using direct digital frequency synthesis(DDS) and high-speed DAC with 8-bit of DAC908 to output sinusoidal signal, after further reduction through low-pass filter, uses the last stage power amplifier to drive 50 Ω loads. Based on improving the structure of the DDS algorithm, the complexity of the system has reduced, tends to be more modular, results in more accurate frequency of the waveform, and the output signal ranges from DC to 10 MHz, the frequency resolution achieves to 0.1 Hz. Performance test results show that the system is reliable and fast, and the output signal frequency has been with high accuracy and high stability.

Key words: sinusoidal signal generator; high-speed DAC; DDS

直接数字频率合成技术(DDS)具有频率分辨率高,切换速度快,可输出相位连续、任意的波形信号,能够实现全数字自动化控制等优点,使其成为雷达、通信等信号源的首选。本文提出了一种基于 DDS 的正弦信号发生器,该发生器利用 FPGA 技术设计实现^[1],操作简单,可实现最高频率为 10 MHz 的正弦信号输出,具有广泛的应用前景。

1 系统硬件设计

正弦信号发生器由 FPGA 模块、稳压电源、键盘显示单元、后向通路(高速 D/A、低通滤波器、功放电路)几部分组成。系统结构如图 1 所示。

1.1 FPGA 模块

随着 VLSI 技术的进步,目前 FPGA 的性能和硬件资源已经可以构成一个系统。设计中 FPGA 采用 Cyclone 的 EP1C3T100C8 器件,该芯片拥有 2910LEs,约 7 KB RAM,1 个 PLL 资源。在 FPGA 外接晶振频率为 32 MHz 时,通过 PLL 可倍频得到 80 MHz 全局时钟,并且丰富的

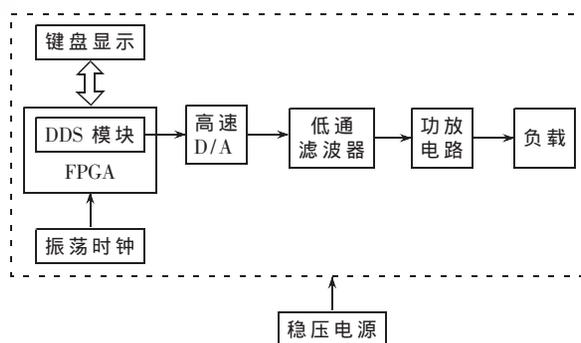


图 1 系统整体结构

逻辑模块与存储资源为 DDS 算法的设计提供了良好的硬件基础。由于 FPGA 门级延时仅数纳秒,因此有利于信号的快速建立及转换。

1.2 后向通路

高速 D/A 采用 TI 的 8 bit、165 MS/s 电流输出型数

欢迎网上投稿 www.pcachina.com 89

应用奇葩

Example of Application

模转换器件 DAC908, 能满足 FPGA 输出数字信号更新速率的要求。DAC908 输出电流与数字控制字间的关系见表 1, DAC 电路如图 2 所示。

表 1 输出电流与代码关系

| 输入代码(D7~D0) | IOUT/mA | nIOUT/mA |
|-------------|---------|----------|
| 11111111 | 20 | 0 |
| 10000000 | 10 | 10 |
| 00000000 | 0 | 20 |

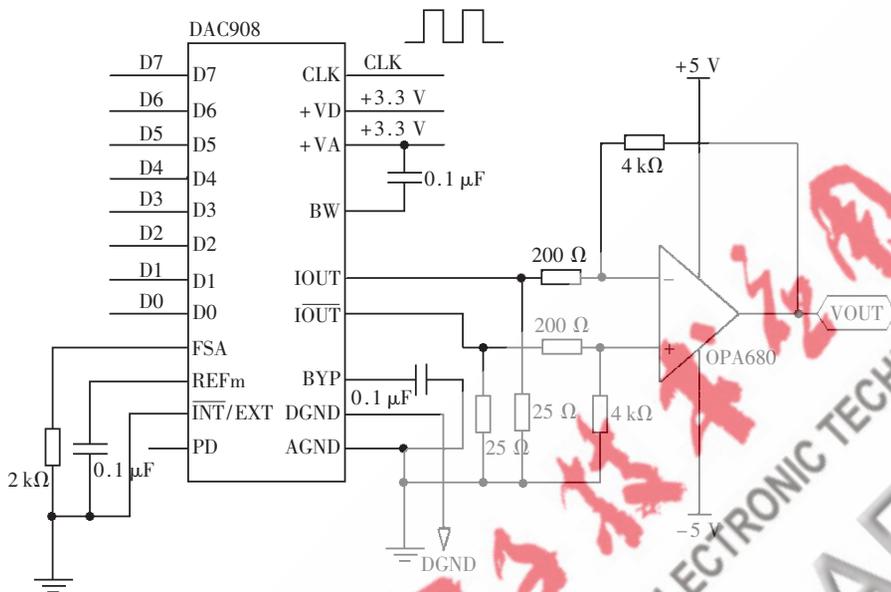


图 2 DAC 电路

DAC908 最大输出电流为 20 mA, 可在 25 Ω 负载电阻上产生 0.5 V 压降。同时 DAC908 的负载电阻作为基于高速运放 OPA680 的差分放大器的并联电阻, 放大器增益为 2 倍, 因此输出信号幅度范围为 ±1 V。信号再经二阶巴特沃兹特性的 LC 低通滤波器平滑, 由末级功放电路(采用 OPA656 和 BUF634 构成)输出, 驱动 50 Ω 负载。

2 系统软件设计

系统软件设计采用模块化思想, 可移植性、可读性强。算法设计基于 FPGA 平台, 包括键盘显示模块、时钟发生模块、DDS 信号发生模块(PLL、DDS 算法模块、ROM 函数表)及 DAC 控制模块。FPGA 系统设计如图 3 所示。

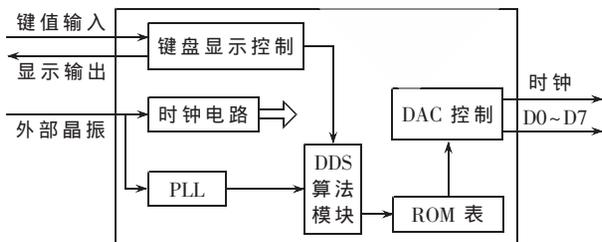


图 3 FPGA 系统设计

2.1 传统 DDS 算法设计

传统的 DDS 算法最先由 Tierney、Rader 和 Gold 提

出, 如图 4 所示。它利用循环溢出的 L 位相位累加器产生正弦函数的相位变量。相位累加器每溢出一次, 就代表正弦波形的一个周期。相位累加器输入的频率控制字 F_{in} 控制生成的正弦波形的频率, 累加器的瞬时相位输出作为 ROM 表的地址。ROM 表是存有正弦采样值的存储器。



图 4 传统的 DDS 结构

该 DDS 算法模块的输出信号的频率为 $f_{out} = \frac{f_{clk} \times F_{in}}{2}$, 其中 F_{in} 为频率控制字, f_{clk} 为时钟频率, L 为相位累加器的字长, 则频率分辨率为 $\Delta f = \frac{f_{clk}}{2^L}$ 。当相位累加器字长为 32 位, 最高时钟频率为 80 MHz 时, 最小频率精度约为 0.018 6 Hz。

基于传统 DDS 算法, $F_{in} = 80$ MHz 时, 为获得 10 MHz 高频信号, 则相位累加器字长为 3, ROM 表至少存有 8 个采样点; 为获得 10 Hz 低频信号, 相位累加器字长应满足 $0.8 \times 10^7 = 2^L$, ROM 表的容量应为 7 812 KB, 远远超过了现有 FPGA 的存储资源, 因此有

必要改进传统算法。

2.2 改进的 DDS 算法

改进后的 DDS 结构^[3]如图 5 所示, 主要由循环相位累加器、地址信号发生器和 ROM 查找表组成。循环相位累加器的算法设计^[4]如图 6 所示。

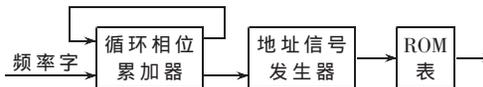


图 5 改进后 DDS 结构

循环相位累加器的进位信号 clk_{out} 作为地址发生器的计数时钟。而 ROM 表的设计, 以降低存储容量为主。设计中 ROM 函数表中有 8 个采样数据, 分别是正弦波在 $0^\circ, 45^\circ, 90^\circ, 135^\circ, 180^\circ, 225^\circ, 270^\circ, 315^\circ$ 这 8 个相点处的值。根据奈式采样定理, 8 个样点的正弦波经过低通滤波器后可以完全还原。

改进后 DDS 算法结构的输出信号的频率为 $f_{out} = \frac{f_{clk} \times F_{in}}{\text{mod } e \times N}$ 。其中, F_{in} 为频率控制字, $\text{mod } e$ 为循环相位累加器模值, N 为一个周期的采样点数。设计中最高时钟频率为 80 MHz (32 MHz 晶振经锁相倍频得到), $\text{mod } e = 10^8$, $N = 8$, 则 $f_{out} = 0.1 F_{in}$ 。因此频率分辨率为: $\Delta f = 0.1$ Hz。在 $F_{in} = 10^8$ 时, 输出最高频率为 10 MHz。若想提高输出的

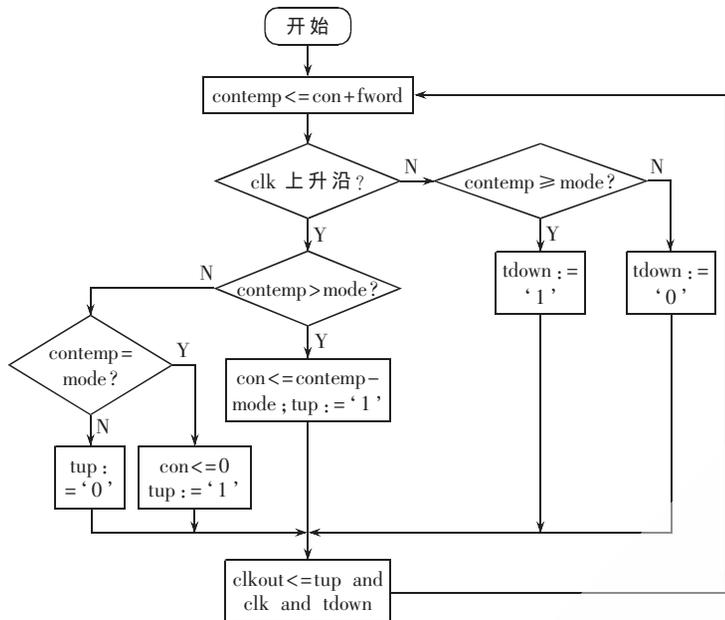


图6 循环相位累加器的算法设计

最高频率,则要减少 N 值。例如当 $N=4$ 时,最高频率为 20 MHz。但必须符合采样定理的约束,即输出的最高频率为 40 MHz。若想提高频率分辨率,则需增大模值。例如当 $\text{mod } e=10^9$ 时, $\Delta f=0.01$ Hz。

3 系统验证与测试

FPGA 整体工程遵循自顶向下的设计原则^[1],经编译、综合分析、布局布线、时序分析后获得面向 SRAM 的配置文件,此文件经 JTAG 链下载到目标器件中,便可进行系统的在线调试。调试中借助 QuartusII 的 Signal TapII 逻辑分析器文件(采样时钟为全局时钟、采样深度为 128 bit)对 DDS 算法进程作了时序的板级验证,如图 7 所示。而系统输出的正弦信号利用 40 MHz 带宽双踪模拟示波器进行观察,符合设计要求。

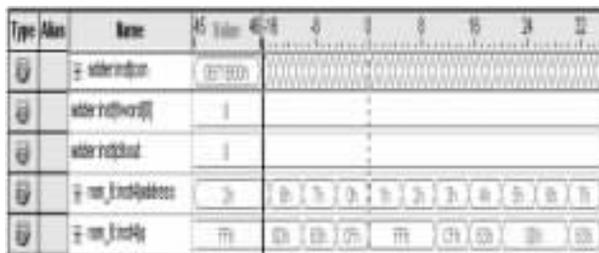


图7 DDS 算法的板级验证

本文介绍了一种基于 FPGA 的 DDS 算法的正弦信号发生器,采用 Altera 的 EP1C3T100C8 及 TI 的 DAC908 高速数模转换器件实现,并进行了系统的在线板级验证与测试。输出信号频率范围为 DC 到 10 MHz,信号频率分辨率为 0.1 Hz。

参考文献

- [1] 刘进志,陈涂.基于 MPU/PLL 和 CPLD 技术的数字正弦信号发生器的设计与分析[J].山东大学学报,2005,40(5):88-92.
- [2] 马场清太郎著.运算放大器应用电路设计[M].何希才,译.北京:科学出版社,2007.
- [3] 李晓芳,常春波,高文华.基于 FPGA 的 DDS 算法的优化[J].仪器仪表学报,2006(z1):896-898.
- [4] NOWLIN R W,SUNDARARAJAN R.A VHDL course for electronics engineering technology[D].1998(8):17-20.
- [5] MAKHIJANI H,MEIER S.A high level design solution for FPGA's.WESCON/94.Idea/Microelectronics.1994:596-603.

(收稿日期:2010-01-16)

作者简介:

姚益武,男,1987 年生,学士,主要研究方向:微电子与集成电路。

袁秋晨,男,1988 年生,学士,主要研究方向:微电子与集成电路。