

## 12 位电容电阻混合式 SAR ADC IP 核的设计

裴晓敏, 吴学军, 宋立新

(襄樊学院 物理与电子工程学院, 湖北 襄樊 441053)

**摘要:** 在深入分析逐次逼近型的模数转换器 SAR ADC 的基础上, 对内置 DAC 和比较器的设计进行了优化, 实现了一款适用于工业控制器的 SAR ADC IP 核的设计。芯核采用 0.18  $\mu\text{m}$  CMOS Mix\_singal IP6M 工艺, 分别采用 3.3 V 的模拟电源电压和 1.8 V 的数字电源电压供电, 仿真结果表明, 该 SAR ADC IP 核实现了 12 bit 的精度。IP 核的面积为 800  $\mu\text{m}$ ×420  $\mu\text{m}$ , FF case 下功耗为 1.2 mW, 微分非线性误差 DNL<0.5 LSB。

**关键词:** 模数转换器; 数模转换器; IP 核; 比较器

中图分类号: TN710

文献标识码: B

文章编号: 1674-7720(2010)11-0023-04

## Design of 12-bit C-R hybrid SAR ADC IP core

PEI Xiao Min, WU Xue Jun, SONG Li Xin

(Institute of Physics and Electronic Engineering, Xiangfan University, Xiangfan 441053, China)

**Abstract:** Based on the in-depth analysis about successive approximation register analog to digital converter SAR ADC, a modified D/A structure and a optimal comparator are proposed, and realized a SAR ADC IP core which can apply to industrial controllers. The IP core used 0.18  $\mu\text{m}$  CMOS IP6M technology, operates with 3.3 V analog power and 1.8 V digital power supply. The simulation results show that this design can achieve 12 bit resolution. The area of IP core is 810  $\mu\text{m}$ ×410  $\mu\text{m}$ . In the FF case, the power dissipation is 1.2 mW, DNL is less than 0.5 LSB.

**Key words:** analog-to-digital converter; digital-to-analog converter; IP core; comparator

模数转换器(ADC)是模拟系统与数字系统接口的关键部件。在各种类型的模数转换器中, 逐次逼近型的模数转换器(SAR ADC)具有中等的精度和中高分辨率。因其转换过程中只使用 1 个比较器对输入电压和 1 个  $N$  位数/模转换器(DAC)输出进行比较, 其芯片面积及功耗均小、性价比高, 有着良好的应用前景, 是目前应用最多的模数转换器类型。

IP 设计过程中采用正向设计方法: 从芯片定义—系统设计—电路设计—电路仿真—版图绘制以及流片, 实现了 12 bit 的适用于工业控制器的 SAR ADC IP 核的设计。为了在 IP 核的面积和性能之间进行合理的折衷, 在内置 DAC 的设计过程中, 综合比较了多种结构的优缺点, 采用了电阻电容混合式的 DAC 结构。同时, 为了使 SAR ADC 获得更好的性能, 设计中对 DAC 结构中的电容阵列进行优化设计, 以减小微分非线性误差, 保证输出数码的单调性。

## 1 IP 核的基本结构与工作原理

图 1 为整个 IP 的功能结构。它由时钟产生器、逐次逼近寄存器(SAR)和控制逻辑(Control Logic)、电阻串(R\_string)和电容阵列(Cap\_array)构成的内置 DAC、比较器等组成。

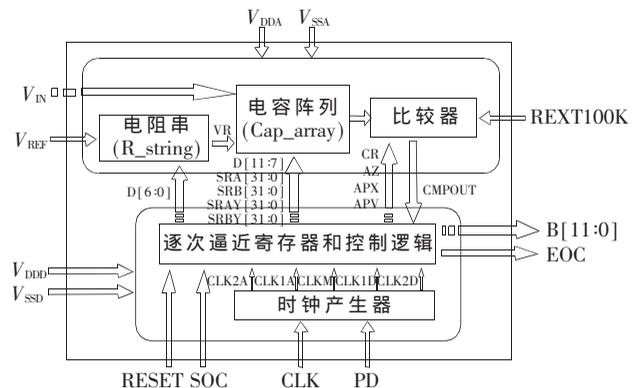


图 1 整个 IP 的功能结构图

工作原理: 先将模拟输入电压  $V_{IN}$  以电荷的形式存储在电容节点上, 然后, 将  $N$  位寄存器设置为中间值(即 100...0), 以执行二进制查找算法。此时 DAC 的输出  $V_{DAC}$  为外接参考电压  $V_{REF}$  的 1/2; 之后, 执行一个比较操作, 如果  $V_{IN} < V_{DAC}$ , 比较器输出逻辑低,  $N$  位寄存器的最高位清 0; 如果  $V_{IN} > V_{DAC}$ , 比较器输出逻辑为高(或 1),  $N$  位寄存器的最高位保持为 1; 其后, SAR 的控制逻辑移动到下一位, 将该位强制置为高, 再执行下一次比较。SAR 控制逻辑将重复上述顺序操作, 直到最后一位。当转换完成时, 寄存器中就得到了 1 个  $N$  位数码。

SAR ADC 的速度受限于: (1) 内部 DAC 的建立时间。在这段时间内必须稳定在整个转换器的分辨率以内。(2) 比较器的速度。比较器必须在规定的时间内能够分辨  $V_{IN}$  与  $V_{DAC}$  的微小差异。因此, DAC 和比较器的设计是整个 SAR ADC 设计的关键。

## 2 内置 DAC 的设计与优化

图 2 为传统的电阻电容 DAC 结构,  $M$  位 MSB 位采用电荷按比例缩放的子 DAC, 而  $K$  位 LSB 位采用电压按比例缩放的子 DAC。经过面积和精度的折中考虑, 设计时通常取  $M$  为 5,  $K$  为 7。

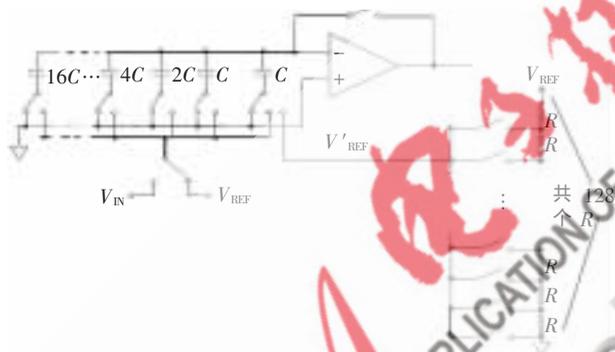


图 2 传统 C-R 混合结构 DAC

### 2.1 传统 C-K 结构 DAC 优缺点

(1) 优点: 采用了在最大最小组件比和分辨率之间进行权衡的方法, 使匹配精度不会随 DAC 的分辨率的增加而下降, 同时 DAC 需要的面积也相应地有所减小。而且 MSB 位由电容组成, 工艺上它的精度与电阻串组成相比更高。而 LSB 采用电阻串构成, 是单调的, 整体的性能不会出现非单调性。

(2) 缺点: 传统结构中, 16C、8C、4C、2C 等分别为集总型的电容连接结构, 转换时, 每一组集总电容的下极板在各位的逼近代码为 1 或 0 的控制下分别接  $V_{REF}$  或地, 由于电容之间的匹配误差和单调性难以保证而容易产生 DNL 误差。以一个 6 bit 的 C-R 结构为例 ( $M=3, K=3$ ), 其传统的集总电容阵列结构如图 3 所示。4C 由  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  集总而成, 2C 由  $C_5$ 、 $C_6$  集总。如果输出代码为 001\_111 时,  $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$  和  $C_5$ 、 $C_6$  接地,  $C_7$  接  $V_{REF}$ , 附加电容  $C_8$  总是固定接  $V'_{REF}$ , 而此时  $V'_{REF} = 7/8 \times$

$V_{REF}$ , 则等效总电容  $C_{eq} = C_7 + C_8 \times (7/8)$ ; 如果下一个输出代码为 010\_000, 则  $C_{eq} = C_5 + C_6$ ; 因此,  $C_7$ 、 $C_8$  及  $C_5$ 、 $C_6$  在版图设计和制造过程产生的匹配误差将直接导致 DNL 误差, 影响 IP 核的动、静态性能。

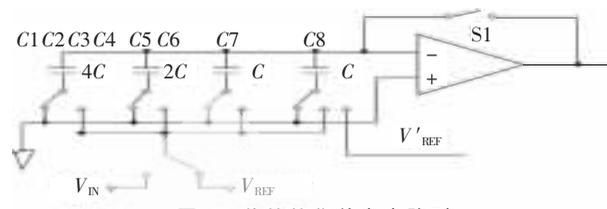


图 3 传统的集总电容阵列

### 2.2 优化设计分析

针对上述误差因素, IP 核设计首先从电容阵列的结构出发, 对传统的 C-R 结构进行了优化, 如图 4 所示。电容阵列由相同的单位电容组成, 所有电容并不集总在一起, 每一个单位电容都有可能接  $V_{REF}$  或  $V'_{REF}$ 。

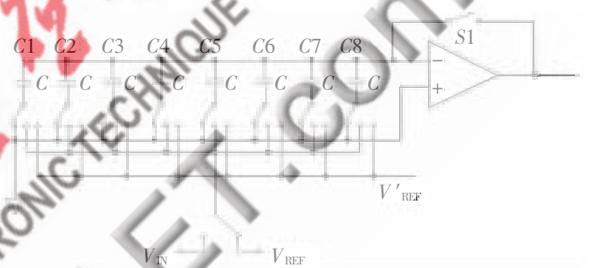


图 4 非集总电容阵列结构

以代码 001\_111 为例, 此时  $C_1$  接  $V_{REF}$ , 而  $C_2$  接  $V'_{REF}$ , 则:

$$C_{eq} = C_1 + C_2 \times \left(\frac{7}{8}\right) \quad (1)$$

当代码增加 1 个 LSB 为 010\_000 时,  $C_1$  和  $C_2$  接  $V_{REF}$ , 则:

$$C_{eq} = C_1 + C_2 \quad (2)$$

由公式可以看出, 虽然输出代码增加了 1 个 LSB, 但是连接的相关电容并没发生任何变化, 因而可极大地降低 DNL 误差。

同理, 在 12 位的 SAR ADC IP 核的设计过程中, 把 MSB 位 DAC 中的 16C:8C:4C:2C:C:C 电容阵列变为由 32 个单位电容  $C$  组成的非集总电容阵列结构, 改进的 C-R 结构如图 5 所示。

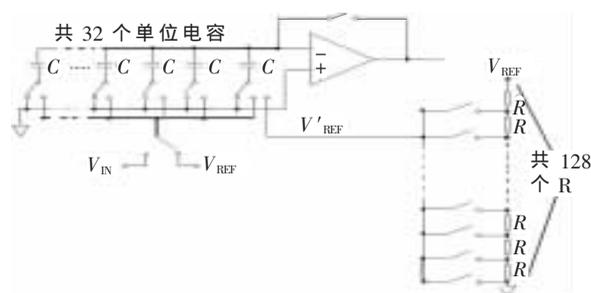


图 5 改进的 C-R 混合结构 DAC

逐次逼近过程中,由于 SAR 的逻辑控制不同,而使电容的连接方式不同。 $D[11:0]$ 从 100 000 000 000 开始进行逼近转换,此时前面的 16 个单位电容接  $V_{REF}$ ,第 17 个电容接  $V'_{REF}$ ,其他的电容接地。如果比较器的最终比较结果大于 1,则最高位的 1 保留, $D[11:0]$ 变为 110 000 000 000,此时前面的 24 个电容接  $V_{REF}$ 上,第 25 个电容接到  $V'_{REF}$ ,其他的电容接地。如果比较器的最终比较结果小于 1,则  $D[11:0]$ 变为 010 000 000 000,则前面的 8 个单位电容接到  $V_{REF}$ ,第 9 个电容接  $V'_{REF}$ ,其他的电容接地。依此类推,最终在转换结束后,并行输出寄存的  $D[11:0]$ 的值,即得到所需要的转换结果  $D[11:0]$ 。

转换过程中,利用数字逻辑的控制,输出代码每增加 1 个 LSB,所连接的电容并不会发生变化,这样可极大地降低 DNL 误差,从而实现较好的静、动态特性。

### 3 采样、转换电路分析及比较器的设计

#### 3.1 采样、转换过程分析

由于电路 DAC 中电容阵列的存在,采样保持电路直接镶嵌在 DAC 之中。因模拟输入为单端信号,为了减小噪声干扰,比较器采用准差分结构。在比较器的反相输入端接入 1 组与采样电容完全相同的 dummy 电容,并且 dummy 电容全部接地。结构如图 6 所示。



图 6 采样、转换电路

采样时,图中的 32 单位电容全部接模拟输入  $V_{IN}$ ,同时开关  $S_1$  闭合,第 1 级比较器的输入输出电压最终被拉至一相同的电平  $V_{dummy}=V_{IN}$ ,即采样电压  $V_{IN}$  以电荷的方式存储在输入电容节点上。

转换时,反馈开关  $S_1$  断开, $V_{dummy}=V_{IN}$  保持不变,电容上存储的电荷  $Q$  不变。下一个时钟周期,开始进行逼近转换。 $V_{DA}$  随着逼近代码的转变而改变,通过比较器判断  $V_{DA}$  与  $V_{IN}$  的大小,若  $V_{DA}>V_{IN}$ ,比较器的输出为 0; $V_{DA}<V_{IN}$ ,比较器的输出为 1。

#### 3.2 比较器的设计与优化

比较器由两级结构相同的前置放大器和一级带有复位再生的高速锁存器组成。前置放大器使输入的变化足够大,其输出被接入到锁存器的输入端,这样的组合电路具有最佳特性。传统的前置放大器结构如图 7 所示,由 1 个差分输入对、1 个伪电流源和 1 对交叉耦合负载组成的一种内置正反馈比较器。

为提高比较器的翻转速度,在前置放大器的设计上

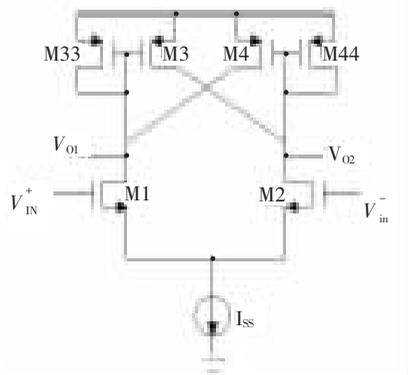


图 7 前置放大器电路

也进行了简单的优化,如图 8 所示:(1)增加复位功能。利用  $RS$  与  $\overline{RS}$  两个相反时钟信号来控制比较器的复位,当  $RS$  为高时,比较器处于复位状态; $RS$  为低时,比较器开始进行比较。通过每次比较前的复位,可以进一步提高比较器的翻转速度;(2)在两输出端之间增加 2 个钳位(clamping)二极管,用来控制两个差分输出端的电压差。即限制  $V_{O1}$  和  $V_{O2}$  电压的摆幅,提高比较器的速度。

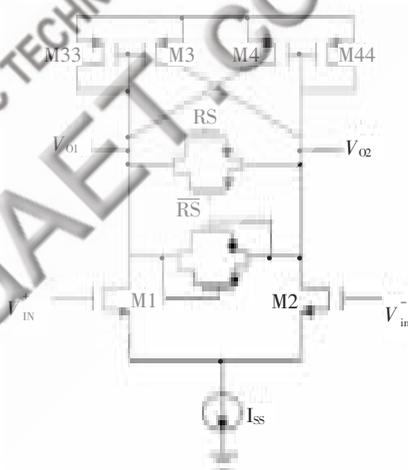


图 8 优化后的前置放大器的设计

## 4 版图设计及仿真结果

### 4.1 版图设计

整个 IP 版图设计采用  $0.18 \mu\text{m}$  的 IP6M 的工艺,面积较小,仅为  $810 \mu\text{m} \times 410 \mu\text{m}$ 。

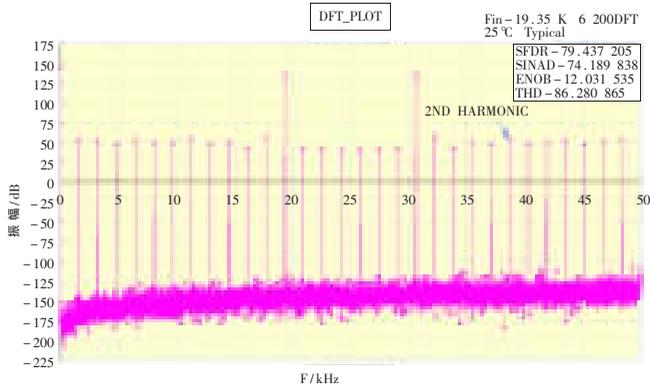
### 4.2 仿真结果

抽取寄生参数后的仿真结果如表 1 所示。

表 1  $F_{\text{vin}}=19 \text{ kHz}$  的仿真结果

条件	有效位数 (ENOB)	无杂散动态范 围(SINAD)/dB	信号与噪声失真 比(SINAD)/dB
TT	12.031 535	79.437 205	74.389 838
FF	12.054 791	81.663 247	74.379 109
SS	12.223 869	80.660 407	74.479 107
FNSP	11.951 403	80.813 467	74.628 665
SNFP	11.939 213	79.917 837	74.453 719

图 9 为用仿真结果所画的 SAR ADC 输出代码的 FFT 图形。

图9  $F_{in}=19.35$  kHz 时的 FFT\_PLOT

本文在深入分析 SAR ADC 的基础上,实现了 12 bit 的适用于工业控制器的 SAR ADC IP 核的设计。为提高 IP 核的性能,设计对  $C-R$  混合式的 DAC 结构中的电容阵列进行了改进,采用了一种新的非集总的电容结构,并且还进一步优化了比较器的设计。

芯核采用  $0.18 \mu\text{m}$  CMOS Mix\_singal IP6M 工艺,分别采用 3.3 V 的模拟电源电压和 1.8 V 的数字电源电压供电。IP 核的面积为  $800 \mu\text{m} \times 420 \mu\text{m}$ , FF case ( $V_{DDA}=3.63 \text{ V}$   $V_{DDD}=1.98 \text{ V}$   $V_{REF}=3.63 \text{ V}$ ) 下功耗为 1.2 mW,

$DNL < 0.5 \text{ LSB}$ , 实现了 12 bit 的低功耗、芯片面积小的 SAR ADC IP 核的设计。

#### 参考文献

- [1] PHILLIP E, ALLEN D R H. CMOS analog circuit design (Second Edition)[M]. Oxford University Press, 2005.
- [2] CHANG Y K, WANG C S, WANG C K. A 8 bit 500 KS/s low-power SAR ADC for biomedical applications [C]. in Proc. IEEE Asian Solid-State Circuits Conf. (ASSCC), 2007:228-231.
- [3] HAMMERSCHMIED C M. CMOS A/D converters using MOSFET-only R-2R ladders [D]. Swiss Federal Institute of Technology, Zurich. 2000.
- [4] ELZAKKER M. A  $1.9 \mu\text{W}$   $4.4 \text{ fJ}/\text{conversion-step}$  10b 1MS/s charge redistribution ADC [C]. International Solid State Circuits Conference (ISSCC), 2008:244-246.
- [5] BOSCH A V. A 10 bit 1 G sample/s nyquist current-steering CMOS D/A converter [J]. IEEE J.Solid-State Circuits, 2001,36(3):315-323.

(收稿日期:2010-01-11)

#### 作者简介:

裴晓敏,女,1973年生,硕士,主要研究方向:集成电路设计。