

基于 DSP 和 FPGA 的实时图像压缩系统设计*

彭旭锋, 刘文怡, 李金力

(中北大学 电子测试技术国家重点实验室, 仪器科学与动态测试教育部重点实验室,
山西 太原 030051)

摘要: 提出了一种基于高频帧摄像头的高频帧实时图像压缩技术, 以此技术为基础, 使用 TMS320CDM642 和 EP2C35 FPGA 相结合, 设计了一种高频帧实时图像处理器硬件系统。该系统采用 2 片 SRAM 乒乓结构, 以及基于 TI 公司 DSP/BIOS 和支持 XDAIS 的 JPEG2000 压缩算法, 实现了 100 帧/s 的压缩速度, 系统同时解决了图像压缩中容量和速度的问题, 实验了采集和压缩过程的同步进行, 大大提高了图像压缩速度。

关键词: DM642; 乒乓缓存; XDAIS

中图分类号: TP751

文献标识码: A

文章编号: 1674-7720(2010)11-0017-04

Design of real-time image compression system based on DSP and FPGA

PENG Xu Feng, LIU Wen Yi, LI Jin Li

(National Key Laboratory For Electronic Measurement Technology, Key Laboratory of Instrumentation Science & Dynamic Measurement, North University of China, Taiyuan 030051, China)

Abstract: Based on high-frequency frame camera, a high-frequency frame real-time image compression technology is proposed. By combining the TMS320CDM642 and EP2C35 FPGA, this paper designs a high-frequency frame real-time image processor hardware system. The system uses two ping-pong SRAM structures, and on the basis of TI's DSP/BIOS and the JPEG2000 compression algorithm be support for XDAIS, it realizes the compression rate of 100 per second. The system of image compression while addressing the capacity and the speed of the experimental process of collecting and compression simultaneously, greatly improves the speed of image compression.

Key words: DM642; ping-pong buffer; XDAIS

目前使用的图像采集系统输入信号通常为 PAL 或者 NTSL 制式的 CVBS 复合信号, 压缩速度 25 帧/s(PAL) 或者 30 帧/s (NTSC)。但在工业控制、航天以及安防领域, 有时需要监测快速移动的目标, 或者瞬间发生的物理现象, 事后还要对数据进行分析、处理。为了提高测量精度, 通常采用高频帧图像采集系统。本文针对某 Camera Link 接口的图像传感器, 设计了一个高频帧图像采集系统, 该系统能够每秒采集 100 帧, 并对其 JPEG 压缩, 压缩完的数据通过 RS422 传输至远处的监测系统。

1 系统工作原理及硬件设计

系统由 Camera Link 接口模块、以 FPGA 为核心的图

像采集预处理与传输单元、以 DSP 为核心的图像压缩单元以及 RS422 远距离数据传输单元组成。由于采集、处理均需要访问存储器, 为了降低成本, 采用普通的异步 SRAM, 按功能区分可分为采集 SRAM 和压缩处理 SRAM。读写逻辑由 FPGA 控制, 采用乒乓机制进行切换。整个系统结构如图 1 所示。

系统工作过程: 图像信号经由 LVDS 转换芯片后转换成 LVTTTL 信号, 直接传送至 FPGA 解码为 8 位数据, 以字节方式一行一行写入 SRAM 静态存储器(存储器由两部分组成), 用于乒乓缓存输入数据, 每部分满 1 帧后由 FPGA 控制送出帧中断给 DSP, DSP 启动 EDMA 读入 1 帧数据, 采用 JPEG2000 方式编码后连续写入到 FIFO_OUT, FPGA 负责从 FIFO_OUT 读出数据, 非空即读,

* 基金项目: 微型机械电子系统(MEMS)测试计量技术与理论研究(50535030)

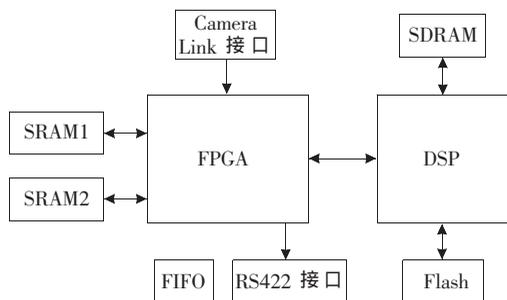


图1 系统结构图

缓存积累不会超过1帧数据。读出的数据另行打包后以9 Mb/s的码率通过DS26LV31 422接口芯片从out1接口输出，或者分流后从out1和out2以各4.5 Mb/s的码率输出。

2 FPGA 功能模块设计

2.1 Camera Link 接口模块

Camera Link 接口模块负责对高频帧数字摄像头输出的LVDS信号转换为TTL标准信号。

关于Camera Link的采集数据的逻辑代码，关键在于产生存储器的地址信号、存储器写信号以及在对应的地址处将数据稳定地写进存储器。本系统用像素时钟产生列地址计数器、行同步信号产生行地址计数器，两者拼接产生存储器的地址信号。这样产生的有效地址虽然不连续，但意义明确，而且有利于显示部分的隔行隔列显示。对于8 bit的数据，可将2个有效数据拼接成16 bit后再存储，这样可以提高FPGA读写存储器的速度。

Camera Link 接口时序如图2所示。

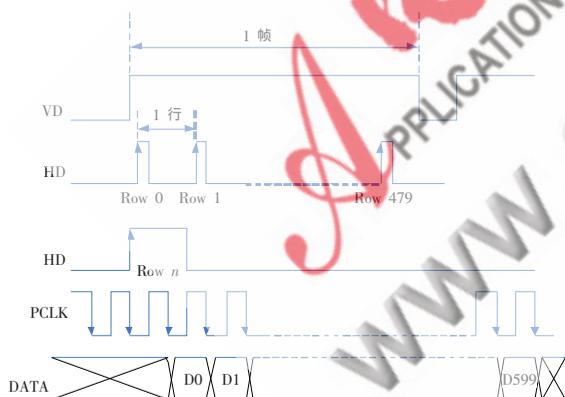


图2 Camera Link 接口时序

图2中:VD为帧同步信号,电平模式,高电平有效;HD为行同步信号,脉冲模式,上升沿有效;PCLK为像素同步时钟,脉冲模式;DATA为10 bit图像数据,在PCLK的下降沿推出,接收端在PCLK上升沿采集,PCLK为常运行模式。每个VD有效期内内有480个HD有效信号,在第0~478个HD有效时,每个HD有效期间有600个有效图像数据,第479个HD(即每帧的最后1行)有效时,前600个DATA为有效图像数据,600个DATA后预留6个字节输出图像相关信息,即第D600~D605为预

留字节。

2.2 SRAM 乒乓缓存

在图像采集处理系统中,DSP的压缩算法在实现时间上往往并不是固定不变的,然而前端的采集模块却使用均匀速度对图像进行采集,这样存在时间上的不同步,有可能会导导致图像数据的丢失和影响帧数据的完整性^[2]。为此,本系统在采集和压缩模块之间增加1个缓冲电路来解决这一问题。

常用的缓冲电路主要有3种^[3]:双口RAM结构、FIFO结构和乒乓结构。由于乒乓结构可以使用相对比较便宜的高速大容量SRAM,而且可以实现数据的连续性,因此本系统采用了乒乓结构双SRAM作为视频数据的缓冲。在将1帧图像的数据全部存储完以后,DSP再利用很短的时间直接将1帧图像数据读入片内,这样既可以保证不丢失像素数据、DSP可以连续采集每1帧像素数据,又能为DSP留出更多空余时间,为后面进行图像处理提供可能。为了实现数据帧的完整性,必须保证读取数据帧的优先级要高于写数据帧的优先级,所以本系统的数据输入输出单元是根据数据处理流程来进行切换的。

乒乓控制模块按照功能还分为:S0、S1、S2、S3 4个转换状态。其中,状态S0为初始化状态(所有信号都处于初始化状态),系统加电或者复位后进入此状态;在S1状态,主要负责对SRAM0的写入,不可以对SRAM1进行读操作;在S2状态,主要负责对SRAM1进行写操作,对SRAM0进行读操作,当SRAM0写完后,如果SRAM0未读完,则继续处于状态S2,如果SRAM0读完,则进入状态S3;在S3状态,主要负责对SRAM0进行写操作,对SRAM1进行读操作,当SRAM0写完后,如果SRAM1未读完,则继续处于状态S3,如果SRAM1读完,则进入状态S2。乒乓控制模块状态转换图如图3所示。

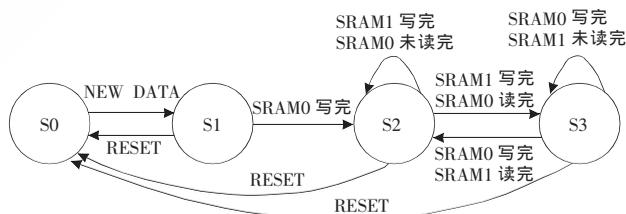


图3 乒乓结构状态转换图

SRAM乒乓电路如图4所示。图中,wr_data为Camera Link接口接收到的只包含灰度信号的图像数据。为了方便图像数据的管理,每个像素、每行的像素都对应到了SRAM的固定地址,所以wr_addr为该像素在SRAM中的地址,同时也可以表示该像素在一幅图像中的位置。CHANNEL_SEL为读SRAM的标志位,0代表SRAM0,1代表SRAM1。

2.3 FIFO 缓存模块和 RS422 传输模块

由于DSP向RS422模块传输数据并不是匀速传输,

欢迎网上投稿 www.pcachina.com 21

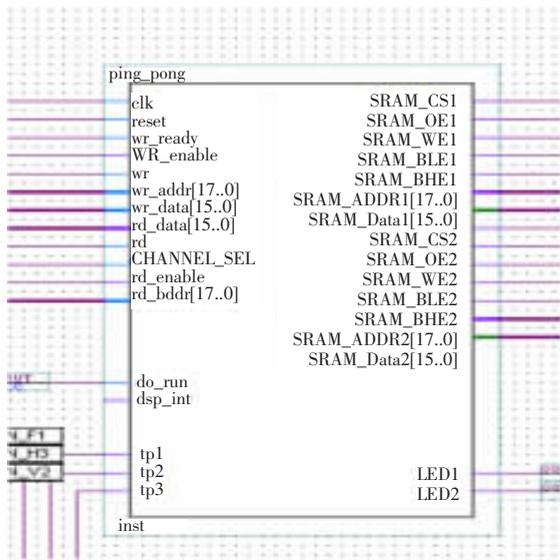


图4 SRAM乒乓原理图

而且传输速度比RS422的传输速度快很多倍,所以必须采用FIFO模块。

3 DSP程序设计

TI公司的TMS320DM642芯片是一款高性能视频处理器,其主频可以高达600MHz,数字处理能力可以达到4800MI/ps^[3]。

DSP工作流程图如图5所示,DSP在相关外设与EDMA相关寄存器初始化完成后,才开始响应中断事件触发EDMA传输,在本系统中由EXITUINT4中断上升沿触发EDMA进行传输。在接收到FPGA发送的中断信号后,开始进行EDMA传输,整个EDMA传输的过程需要10ms左右,传输完成后触发EDMA中断,在中断服务函数中触发1个软中断,在软中断服务函数中进行图像数据的压缩。

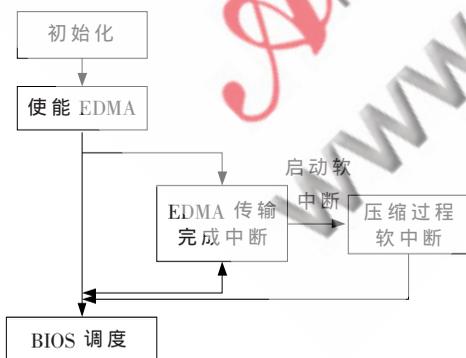


图5 DSP程序流程图

3.1 EDMA乒乓程序设计

在整个DSP的工作流程中,要实现图像数据采集、压缩、传输同时进行,则在DSP程序中需要1个双缓冲buffer,在向buf1中采集图像信号的时候,DSP可以对buf2中的数据进行压缩,而在对buf2中进行采集的时候,DSP可以对buf1中的数据进行压缩。

实现这个功能的方法是采用EDMA ping_pong方式。在DSP中使用hEdmaPing和hEdmaPong双通道EDMA并建立PingBuffer和PongBuffer两个数据存储区。当写完1帧图像后,FPGA发送EXTINT4中断信号启动hEdmaPing将数据搬移到PingBuffer,同时将通道链接至hEdmaPong。在下一个中断事件发生时将数据搬移到PongBuffer中,CPU在hEdmaPong通道完成中断服务程序中链接hEdmaPing通道。如此往复,使系统数据搬移和处理连续进行。

3.2 DSP/BIOS调度程序设计

仅仅采用EDMA乒乓方式进行EDMA数据传输是不够的,不能实现数据的采集和压缩同时进行,还需要DSP/BIOS调度程序。在任务、硬件中断、软件中断中进行调度,在软中断服务函数中进行图像压缩任务。

DSP/BIOS是TI公司所设计开发的、尺寸可裁剪的实时多任务操作系统内核,通过使用DSP/BIOS提供的丰富的内核服务,开发者能快速地创建满足实时性能要求的精细复杂的多任务应用程序。

DSP/BIOS程序编写过程如下:

(1)在DSP/BIOS配置面板中添加1个软中断jpeg_swi,并将该软中断的服务函数设置为jpeg。

(2)添加软中断服务函数jpeg();代码如下:

```
void jpeg(void)
{
    Uint32 i;
    if(pingpong)
        bitstream_length = my_jpegenc ->fxns ->encode (my_jpegenc, (XDAS_Int8**)buf0, output_bitstream_buffer);
    else
        bitstream_length = my_jpegenc ->fxns ->encode (my_jpegenc, (XDAS_Int8 **)buf1, output_bitstream_buffer);
    submit_qdma();
    while(!(EDMA_getPriQStatus()&EDMA_OPT_PRI_HIGH));
}
```

(3)在EDMA中断服务函数中添加如下代码:

```
SWI_post(&jpeg_swi);
```

该函数的作用是触发jpeg_swi软中断。

4 系统关键技术

4.1 时钟

在使用内部生成的时钟过程中,可能引起设计上的功能和时限问题。组合逻辑产生的时钟会引入毛刺,造成功能问题,而引入的延迟则可能会导致时限问题。

本设计中用到很多全局时钟的整数倍分频,且由于分频的整数倍较大,如果利用FPGA中自带的DCM模块很难实现这样的功能。因此,采用同步计数器的分频方法,并且在各个时钟信号输出之前,再加一级寄存器输出,这样的操作就避免了组合逻辑生成的毛刺被阻挡在寄存器的数据输入端口上。

4.2 DSP 与 FPGA 数据交换

由于压缩算法采用 MECOSO 公司的 JPEG 压缩算法,经过优化和处理后,压缩 1 幅图像仅需要 4 ms。所以影响整个系统能否实现高频帧的关键技术是 EDMA 向 SDRAM 中搬移数据的速度,在本设计中设帧图像的大小为 $600 \times 480 = 288 \text{ KB}$,传输 1 幅图像所需的时间需要 10 ms。影响其速度主要有 2 个因素:EMIF 所使用的 ECLOCK 和 EMIF 相关设置的寄存器。

在本系统中,ECLOCK 采用了 DSP 的 CPU4 分频,使 EMIF 的 CLOCK 工作在 150 MHz,大大提高了搬移速度。由于 SRAM 映射在 DSP 的 CE2 空间,考虑到读取数据需要建立(setup)、选通(Strobe)和保持(Hold)3 个步骤,故将 CE2 相关寄存器的建立时间和选通时间选择为 1 个 clk,经 Hold 时间设置为 0。这样设置后 EMIF 总线的数据吞吐量为:

$$\frac{\text{EMIFclock}(150 \text{ MHz})}{\text{执行周期}(3 \text{ clock})} \times \text{总线宽度}(16 \text{ bit}) = 10 \text{ Mb/s}$$

本文设计的图像压缩系统实现了分辨率为 600×480 、帧频率为 100 帧/s 的视频信号输入的图像采集,并能够

进行实时的 JPEG 压缩。系统采用 DSP+FPGA 的方案,虽然是一种较常用的组织方式,但在该系统中解决了一些关键的问题,大大提高了图像压缩速度及系统的灵活性。本系统已经应用于航天领域某监测系统,效果良好,运行稳定。

参考文献

- [1] 李武森,迟泽英,陈文建.高速 DSP 图像处理系统中的乒乓缓存结构研究[J].光电子技术与信息,2005(3):76-79.
- [2] 周如辉.实时视频处理系统中乒乓缓存控制器的设计[J].电子元器件应用,2006,33(4):66-68.
- [3] 江思敏,刘畅.TMS320C6000 DSP 应用开发教程[M].北京:机械工业出版社,2005.

(收稿日期:2010-01-09)

作者简介:

彭旭锋,男,1984 年生,研究生,主要研究方向: DSP 数字信号处理,嵌入式系统。

刘文怡,男,1970 年生,教授,主要研究方向:微系统集成。

李金力,男,1983 年生,研究生,主要研究方向:电路设计。