ZVS 条件下死区时间控制技术的 FPGA 实现

郭元振[1],张 彬[1],马 孜[2]
(1.四川大学 电子信息学院,四川 成都 610065;
2.西南技术物理研究所,四川 成都 610041)

摘 要:设计了一种由现场可编程逻辑阵列 FPGA 实现的 ZVS 条件下死区时间控制电路,该电路不仅可有效防止上下功率管的同时导通,而且能够减小功率级的损耗,降低放大器的谐波畸变率。阐述了所设计电路的特点和功能,并对其进行了功能仿真和静态时序分析。

关键词:D 类放大器;死区时间;谐波畸变率(THD);ZVS-PWM 控制技术;FPGA
中图分类号:TN432 **文献标识码**:A

Realization of deadtime control technology in ZVS condition via FPGA

GUO Yuan Zhen[1], ZHANG Bin[1], MA Zi[2]
(1.School of Electronics and Information Engineering, Sichuan University, Chengdu 610065, China;
2.Southwest Institute of Technical Physics, Chengdu 610041, China)

Abstract: A circuit was presented to control the deadtime in ZVS condition via FPGA, which not only can prevent effectively large shoot-through currents from passing through upper and lower power transistors at the same time, but also can reduce the dissipation of amplifier and THD. The features and functions was described and functional simulation and static timing analysis was presented also.

Key words: class-D amplifier; dead time; THD; ZVS-PWM control technology; FPGA

将 D 类功率放大器应用于真空镀膜机中磁偏转电子束扫描电子枪,然而要实现高质量、复杂膜系的镀制,对输出电流的线性度要求比较高,因此,D 类功率放大器的线性度成为亟待解决的问题。

D 类功率放大器采用开关模式输出,具有很高的效率,但同一桥臂上的两个开关器件不能同时处于导通状态,否则,会在电源和地之间形成一条低阻通路,产生很大的"穿刺"电流,不仅增大了放大器的功耗,而且容易损坏功率器件。为此,必须引入死区时间,死区时间是指从一个开关器件的关断信号发出到同桥臂另一个开关器件加上开通信号之间的时间延迟[1]。然而,死区时间设置过大,将使得输出电流纹波变大,输出电压有效值改变[2],同时,也产生了不必要的损耗。

传统的死区控制电路是由芯片外接电阻电容构成微分电路,进而产生死区时间,但这样占用面积大、不易集成;而由专用芯片实现的死区控制电路,结构简单、抗干扰能力强,但成本高、不易采购,并且不能对死区时间自动调整。本文利用 FPGA 实现的零电压开关(ZVS)条件下死区时间控制电路,将功率管输出电压信号反馈到功率管的驱动端,进而实现了对死区时间的自动控制和调整,最大程度地减小了死区的影响[3]。

1 死区时间对输出电压的影响及其仿真分析

半桥式功放电路功率级拓扑结构如图 1 所示,其中 C_Z 是Z 点对地的寄生电容,D_n 和 D_P 分别是 N 管和 P 管的体二极管。

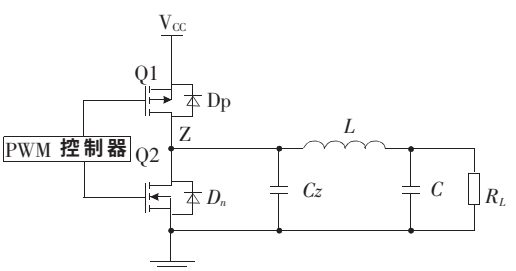

图 1 半桥式功放电路功率级拓扑结构

当驱动功率管的 PWM 波未加入死区时间时,设调

制波为正弦波，采用平均对称规则采样方法所得到的PWM波的傅里叶级数为[4]：

$$f(t)=\frac{E}{2}+\frac{ME}{2}\sin(\omega_i t)+\frac{E}{2}\sum_{n=0}^{\infty}(\frac{4}{n\pi})\{2\sum_{l=1}^{\infty}J_{2l-1}(\frac{Mn\pi}{2})\sin[(2l-1)(\omega_i t)]\cos\frac{n\pi}{2}+[J_0(\frac{Mn\pi}{2})+2\sum_{l=1}^{\infty}J_{2l}(\frac{Mn\pi}{2})\cos(2l)(\omega_i t)]\sin(\frac{n\pi}{2})\}\cos(n\omega_c t) \quad (1)$$

其中，E 为PWM波幅度，M 为调制系数，ω_i 为调制波角频率，ω_c 为载波角频率。由上式可知PWM波中不含低次谐波，仅含 ω_c、$2\omega_c$、$3\omega_c$ 及其附近的谐波，因此很容易滤除。

设死区时间为 t_d，Q1从导通到关断、Q2从关断到导通，如没设置死区时间，Z点电压应由 $+U$ 下降到0，在死区时间内由于自感作用，下桥臂二极管续流，Z点的电压钳位到 $-U_d$，相当于增加了一个宽度为 t_d、幅度为 U_d 的电压脉冲；Q1从关断到导通、Q2从导通到关断时，如没设置死区时间，Z点电压应由0上升到 $+U$，但是由于死区时间的设置，Z点电压被下桥臂二极管钳位到 $-U_d$，这相当于损失了一个宽度为 t_d、幅度为 U，同时增加了一个宽度为 t_d、幅度为 U_d 的电压脉冲。

从总体上看，死区时间的影响可产生一系列的偏差电压。如果忽略高次谐波，这一系列的偏差电压可以等效为矩形波的偏差电压 u_{er}，设其幅值为 ΔU，则有 $\Delta U=(U-2U_d)Nf_i t_d$。忽略PWM调制波固有的谐波含量，而只考虑死区时间对输出电压的影响，将偏差电压 u_{er} 用傅里叶级数展开为：

$$u_{er}=\frac{(U-2U_d)Nf_i t_d}{2}+\frac{2}{\pi}(U+2U_d)Nf_i t_d(\cos\omega_i t+\frac{1}{3}\cos 3\omega_i t+\frac{1}{5}\cos 5\omega_i t+\frac{1}{7}\cos 7\omega_i t+\cdots) \quad (2)$$

其中，U 为A点电压幅度，U_d 为续流二极管阈值电压，N 为调制波周期内矩形波的个数，f_i 为调制波频率。

由式(1)、(2)得出输出电压波形的谐波畸变率[5]：

$$THD=\sqrt{\sum_{n=2}^{\infty}(\frac{U_n}{U_1})^2}=\sqrt{\frac{\frac{2}{\pi}(AE-2U_d)Nf_i t_d(\frac{1}{9}+\frac{1}{25}+\frac{1}{49}+\cdots)}{\frac{AME}{2}-\frac{2}{\pi}(AE-2U_d)Nf_i t_d}} \quad (3)$$

其中，A 为功放的放大倍数，U_n 为第 n 次谐波电压，U_1 为基波电压。

表1所示，电源电压为12 V、调制波频率为500 Hz，载波频率为50 kHz时，负载电流谐波畸变率及各次谐波电流的仿真数据。

通过分析和仿真结果，引入死区时间造成的影响如下：

(1)在输出波形中产生毛刺，使输出电压增加了附加的直流分量、基波、$2n+1(n=1,2,3\cdots)$ 次谐波分量。毛刺受到死区时间和负载电流的影响[6]，死区时间越长，体二极管导通的时间就越长，毛刺的宽度也就越宽，Z点的电压如图2所示。由于在本设计中滤波器截止频率较低，L 值较大，因此电感电流一直为正(称为重载)。故实际输出谐波电压的含量主要取决于死区时间引起的谐波。从式(3)中可看出，引起开关功率放大器THD增加的原因是死区时间的设置和开关频率的选取。死区时间和开关频率越大，THD也就越大。

表1 仿真结果

死区时间/μs	0	0.4	2
负载性质	L=262.6 μH	C=10.7 μF	R_L=3.5 Ω
THD	4.874 9%	4.258 85%	35.361 8%
基波	2.010 80E+000	1.963 33E+000	1.919 25E+000
2次谐波	5.412 89E-002	4.515 41E-002	4.236 46E-001
3次谐波	7.576 01E-002	6.208 95E-002	2.869 30E-001
4次谐波	1.590 90E-002	2.753 43E-002	2.421 24E-001
5次谐波	2.203 80E-002	8.888 86E-003	2.182 89E-001
6次谐波	1.262 50E-002	1.177 30E-002	1.926 20E-001
7次谐波	3.960 85E-003	2.654 07E-003	1.564 32E-001
8次谐波	2.156 79E-003	6.488 91E-003	1.328 81E-001
9次谐波	4.562 19E-003	8.520 84E-003	1.153 18E-001

图2 Z点电压波形中出现的毛刺

(2)造成功率损耗，输出波形中出现的毛刺包含一定的能量，这部分能量消耗在体二极管中，如果把这些毛刺看成方波信号，则体二极管消耗的能量[7]为：

$$P=2f V_{BE} I t_d \quad (4)$$

能量是以热量的形式散发出去的，会对芯片的散热造成很大的问题。从式(4)可以看出，要减小这部分能量，必须要减小死区时间和采样频率。

2 电路设计

2.1 自适应死区时间控制电路原理

由以上分析可知，在死区时间内，由于功率管中的体二极管的续流作用，在Z电位上升或下降时，都会钳位到 $-U_d$，这样可以检测Z点和上下功率管栅极电位，以此减小或消除毛刺。即当Q2栅极电位为低且Z点电位小于0时，开通Q1，死区时间结束，此时，毛刺消失；当Q1栅极电位为高且Z点电位小于0时，开通Q2，死区时间结束，毛刺消失。这种方法称为ZVS控制，将ZVS与PWM结合称为ZVS-PWM控制技术[3]。

本文采用FPGA实现，其优点是抗干扰能力强、采购容易、设计灵活方便、开发过程投资小、内部资源丰富，并可实现系统编程。

2.2 ZVS 条件下死区时间控制电路的 FPGA 实现

FPGA 是在 CPLD 基础上发展起来的新型高性能可编程的逻辑器件，因技术成熟，种类繁多，内部资源丰富已得到了广泛应用。本设计采用 Altera 公司推出的 EDA 编程软件 Quartus II，该软件可采用原理图设计、硬件描述语言、IP Core 等输入方法，支持 VHDL、Verilog HDL 和 AHDL 等硬件描述语言，本文采用 Verilog HDL 语言对 ZVS 条件下死区时间控制电路进行描述，所设计死区时间控制电路由信号调整、死区时间控制、过流保护、逻辑综合处理等环节组成，其相互关系如图 3 所示。

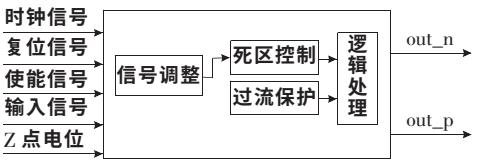

图 3 死区控制电路原理框图

信号调整：PWM 控制信号在传输过程中由于路径延迟以及电磁干扰等，使信号上升、下降沿变缓，并引起振荡，因此前端加信号调整环节以改善上升、下降沿质量，并去除振荡。

死区时间控制：进行 ZVS 检测，避免同一桥臂上的功率器件在开关过程中同时导通，并将检测信号反馈到输入端进而抑制毛刺的产生。

过流保护：当上下功率管出现过流或短路时，能够调整输出正确的信号。

逻辑综合处理环节：以上各环节产生的控制信号以及经过整形的控制信号同时进入逻辑综合环节，按特定控制规律产生的控制信号分两路输出，经驱动环节后分配给上、下两个功率器件。

为了实现以上各环节功能，采用 Verilog HDL 硬件语言，利用 modelsim 和 Classic Timing Analyzer 软件分别进行功能仿真和静态时序分析，利用 Synplify Pro 综合生成电路。部分源代码及分析如下所示：

```
module deadtime_control(set,          //异步复位信号
                        clk,          //时钟信号
                        pwm,          //输入信号
                        vd,           //Z 点电位经 Schmitt 比较器与地信号比较得到的高电平信号
                        out_n,
                        out_p         //两路输出信号
                        );
input set, clk, pwm, vd;
output out_n, out_p;
reg out_n, out_p, pwm1;
reg[1:0] state, next_state;
parameter s1=2'b11, s2=2'b01, s3=2'b00, s4=2'b10;
always @(posedge clk or posedge set)
        pwm1<=pwm;                    //输入信号延时 1 拍
always @(posedge clk or posedge set)
 if (set)                             //set 为高，复位
   begin
        out_n<=1'b1;
        out_p<=1'b1;
        state<=s1;
   end
 else
   begin
        state<=next_state;
        out_n<=next_state[1];
        out_p<=next_state[0];
   end
always @(pwm or pwm1 or vd or state)
 begin
  case(state)
   s1:  next_state<={pwm, out_p};  //pwm 为低，N、P 型管关断，出现毛刺，转到 s2 状态
   s2:
    begin
     if((vd=1'b1)||(pwm1=1'b0))
        next_state<=s3;             // P 型管导通，毛刺消失
     else if ((vd=1'b1)||(pwm1=1'b1))  // N 型管导通，毛刺消失
        next_state<=s1;
    end
   s3:  next_state<={out_n, pwm};   //pwm 为高，N、P 型功率管关断，出现毛刺，转到 s2
   s4:  next_state<=s1;             //短路保护
  endcase
 end
endmodule
```

3 死区控制电路仿真

本设计选用 Altera 公司 Cyclone 系列的EP1C3T100C6 器件，电路功能仿真结果如图 4 所示。

静态时序分析报告中指出时钟最大工作频率可达 100 MHz，最差路径延迟远小于 10 ns，完全能够正确采集到最小的PWM 脉冲。

死区时间在 D 类功率放大器中起着关键性的作用，

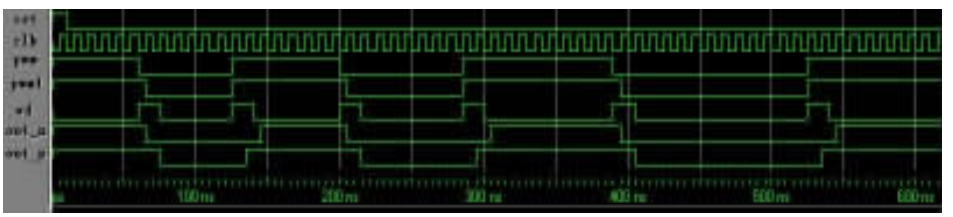

图 4 电路功能仿真结果

对死区时间的有效控制不仅可以减小器件的损坏率，而且能够降低功率管的损耗，提高放大器的线性度。本文基于 FPGA 设计的电路，可以良好地控制死区时间，保证了电路的正常运行。

参考文献

[1] 杨德刚，赵良炳，刘润生.死区时间的三个要素及无死区控制[J].电力电子技术，1999，6(3):14-17.
[2] 章建峰.逆变器死区时间对输出电压的影响分析[J].电力电子技术，2007(8):11-13.
[3] 陈敏，吴金.采用 ZVS 条件控制的 DC-DC 同步整流技术[J].电子器件，2004，27(3):428-431.
[4] 陈国呈，周娟.PWM 变频调速技术，北京:机械工业出版社，1998.
[5] 朱高峰，吴黎明，王桂棠，等.D 类音频功率放大器的关键技术声学技术[J].2006，25(5):453-456.
[6] 来新泉，韩艳丽，叶强，等.驱动死区时间控制及其对 D 类音频功率放大器稳定性的影响[J].中国集成电路，2008(1):30-35.
[7] 应建华，付增功，周欢欢.D 类音频功率放大器中的死区控制电路设计[J].华中科技大学学报(自然科学版)，2008(10):98-101.

(收稿日期：2009-09-07)

作者简介：

郭元振，男，1982 年生，硕士研究生，主要研究方向：嵌入式系统开发。

张彬，女，1969 年生，教授，主要研究方向：激光物理和技术。

马孜，男，1966 年生，研究员，主要研究方向：光学薄膜技术研究。

电子技术应用 APPLICATION OF ELECTRONIC TECHNIQUE www.chinaAET.com