

视频采集存储系统的 FPGA 设计

肖珊珊, 谢云, 庞海燕

(广东工业大学 自动化学院, 广东 广州 510006)

摘要: 设计了基于 SOPC 的图像采集存储系统, 整个系统以 MicroBlaze 为主处理器, 并应用功能 IP 核, 采用软硬件结合的方式, 完成了视频图像的采集存储处理部分。该设计作为基于 FPGA 的药片检测系统的前期处理部分已投入实际生产应用。

关键词: SOPC; IP; 视频采集; MicroBlaze 处理器; 软硬件协同设计

中图分类号: TP391.41

文献标识码: A

Design of video image data collection and storage system based on FPGA

XIAO Shan Shan, XIE Yun, PAN Hai Yan

(Department of Automation, Guangdong University of Technology, Guangzhou 510006, China)

Abstract: Design the video image collection and storage system based on SOPC. The video image collection and storage system module makes use of MicroBlaze as the main processor, adopts functional IP cores and the way of hardware/software co-design, completes the video image's collection and storage.

Key words: SOPC; IP; video image collection and storage; MicroBlaze processor; hardware/software co-design

常见的药片包装可以分为瓶装、袋装和铝塑泡包装三种, 由于药征在实际生产过程中要经过填药、压封、切割、区分等一系列复杂的流水线作业, 难免会产生药片的漏装、碎装等现象。而传统的检验方式依赖人工目测来进行, 这种工作方式劳动强度大且检测效率低, 不利于企业在市场中的竞争。因此, 本文设计一种基于 FPGA 和图像处理技术的检测系统的前端处理系统, 以 Xilinx 公司的 SOPC (System on Programmable Chip) 技术为背景, 利用 Virtex4 FPGA 为物理实现载体, 采用软硬件结合的方式设计了基于 SOPC 的图像采集存储系统^[1-2]。该设计降低了整个药片处理系统设计的复杂性, 同时提高了系统的稳定性, 使药片检测的实时性得到极大地提高。

1 系统的硬件结构

图 1 所示为视频图像处理系统结构框图, 主要分为: CCD 控制采集模块、DDR-SDRAM 读写模块、图像处理模块和 VGA 显示模块。系统的处理过程由 I²C 配置的视频解码芯片 TVP5150 对摄像头输出的模拟视频信号进行解码, 并传输给图像采集模块。采集模块对视频数

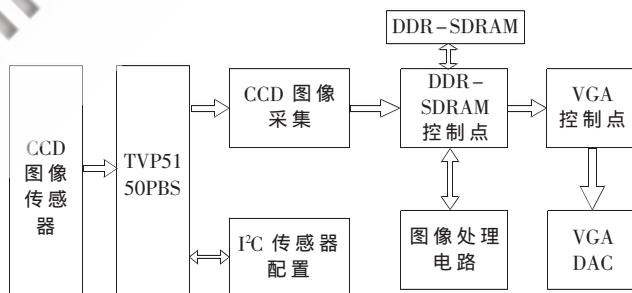


图 1 系统基本结构

据进行格式转换, 进行去交织处理, 将隔行采集的数据逐行存储到 DDR-SDRAM 显存中, 而 VGA 显示部分则从 DDR-SDRAM 中读取数据显示。

(1) 外部存储扩展

系统图像数据为: $720 \text{ bit} \times 625 \text{ bit} \times 30 \text{ bit} = 13\,500\,000 \text{ bit}$, 由于要存储的视频数据量大, 而 Virtex4 的片内存储容量有限且掉电即失, 因此必须配置大容量的外部存储器。本设计扩展了 2 MB 的 Flash 和 16 M \times 32 bit 的 DDR-SDRAM, 其中 Flash 在系统中用于存放程序代码、常量表以及一些在系统掉电后需要保存的用户数据^[3]。而 SDRAM

技术与方法 Technique and Method

掉电数据即失,但其存取速度大大高于 Flash 且可读写^[4]。因而在系统中用作程序的运行空间、临时数据及堆栈区等。图 2 所示为基于 MicroBlaze 处理器构建的嵌入式系统。

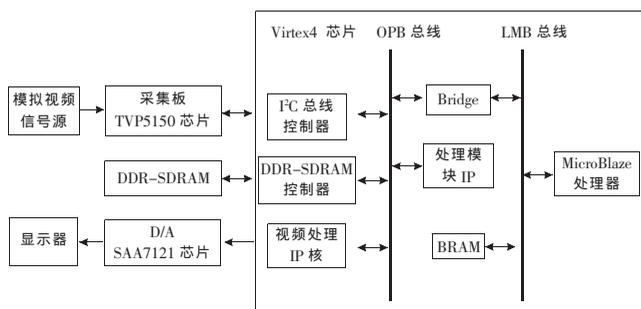


图 2 基于 MicroBlaze 构建的嵌入式系统

(2) 视频采集模块

TVP5150 是 TI 公司推出的一款超低功耗的高性能混合信号视频解码芯片,可自动识别 NTSC/PAL/SECAM 制式的模拟信号。并将其按照 YCbCr4:2:2 的格式转化成数字信号。然后以 8 位内嵌同步信号的 ITU-RBT.656 格式输出。TVP5150 具有价格低、体积小、操作简便等特点。FPGA 对 TVP5150 芯片的操作是通过 IFC 总线实现的,数据传输连接方式采用最简单的 ITU-RBT.656 方式。

2 视频采集设计

MicroBlaze 处理器对 TVP5150 控制驱动程序可从驱动程序模版移植而来,可用于实现采集方式的配置,并将采集的视频信号存储到环形缓冲区^[5]。外部模拟视频信号经 TVP5150 转换为数字视频信号后,即可进入 FPGA 并通过视频接口模块直接排列到内部环形缓冲区数据队列的队尾。当 MicroBlaze 处理器接收到处理器可用中断时,系统将检测环形缓冲区是否为空,非空时,可将数据队列的头部数据取出送给处理模块,同时启动处理模块对数据进行处理。视频信号经过处理模块后,即可进入 FPGA 内部二级 FIFO 缓存。当 FIFO 先一级满时,向 MicroBlaze 处理器发出数据输出中断请求。

MircoBlaze 处理器响应来自 FIFO 的中断后,可将 FIFO 先一级数据取出并存储在 DDR-SDRAM 中。然后清空 FIFO 先一级。MircoBlaze 处理器的采集应用程序包括以下几部分:

(1) 系统复位初始化

即禁止外部中断。初始化各驱动程序,清空环形缓冲区和二级 FIFO,检测处理模块,然后启动对 TVP5150 的控制并进行数据采集,最后启用外部中断。

(2) 处理模块可用中断服务

处理模块处理完一帧数据编码即可向 MircoBlaze 处理器发出中断。然后由 MircoBlaze 处理器控制处理模块向环形缓冲区提取数据,并在环形缓冲区耗尽时等待一定时间。

(3) 数据可输出中断服务

当二级 FIFO 先一级所准备输出的码流满时,可向 MircoBlaze 处理器发出中断。然后在 MircoBlaze 处理器控制下,将数据存储在 DDR-SDRAM,最后再清空 FIFO 先一级。图 3 所示为应用程序流程图。

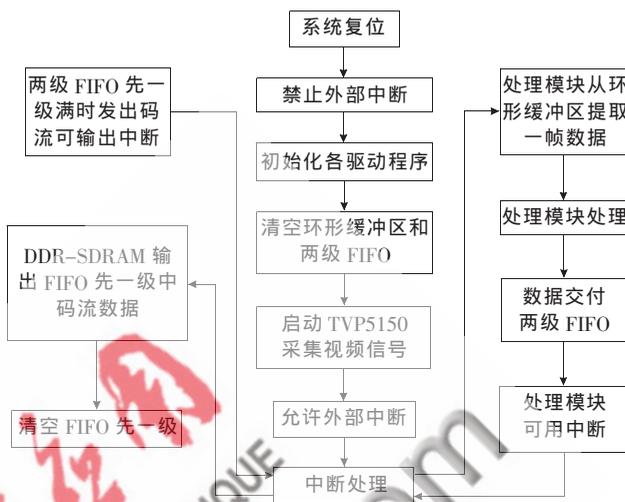


图 3 应用程序流程图

3 视频存储控制设计

DDR 控制器模块可直接与 DDR-SDRAM 进行交互,因此在时序控制上要求更精确、更严格。在本设计中,使用 Xilinx 的 DDR-SDRAM 控制器的 IP 核来实现。

整个存储系统控制逻辑可以分为 4 个模块,分别是时钟产生模块、数据接口模块、数据输入输出缓存模块、DDR-SDRAM 控制模块。其中,数据接口模块将来自外部的数据进行缓冲重排、时钟域的转换,并且产生写、读数据所需要的指令地址信号;数据输入输出缓存模块将来自数据接口模块的同步数据、地址缓存在 FIFO 中,随时供 DDR-SDRAM 控制器读取,并将读出的数据进行缓冲;而 DDR-SDRAM 控制器利用了 FPGA 内部的 DLL 模块,给系统提供了 2 个时钟 CLK 和 CLK2X,改善了时钟性能,减少时钟抖动,以产生使 DDR-SDRAM 按预期方式工作所需要的控制信号。图 4 所示为图像帧存控制模块的结构图。

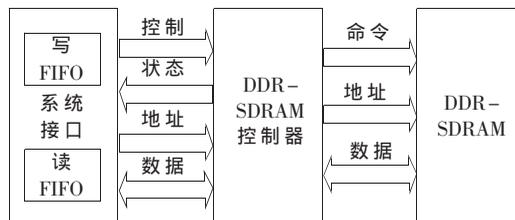


图 4 图像帧存控制模块结构图

DDR-SDRAM 控制器主要是在系统上电过程及系统意外复位发生时,对控制器进行初始化设置^[6]。在系统正常工作时,进行系统读、写请求指令的接受与应答,对系统访问地址的采样与同步完成所需的状态转换、时序同步等任务,为接口模块产生相应的控制信号,并为

技术与方法 Technique and Method

系统提供控制器状态指示信号,同时调整对应读写操作的 DQS 信号时序。在设计中依据控制器的状态转移图像,可使用 Xilinx DDR-SDRAM 控制器 IP 核来实现。

在 IP 核的生成中,FPGA 芯片采用 Virtex-4 系列的 XC4VSX25,DDR-SDRAM 型号为 Infineon_DDR_HYB25D2 56800AT_T,连接在 OPB 总线上,该款内存条支持最高工作频率为 100 MHz,数据位宽为 32 bit。13 位模式寄存器的设置如下:0_0100_0011_0010,即 BL(BurstLength)=4,CL(CASLatency)=3,BT(BurstType)=1(顺序方式), t_{wr} (WriteReeve)=3。当所有相关设置完毕之后,点击“Generate”就能生成 DDR-SDRAM 接口的 IP 核。生成的存储系统配置如图 5 所示。

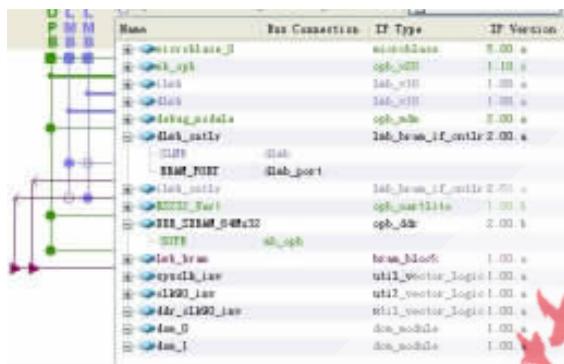


图 5 存储系统配置图

在 Xilinx 的 EDK 仿真软件中,FPGA 仿真器将 DDR 的 BIT 文件下载到 FPGA 内运行,如图 6 所示。

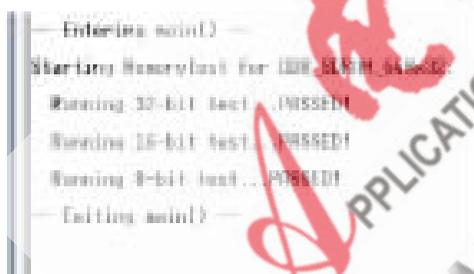


图 6 超级终端上显示的测试结果

4 应用系统结果验证

以药片作为该系统的检测对象,在 MicroBlaze 的控制下,摄像头读取图片并存储于 DDR-SDRAM 中,后经图像处理模块处理,CCD 摄像头采集到的原始图像与轮

廓跟踪后图像对比如图 7、图 8 所示。

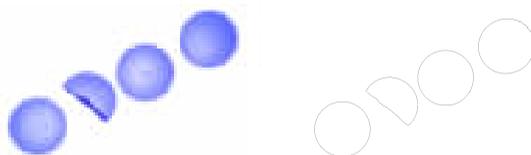


图 7 CCD 摄像头采集的原始图像

图 8 轮廓跟踪后的图像

本文设计了基于 SOPC 的图像采集存储系统,该系统作为基于 FPGA 的药片检测系统的前期设计充分利用了 FPGA 内部预先嵌入的软核 MicroBlaze,与一般使用“单片机+DSP”的多核图像处理系统比较,减少了系统所需的器件,缩小了系统的板上面积。采用软硬件协同设计的方法,明显降低了系统设计的复杂性,同时提高了系统的稳定性,使药片检测的实时性得到极大地提高。

参考文献

- [1] 韦存刚,金星.基于 FPGA 的多路数据采集和控制模块设计[J].微计算机信息,2008,6(2):231-232.
- [2] 李莹.DDR SDRAM 控制器的设计及 FPGA 实现[J].攀枝花学院学报,2007,24(6):33-37.
- [3] 吴健军,初建朋,赖宗声.基于 FPGA 的 DDR SDRAM 控制器的实现[J].微计算机信息,2006,22(1):164-165.
- [4] 郑佳,李永亮,李娜.基于 FPGA 的 DDR 控制器的实现[J].无线电工程,2007,37(10):27-29.
- [5] 薛林.高速 PCI 数据采集卡的设计与实现[D].南京:南京理工大学,2006.
- [6] 刘瑰,朱鸿宇.通用 DDR SDRAM 控制器的设计[J].微型机与应用,2004(8):23-24.

(收稿日期:2009-10-13)

作者简介:

肖姗姗,女,1984 年生,硕士研究生,主要研究方向:嵌入式系统开发新技术。

谢云,女,1964 年生,教授,硕士生导师,主要研究方向:集成电路设计、信息与通信技术和智能机器人技术。

庞海燕,女,1984 年生,硕士研究生,主要研究方向:嵌入式系统开发新技术。