

基于闪存的图像存储系统设计

张胜勇^{1,2}, 高世杰¹, 吴志勇¹

(1. 中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院研究生院, 北京 100039)

摘要: 针对硬盘存储图像速度慢、可靠性差的弊端, 分析了以 Flash 作为存储介质的可行性, 提出了一种基于闪存 Flash 的存储系统设计方案。利用并行与流水线技术相结合, 有效提高了存储容量和操作速度。整个存储系统利用 FPGA 控制读、写、擦除以及坏块识别的逻辑时序, 利用单片机管理无效块, 建立有效块表。实现了对高速大容量图像数据的存储操作, 满足了实际应用中高速相机的需求。

关键词: Flash; 存储系统; FPGA; 单片机

中图分类号: TP343

文献标识码: A

Design of image storage system based on flash

ZHANG Sheng Yong^{1,2}, GAO Shi Jie¹, WU Zhi Yong¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033, China;

2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Aiming at the requests of measuring equipments by the modern testing-field, this paper analyzes feasibility of Flash as storage medium, and proposes a design scheme for storage system based on Flash memory. The design uses parallel-channel and pipeline technology to improve the storage capacity and the operate rate, resolves the question about invalid-block through shield function in FPGA. Based on high speed and large capacity, the system implements low-power and miniaturization. This system could operate without connection with PC completely, and satisfy the request of realistic application.

Key words: Flash; storage system; FPGA; MCU

随着高速相机的发展和科学技术的不断进步, 新型大面阵数字化相机对存储系统提出了新要求。传统的硬盘存储已经不能满足实际需求, 特别是一些高帧频相机, 迫切需要一种高速大容量的存储系统与之相匹配。而闪存 Flash 作为一种新兴的半导体存储器件以其低功耗、无噪音、体积小、重量轻、抗震动、能够适应恶劣的力学和温度环境等优点, 得到迅猛的发展。目前 Samsung 公司 slc Flash 单片容量已达 8 GB, 而 mlc Flash 更是达到了 16 GB。国内外许多公司都已经加入固态盘的研制, 由此可见 Flash 具有广阔的发展空间。

1 系统总体设计思想

系统以 Flash 作为存储介质, FPGA 作为时序发生器, 控制所有对闪存的操作时序。单片机用来处理坏块, FPGA 将识别出来的坏块地址发送给单片机, 单片机将收到的坏块存入片内 RAM 中, 并根据坏块地址建立有效块表。在读写操作时, 单片机根据 FPGA 所发送的外部中断信号, 定时向 FPGA 发送有效块地址。

《微型机与应用》2010 年第 8 期

数字相机所采集图像数据通过 cameralink 接口传入 FPGA, 经过 FPGA 处理后写入 Flash 存储介质中。Flash 采用并行与流水线技术相结合, 提高了存储容量和存储速率。在读出数据时将存储板从设备取下, 通过千兆网接口与 PC 机相连, 将 Flash 中图像数据传到 PC 机进行图像的恢复处理工作。

2 存储系统硬件设计

2.1 核心芯片选择

存储介质采用 Samsung 公司的 NAND Flash 芯片 K9WAG08U1A, 其外部接口速度为 40 MHz, 接口宽度为 8 bit, 单片容量 2 GB^[1]。由于整体时序控制相对复杂, 控制核心采用 Cyclone 系列的 EP1C12Q240 专门控制时序, 处理坏块选用 TI 公司的 16 位单片机 MSP430F149, 其中高速晶振最高可配置为 8 MHz, 内部有 60 KB Flash 可以用来存储代码和必要的信息。Cameralink 接口芯片选用 DS90CR286, 用于将 4 路差分信号转换成 28 位 TTL 信号。千兆网接口选用 AX88180 和 M88E1111 芯片。

欢迎网上投稿 www.pcachina.com 27

硬件纵横

Hardware Technique

2.2 硬件结构框图

图 1 所示为整个存储系统框图。主机发送各项操作命令给单片机，单片机在接收到相应命令后将相应的控制位信息发送给 FPGA，FPGA 接收到控制信息进行相应的操作。在存储图像数据时，高速数字相机所采集数据通过 Cameralink 接口传入 FPGA 内部，在 FPGA 内部首先进行串并转换后存入建立好的 FIFO 缓存，使高速数据流与相对低速的 Flash 接口速度相匹配达到异步存储的目的。在任务执行结束后，可以将存储器从设备取下，通过千兆网与 R/B 主机相连实现到计算机硬盘的高速下载，再由主控计算机进行图像的恢复处理工作。

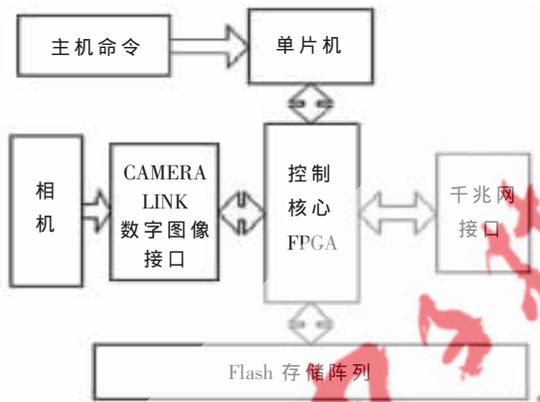


图 1 系统框图

2.2.1 Flash 并行与流水线操作

Flash 的接口速度为 40 MHz，但这只是写入页寄存器的速度。从页寄存器存储到芯片内部还有一段编程时间，典型值为 200 μs。假设一页大小为 2 KB，这样写完一页的时间为：

$$T = T_w + T_p + T_{ADDR} + T_{TR}$$

其中 T_w 是写一页的寄存器时间：

$$T_w = 25 \text{ ns} \times 2048 \text{ B} = 51.2 \mu\text{s}$$

将寄存器中数据写入片内存储介质所需时间 T_p 为：

$$T_p = 200 \mu\text{s}$$

T_{ADDR} 是写地址时间，需要 5 个周期：

$$T_{ADDR} = 25 \text{ ns} \times 5 = 125 \text{ ns}$$

写命令以及地址转换所需时间 T_{TR} 为：

$$T_{TR} = 600 \text{ ns}$$

如此算来，写完 2 KB 所需时间为：

$$T = 51.2 \mu\text{s} + 200 \mu\text{s} + 125 \text{ ns} + 600 \text{ ns}$$

$$= 251.925 \mu\text{s}$$

速度为：2048 B / 251.925 μs = 8.13 MB/s。

可见该速度过低，即使采用 4 片并行操作峰值也不过 30 MB/s 左右。为了提高存储速度，除了并行操作外又引入流水线技术。如图 2 所示，本系统采用 4 行 8 列



图 2 Flash 阵列存储结构

的阵列式结构，4 行并行操作增加了位宽，由原来单片的 8 bit 扩展为 32 bit。利用八列芯片进行流水线的操作，当对第一列的页寄存器写操作结束后进入编程时间，而接着对第二列的页寄存器写入操作，依次操作，当写完第 8 列时，第一列已经编程结束，将数据存储进闪存介质中。这样实际上写一页的时间即为写页寄存器的时间，存储速度大大提高。存储一页时间由原来的 251.925 μs 减小到 51.925 μs，单片速度也提高到了 39.44 MB/s。当然这只是峰值速度，不过在实验中 FPGA 采用 150 M 晶振，经过二分频后作为系统主时钟，这样对闪存操作写时钟也达到了 37.5 MHz，目前实验测得单片速度已达到 35 MB/s，四片并行操作即可达到 140 MB/s，完全满足了实际需求^[2]。

2.2.2 控制信号驱动能力设计

由于存储系统采用 Flash 的阵列式操作，考虑到 FPGA 管脚限制，所有闪存芯片各个控制信号不可能单独控制。于是采用每列共用片选信号 (\overline{CE})、忙/闲信号 (R/B)，每行共用 I/O，而其他控制信号每行共用。FPGA 管脚驱动能力有限，最多驱动 6~8 片闪存工作，而 SN74lvth162245 能够增加驱动能力，每个输出又能稳定驱动 8 片 Flash 正常工作，所以每个控制信号通过 SN74lvth162245 芯片实现拓扑结构增加驱动能力，以 ALE 信号为例，具体实现如图 3 所示。

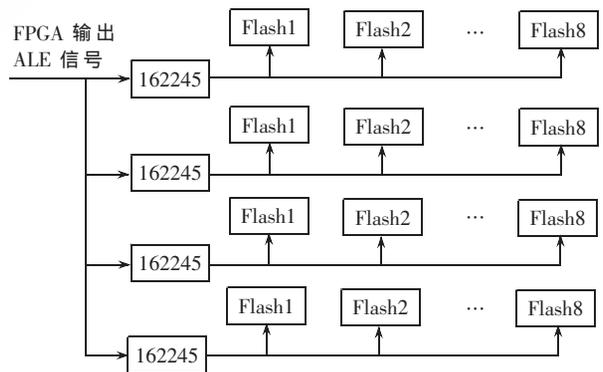


图 3 控制信号驱动能力拓扑结构

FPGA 输出一根控制信号 ALE，分别接到 SN74lvth162245 的 4 个管脚，而 SN74lvth162245 的每个管脚又能驱动 8 片闪存芯片，这样就实现了对整块电路板上所有控制信号的控制^[3]。

3 存储系统软件设计实现

3.1 Flash 操作流程及时序控制

整个系统在操作过程中,每次上电开始先将计数器以及寄存器进行初始化操作,之后等待主机命令。由于闪存存在无效块问题,所以每次在初始化结束后应先识别坏块。如图4所示,当 comm=001 时 FPGA 开启坏块识别模块。将各个芯片的无效块找出来之后直接发送给单片机,单片机将无效块存在内部 RAM 中,并且根据无效块建立有效块表。这时才可以开启相机进行图像数据的存储工作。当 comm=010 时, FPGA 开启写操作模块。Flash 芯片在出厂时已经保证每片的第一片为有效块,所以不用识别第一块可以直接进行写操作。在写第一块的中间时刻给单片机外部中断,单片机在中断函数里将下一有效块地址发送到 FPGA 内部缓存起来,当写完当前块时直接调用缓存中有效块地址进行操作。具体时序如图5所示。

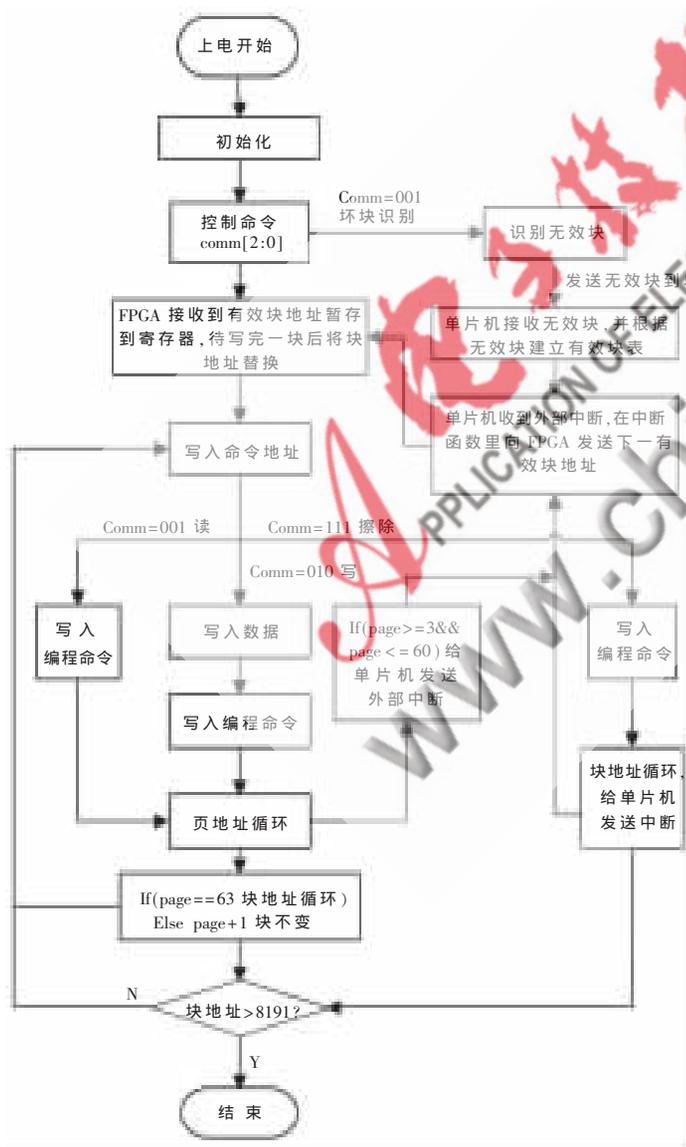


图4 系统软件设计流程图

从时序图上看,第一周期是第一个指令输入周期,此时令 CLE 为高电平, ALE 为低电平,同时写入编程操作命令 80h;第二到第六周期是地址输入周期,其中2个周期用来输入列地址,3个周期用来输入行地址,此时令 CLE 为低电平, ALE 为高电平,命令和地址的写入均在 \overline{WE} 的上升沿进行。地址输入完后,此时令 CLE 和 ALE 均为低电平,在 \overline{WE} 的上升沿,依次写入待写入的 2048 个数据。数据输入完成后,使 CLE 为高电平, ALE 为低电平,输入第二个指令周期 10h,表示数据输入已经完成。之后芯片进入编程状态,此时 R/\overline{B} 为低电平,待检测到 R/\overline{B} 重新为高电平后,使 CLE 为高电平, ALE 为低电平,写入读状态命令 70h,检测编程是否操作成功。在 \overline{RE} 的上升沿读出 I/O 上的数据,判断 I/O 是否为“0”,如果为“0”,说明编程操作成功,为“1”说明编程失败,而在真正的流水线操作过程中读取状态标志是禁止的^[1]。

同样在 comm=011 以及 comm=111 时依次开启相应模块进行读操作和擦除操作,除擦除时序只需要3个周期写行地址外,其他具体操作时序与写操作类似。

3.2 缓存模块设计

在 FPGA 内部建立 8 组 FIFO(每组 4 个 2 KB 的 FIFO)分别对应 8 组 Flash,当外部高速数据输入 FPGA 后,数据先保存在 FIFO 中,32 位的输入数据从低位到高位,每 8 位分别对应存在 FIFO(a)、FIFO(b)、FIFO(c)、FIFO(d)中。当存满第一组 FIFO 后将读出 FIFO 中的数据写到 Flash 的页寄存器中。与此同时外部不断进来的数据依次放入第二组、第三组,直到第八组 FIFO 中,然后再次写到第一组中去。而 FIFO 的输出端由写操作模块控制,当第一组页寄存器写完之后,将第二组 FIFO 中数据读出到第二组 Flash 的页寄存器,同理依次将 FIFO 中数据写入相对应 Flash 的页寄存器中。这样,通过 FIFO 的缓存作用,实现了不同时钟之间的异步存储,大大提高了存储速度^[4-5]。

4 关键问题解决——屏蔽坏块

近年来坏块问题一直是制约 Flash 使用的瓶颈,同时坏块问题也是整个系统的关键问题。如果不对坏块处理,数据写入坏块将直接导致数据的丢失。在实验过程中采用工业级闪存芯片,发现每组的坏块总数在 40 块以下,相对于整个芯片来说应算少数。所以采取将每组坏块相与后全部屏蔽的方法避免存储数据的丢失,即如果发现同一组中某一片的第 1000 块为坏块,则同组的其他片的第 1000 块均视作坏块,不再对其操作。整个坏块屏蔽过程主要分为三步:

(1) 坏块识别

如图4所示,系统上电开始首先进行初始化,然后当 FPGA 收到命令 comm=001 时,开启坏块识别模块。三星公司在 Flash 芯片出厂时已经对坏块作了标记,如果

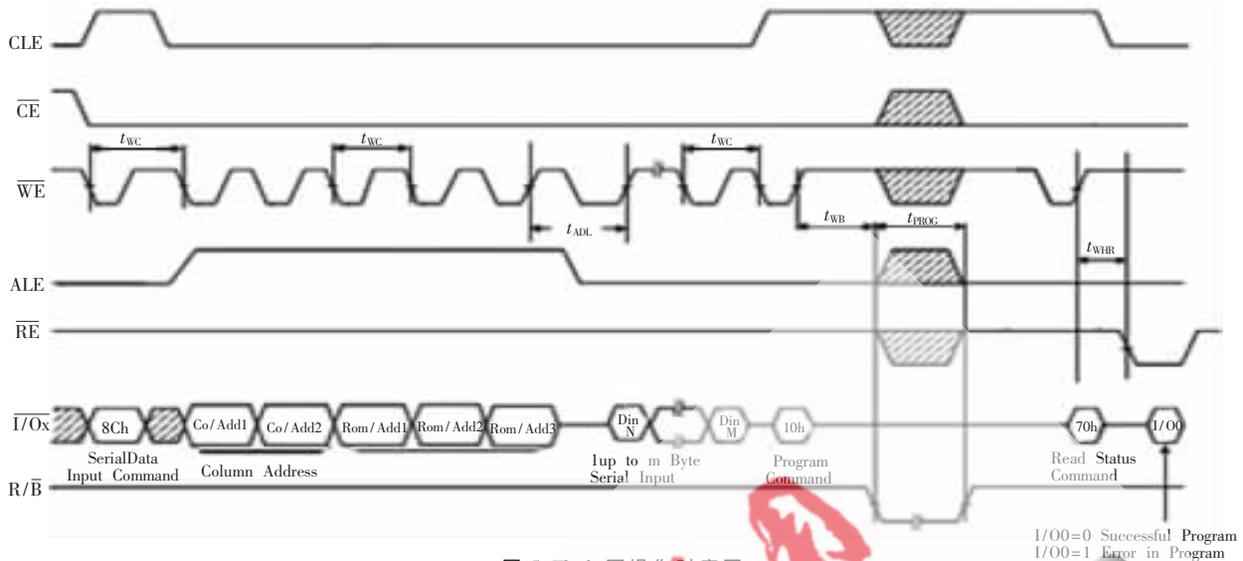


图 5 Flash 写操作时序图

是坏块则在该块的第一页、第二页备用空间的第一个字节写入了非 FFh 数据,所以只要读出每块第一页和第二页的 2048 列数据就可以判断该块是否为无效块。对坏块识别时序与读操作几乎相同,但只读取每块的第一页、第二页的 2048 列数据,如果读出数据均为 FF,则说明该块为有效块,否则为无效块^[1]。

(2) 坏块存储

根据坏块识别模块找出坏块后首先以 16 bit 数据形式存入 FPGA 片内 RAM 中,其中 0~12 bit 存储块地址,13~15 bit 存储 Flash 的组信息,以便向单片机发送时方便区分是哪一组的坏块。在坏块全部识别完成之后,将 RAM 中的坏块地址读出入单片机中,单片机根据组信息,分别将坏块存在 8 个数组当中。

(3) 有效块建立

坏块存储完之后需要根据此信息建立有效块数组,以便在以后的读写以及擦除过程中使用。而单片机的 ROM 总大小为 60 KB,除去存储代码空间外能够存储数据空间有限,不可能将所有有效块地址都一次存储,所以每一组 Flash 各建立 2 个数组用来各存放有效块地址。首先在读写操作之前就将这两个数组存满,然后操作中当收到 FPGA 发送的中断信号时,在中断函数里顺序读取数组中的有效块地址发送给 FPGA,当第一个数组发送完后开始发送第二个数组,同时继续对第一个数组存储有效块。同理当第二个数组发送完再次发送第一个数组时,对第二个数组继续存储有效块,如此交替循环克服了单片机内部存储空间不足的缺点。具体的建立有效块地址函数如下:

```
void save (unsigned char seg,unsigned int block_addr,unsigned int*buff_bad,unsigned int*buff_valid)
{
    int k=0;
    int n=0;
```

```
char flag_bad=0;
int b;
b=block_addr;
while(n<20)
{
    for(k=0;k<40;k++)
    {
        if(b == *(buff_bad+k))
        {
            flag_bad=1;
            break;
        }
        else
            flag_bad=0;
    }
    if(! flag_bad)
    {
        *(buff_valid+n)=b;
        n++;
    }
    b++;
}
switch(seg)
{
    case 0: block1 = b; break;
    case 1: block2 = b; break;
    case 2: block3 = b; break;
    case 3: block4 = b; break;
    case 4: block5 = b; break;
    case 5: block6 = b; break;
    case 6: block7 = b; break;
    case 7: block8 = b; break;
    default: break;
```

}

其中 seg 表示存储的是哪一组 Flash 的有效块, block_addr 记录着上一数组有效块所存到的位置以便接着向下存储有效块,而 buff_bad、buff_valid 则分别存的是无效块地址和新建立好的有效块地址。局部变量 k 用来对无效块地址循环, n 是用来控制数组大小一次只存储 20 个有效块地址, b 是承接上次所存储的有效块位置。

整个系统的存储介质由 32 片 Flash 芯片组成,但目前只焊了 4 行 4 列 16 片的阵列结构,总容量为 32 GB。由于 K9WAG08U1A 是由 2 片 K9K8G08U0A 组成,而实际所测得在流水线操作时写操作编程的时间不超过 200 μs ,而写一页寄存器的时间是 51.2 μs ,所以 4 列 8 级流水线操作满足了编程时间上的要求。

经过实际测量,单片速度完全可以达到 35 MB/s,4 片并行操作,向阵列中写入速率可达到 140 MB/s。通过单片机的在线调试,可以看出无效块地址也全部跳过。并且对 Flash 阵列反复进行连续数字的写操作,通过单页读程序读出各个坏块之前之后两页数据,发现数据连续,无误码出现,存储数据的可靠性得到保证,满足实际需求。

参考文献

- [1] K9WAG08U1A Advanced FLASH Memory DataSheet SAMSUNG Electronics. 2005.
- [2] 李超,王虹现,邢孟道. 高速大容量 Flash 存储系统设计[J]. 火控雷达技术, 2007, 36(1): 110-114.
- [3] 吴鹏. 高速实时 Flash 阵列数据采集系统研究与实现[D]. 南京理工大学, 2007.
- [4] 刘瑞,黄鲁,陈楠. 基于 Flash 的高速大容量固态存储系统设计[J]. 测控技术, 2009, 28(4): 10-14.
- [5] 徐辉. 基于 Flash 的大容量记录器的设计[D]. 中北大学, 2007.

(收稿日期: 2009-11-26)

作者简介:

张胜勇,男,1984 年生,硕士研究生,主要研究方向:固态存储技术。

高世杰,男,1979 年生,研究实习员,主要研究方向:数据通信。

吴志勇,男,1965 年生,研究员,博导,主要研究方向:光电测控设备总体技术,光纤通信技术。