

# 基于CORDIC算法的QAM调制系统的FPGA实现

朱泳霖, 罗桂娥

(中南大学 信息科学与工程学院, 湖南 长沙 410083)

**摘要:** 提出了一种基于流水线CORDIC的算法实现QAM调制, 可有效节省硬件资源, 提高运算速度。用Verilog HDL对本设计进行了编程和功能仿真, 仿真结果表明, 本设计具有一定的实用性。

**关键词:** 正交幅度调制; 流水线CORDIC; FPGA

中图分类号: TN911.3

文献标识码: A

## Implementation of QAM modulation system on FPGA based on CORDIC algorithm

ZHU Yong Lin, LUO Gui E

(School of Information Science & Engineering, Central South University, Changsha 410083, China)

**Abstract:** This paper puts forward a pipelined architecture for implementation of QAM on FPGA based on CORDIC algorithm, which can save considerable hardware resources and improve the speed performance. And programs this design with Verilog HDL and carries out functional simulation. The results show that this design is valuable and feasible in practice.

**Key words:** QAM; pipeline CORDIC; FPGA

在现代通信中, 频谱和功率都是珍贵的资源, 如何有效提高频谱利用率一直是人们关注的焦点之一。单独使用幅度或者相位携带信息时, 不能充分利用信号平面, 频谱利用率不高, 对频谱资源是一种浪费。因此传统的数字调制方式已不能满足应用的需要, 需要采用新的数字调制方式以减小信道对所传输信号的影响, 以便在有限的带宽资源条件下获得更高的传输速率。这些技术的研究主要是围绕充分节省频谱和高效率地利用频带资源展开的。多进制调制是提高频谱利用率的有效方法, 恒包络技术能适应信道的非线性, 并且保持较小的频谱利用率。正交幅度调制(QAM, Quadrature Amplitude Modulation)就是一种频谱利用率很高的调制方式, 这种调制方式用2个独立的基带波形对相互正交的载波进行双边带调制, 充分利用整个信号平面, 频谱利用率很高, 目前已经在中、大容量微波通信系统、有线电视网络高速数据传输、卫星通信系统等领域得到了广泛应用<sup>[1]</sup>。

采用CORDIC算法很容易实现正交载波, 也利于在FPGA上进行控制, 很适合于系统的VLSI实现。本文给出了一种基于流水线CORDIC算法的QAM调制系统的

FPGA实现, 并给出了最后的仿真结果。

### 1 QAM调制原理

正交振幅调制是用2个独立的基带数字信号对2个相互正交的同频载波信号进行抑制载波的双边带调制, 利用这种已调信号在同一带宽内频谱正交的性质来实现两路并行的数字信息传输。

正交振幅调制信号的一般表示式为:

$$S_{\text{MQAM}}(t) = \sum_n A_n g(t-nT_s) \cos(\omega_c t + \theta_n) \quad (1)$$

式中,  $A_n$  是基带信号幅度,  $g(t-nT_s)$  是宽度为  $T_s$  的单个基带信号波形。式(1)还可以变换为正交表示形式:

$$S_{\text{MQAM}}(t) = \left[ \sum_n A_n g(t-nT_s) \cos\theta_n \right] \cos\omega_c t - \left[ \sum_n A_n g(t-nT_s) \sin\theta_n \right] \sin\omega_c t \quad (2)$$

令  $X_n = A_n \cos\theta_n$ ,  $Y_n = A_n \sin\theta_n$ , 则式(2)变为:

$$S_{\text{MQAM}}(t) = X(t) \cos\omega_c t - Y(t) \sin\omega_c t \quad (3)$$

QAM中的振幅  $X_n$  和  $Y_n$  可以表示为:

$$X_n = c_n A \quad (4)$$

$$Y_n = d_n A \quad (5)$$

## 网络与通信 Network and Communication

式中,  $A$  是固定振幅,  $c_n, d_n$  由输入数据确定。  $c_n, d_n$  决定了已调 QAM 信号在信号空间中的坐标点。

QAM 信号调制原理图如图 1 所示。图中, 输入的二进制序列经过串/并变换器输出速率减半的 2 路并行序列, 再分别经过 2 电平到  $L$  电平的变换, 形成  $L$  电平的基带信号。为了抑制已调信号的带外辐射, 该  $L$  电平的基带信号还要经过预调制低通滤波器, 形成  $X(t)$  和  $Y(t)$ , 再分别对同相载波和正交载波相乘。最后将 2 路信号相加即可得到 QAM 信号。

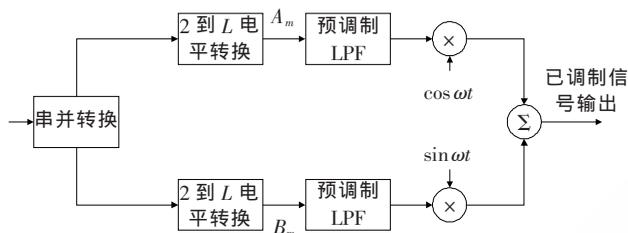


图 1 QAM 调制原理图

## 2 QAM 调制系统各模块的设计

图 2 给出了基于流水线 CORDIC 算法的 QAM 调制系统的组成框图。伪随机序列发生器产生的高速数字序列通过串并转换、差分编码和星座图映射后变成 I、Q 2 路数据流, 经过成形滤波后分别与 2 路相互正交的载波相乘, 再把 2 路信号相加就得到已调的 QAM 信号。本文选取的电平数  $L$  为 4, 即对 16QAM 调制系统进行研究和设计。本设计中除了 D/A 转换以外, 每个功能模块都用 FPGA 实现。



图 2 QAM 调制系统组成框图

成形滤波模块的设计和载波信号的产生及调制实现是本设计的重点及难点, 下面作重点描述。

### 2.1 成形滤波器的设计

为了让信号在有限的信道中传输, 提高频谱利用率, 通常在发送端把信号经过成形滤波器进行带宽限制, 由此就会引入码间干扰。为了有效地减少码间干扰, 按照最佳接受理论, 收发基带滤波器应共轭匹配, 设计时收发基带滤波器采用均方根升余弦滚降滤波器即可满足要求。

在实际电路设计中, 采用具有线性相位的 FIR 滤波器来实现均方根升余弦滚降特性的成形滤波器。1 个  $N$  阶 FIR 滤波器的差分方程表达式为:

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (6)$$

线性相位的 FIR 滤波器的系数是偶对称或奇对称的, 利用系数的对称性可减少乘法器的数量, 本系统采用  $N$  为偶数且系数偶对称的线性相位的 FIR 滤波器。滤波器的系数是一个固定的值, 根据均方根升余弦的冲击响应特性, 利用 MATLAB 软件可以直接生成 FIR 滤波器系数  $h_k(k=0, 1, \dots, N-1)$ 。所以滤波器系数的乘法都是固定系数的乘法。

利用 FPGA 实现 FIR 滤波器的方法一般有串行实现、并行实现和分布式实现等几种。串行滤波器只有 1 个乘累加单元, 在硬件资源上比较节省, 但是需要多个时钟才能完成 1 次滤波运算。直接并行 FIR 滤波器虽然可以在 1 个时钟周期内完成 1 次滤波, 但由于其中的乘累加器都是用大面积的组合逻辑完成, 器件延时比较大, 所以其工作速度不可能太高。而如果采用基于流水线的并行结构, 虽然多消耗了寄存器资源, 但可以大大缩短其中关键路径的长度, 使程序的工作速度有很大提高。分布式算法(DA)的优势是不用乘法器资源, 但它的滤波速度比较慢, 滤波速度由输入数据的位宽决定, 所以该算法适合于对资源敏感, 并且输入位宽比较窄的滤波系统。

本文采用 DA 算法, 利用 FPGA 查找表代替乘法器来实现 FIR 滤波器, 其基本思想如下。

假设输入信号数据的位为  $B$  位, 则滤波器在  $n$  时刻的第  $k$  个输入为:

$$x_k(n) = \sum_{b=0}^{B-1} x_{kb}2^b \quad (7)$$

若滤波器的阶数为  $N$ , 抽头系数为  $h_k(k=0, 1, \dots, N-1)$ , 则输出信号为:

$$y(n) = \sum_{k=0}^{N-1} h_k x_k(n) = \sum_{k=0}^{N-1} h_k \sum_{b=0}^{B-1} x_{kb}2^b = \sum_{b=0}^{B-1} \left[ \sum_{k=0}^{N-1} h_k x_{kb} \right] 2^b = \sum_{b=0}^{B-1} \text{sum}_b \cdot 2^b \quad (8)$$

从式(8)可以看出, FIR 滤波器中累加单元的运算是算法核心。如果建立 1 个查找表(LUT), 表中数据由所有固定系数的所有加的组合构成, 那么, 用  $N$  位输入数据构成的  $N$  位地址去寻址 LUT。如果  $N$  位都为 1, 则 LUT 的输出为  $N$  位系数的和; 如果  $N$  位中有 0, 则其对应的系数将从和中去掉。这样乘法运算就成了查找操作, 整数乘法可以通过左移  $b$  位实现。

图 3 为信号通过成形滤波器前后的仿真结果对比。通过波形对比, 可以很明显地看出, 经过成形滤波之后的信号更适合在信道中进行传输。

### 2.2 载波信号的产生及调制实现

#### 2.2.1 CORDIC 算法原理

CORDIC 算法由 Volder J 于 1959 年提出, 并首先应

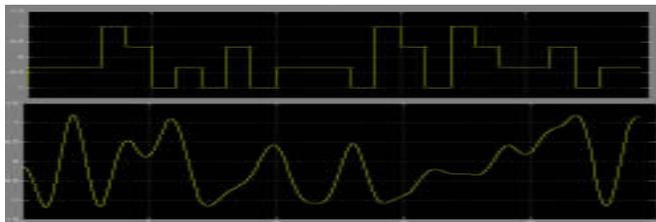


图3 成形滤波前后信号对比

用于导航系统,使得矢量的旋转和定向运算不需要做查三角函数表、乘方、开方以及反三角函数等复杂运算。该算法的基本思想是通过一系列固定的、与运算基数相关的角度的不断偏摆以逼近所需的旋转角度。由于其基本运算单元只有移位与加减法,这就为该算法的VLSI实现打下了良好的基础<sup>[2]</sup>。

CORDIC 是一种很适合 FPGA 实现的算法,它的主要思想是通过迭代实现向量的旋转,在不断的迭代中使某个量向所需要的目标收敛。由于 FPGA 擅长移位运算、加法运算和查表法,所以 CORDIC 的做法是将  $\arctan(2^{-i}), i=1, 2, \dots$  的值存起来,通过查找表来运算。之所以选择  $\arctan(2^{-i})$ ,是因为在二进制中,与  $2^{-i}$  进行乘法的运算的实质是移位运算。

其基本原理如下:初始向量  $(x_0, y_0)$  经旋转角度  $\theta$  后得到向量  $(x_n, y_n)$ , 即  $x_n = x_0 \cos\theta - y_0 \sin\theta, y_n = y_0 \cos\theta + x_0 \sin\theta$ , 设旋转基本角度为  $\theta_i$ ,  $\theta = \arctan(2^{-i}), \theta = \sum_{i=1}^{N-1} \theta_i$ , 那么初始向量经过一系列的基本角度  $\theta_i$  的旋转后逐步逼近  $\theta$ 。令  $z_0 = \theta, z_i = \theta_i$ , 则可得出:

$$\begin{cases} x_{i+1} = x_i - d_i y_i 2^{-i} \\ y_{i+1} = y_i + d_i x_i 2^{-i} \\ z_{i+1} = z_i - d_i \arctan(2^{-i}) \end{cases} \quad (9)$$

式中,  $d_i = \begin{cases} 1, & \text{当 } z_i \geq 0 \\ -1, & \text{当 } z_i < 0 \end{cases}$  代表向量旋转方向,经过  $n$  次旋转后,结果为:

$$\begin{cases} x_n = A_n (x_0 \cos z_0 - y_0 \sin z_0) \\ y_n = A_n (y_0 \cos z_0 + x_0 \sin z_0) \\ z_n \approx 0 \end{cases} \quad (10)$$

式中,  $A_n = \prod \sqrt{1+2^{-2i}}$  称为模校对因子,当迭代次数确定时,它也就确定了。

### 2.2.2 基于流水线 CORDIC 算法的 FPGA 实现及仿真结果

有很多途径可以实现一个 CORDIC 处理器,其中比较常用的 CORDIC 处理结构有迭代结构和流水线结构 2 种<sup>[3]</sup>。迭代结构也称为串并结构,此结构的移位寄存器不能很好地应用于 FPGA,因为这个结构需要比较大的扇入系数。如果用 FPGA 实现,可能会造成比较大的延

时,处理速度上不去。并且它的输出结果由它的迭代次数决定。而如果采用流水线结构的 CORDIC 处理器,这些移位寄存器各自有不同的固定的移位次数,并且角度累加器原本需要的查找角度值被拆分,作为角度累加器链中每个加法器的 1 个常量输入。这些常量可以用硬件连线来代替存储空间。整个 CORDIC 处理器被精简成一个内部互连的加/减法器阵列。这样的电路完全是由组合逻辑电路组成的,在 FPGA 中实现的时候,电路的延迟比较大,但如果每个加/减法器中插入寄存器,构成流水线结构,就可以提高系统工作速度。

本文中的设计采用流水线结构,仿真图如图 4 所示。clk 为时钟信号, rst\_n 为复位信号, ena 为使能信号, phase 为输入相位, sin、cos 为 2 路相互正交的载波信号。这 2 路信号具有很好的正交性,由于存储精度的影响,存在量化误差。

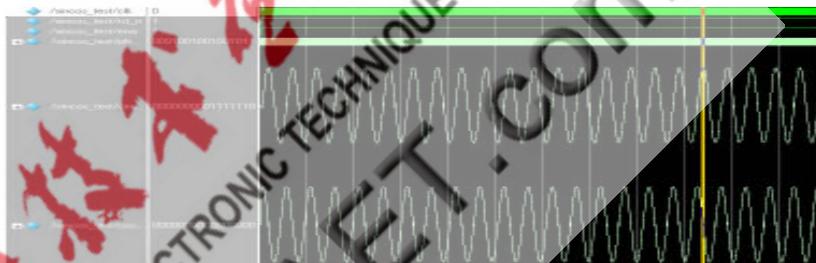


图4 流水线结构 CORDIC 算法的功能仿真图

### 3 系统功能仿真结果与分析

根据以上各模块单元的设计,最后完成了 16QAM 调制系统的实现。图 5 为整个调制系统的局部功能仿真结果图。clk 为伪随机序列发生器的时钟信号, clk1 为载波生成的时钟信号,其频率远高于 clk, reset 为系统复位信号,最下方的信号为同相和正交相的 I、Q 2 路数据流, y 是系统输出的 16QAM 信号,即为 I、Q 2 路信号的叠加。



图5 16QAM 调制系统的功能仿真结果

本文讨论了 16QAM 调制器设计与实现、本设计的重点是成形滤波模块和载波信号的产生模块。

多进制正交幅度调制由于具有很高的频谱利用率,而被广泛应用在中、大容量数字微波通信系统的载波键

控方式之中。特别是当 MQAM 在未来 4G 移动通信采样以 OFDM 为主导技术的基带调制中,它将成为实现大容量的重要调制技术。本文利用 Verilog HDL 来实现 16QAM 调制器的设计是体现现代数字通信与 EDA 技术相结合的一个典型应用,这种电子设计自动化的方法也必将在数字通信领域得到广泛的应用。

参考文献

[1] 樊昌信,曹丽娜.通信原理(第6版)[M].北京:国防工业出版社,2006.  
[2] 姜宇柏,游思晴.软件无线电原理与工程应用[M].北京:机械工业出版社,2007.

[3] 王钊,卓兴旺.基于 Verilog HDL 的数字系统应用设计[M].北京:国防工业出版社,2007.

[4] 周媛,贾怀义.基于 FPGA 的全数字 64QAM 调制解调器设计[J].电视技术,2007,31(8):40-42.

(收稿日期:2009-10-12)

作者简介:

朱泳霖,男,1985年生,硕士研究生,主要研究方向:数字调制解调技术和 FPGA 技术。

罗桂娥,女,1962年生,在读博士,教授,主要研究方向:信息融合、数字图像处理、智能仪器开发。

