

低码率语音编码 MELP 的 SOPC 实现*

李 锐

(南京邮电大学 电子科学与工程学院, 江苏 南京 210003)

摘 要: 讨论了低码率语音编码 MELP 的编解码过程, 有效降低了语音编码码率并能使说话者个人语音特征减弱, 特别适合需要弱化说话者语音特点的场所。给出了其 FPGA 的硬件实现框图, 据此可进行具体的硬件设计。同时给出了 MELP 编解码框图, 可用于进一步的软件编制。

关键词: MELP; NIOS II; SOPC

中图分类号: TN912.34

文献标识码: A

The SOPC realization of low-bit rate speech coding decoding MELP

LI Rui

(College of Optical & Electron, Nanjing University of Post and Telecommunication, Nanjing 210003, China)

Abstract: The process of low-bit rate speech coding decoding MELP is discussed. MELP can efficiently reduce the speech code bit rate and weak speaker's individual oral character. So MELP is especially fit for the occasion which need weak speaker's individual oral character. The FPGA realization outline is proposed. According to this outline, the detailed hardware can be constructed. The MELP coding decoding outline is also provided to program the software.

Key words: MELP; NIOS II; SOPC

语音编码技术在当今数字通信尤其在无线系统中发挥着越来越重要的作用。利用语音编码技术可有效降低信息存储量、提高信道利用率。混合激励线性预测(MELP)语音编码算法能在较低码率下提供较高的语音质量、自然度和清晰度, 已成为美国国防部新的 2.4 Kb/s 的语音编码标准。

Nios II 处理器是 Intel 公司为 Altera 公司推出的 32 位精简指令处理器软核。在 Altera 公司推出的软件 SOPC 中加载 Nios II 软核和相应的外围接口以及与定义相应的自定义指令, 对设计进行综合, 下载到 FPGA 中就可以方便地实现一个具有高速 DSP 功能的嵌入式处理器^[1]。

由硬件实现复杂的算法通常比软件实现更高效。利用 Altera 公司的 Nios II 嵌入式处理器的定制指令, 可以把用户自定义的功能直接添加到 Nios II CPU 的算术逻辑单元(ALU)中, 以加快专项任务的执行速度。自定义指令的优势就在于可以将程序代码中的瓶颈部分改用硬件指令支持, 用自定义的指令使程序得到加速。

1 MELP 的构成

MELP 声码器的采样率为 8 kHz, 每个样点值用 16 bit 量化, 每 180 个样点为 1 帧, 帧长 22.5 ms, 每帧量化 bit 数为 54 bit, 总的速率为 2.4 Kb/s。

MELP 声码器是建立在传统的二元激励 LPC 模型基础上, 采用了混合激励、非周期脉冲、自适应谱增强、脉冲整形滤波和傅氏级数幅度值等 5 项新技术, 使得合成语音能更好地拟合自然语音。图 1 所示为 MELP 编解码原理框图^[2]。

2 Nios II 可嵌入软核的特点

Nios 嵌入式处理器是用户可配置的通用 RISC 嵌入式处理器, 是一个非常灵活、强大的处理器, 因此已成为世界上最流行的嵌入式处理器^[3]; 采用改进的哈佛存储器结构, CPU 带有分离的数据和程序存储器总线控制。SOPC Builder 系统开发工具允许用户容易地指定系统中 Avalon 控制器和从属设备之间的连接, 这些从属设备可以是存储器或外围设备。

Nios 指令总线为 16 位, 用于从存储器中读取指令。Nios 数据总线宽度为 16 位或 32 位, 分别用于 Nios CPU

* 基金项目: 南京邮电大学科研基金(NY206036)资助项目

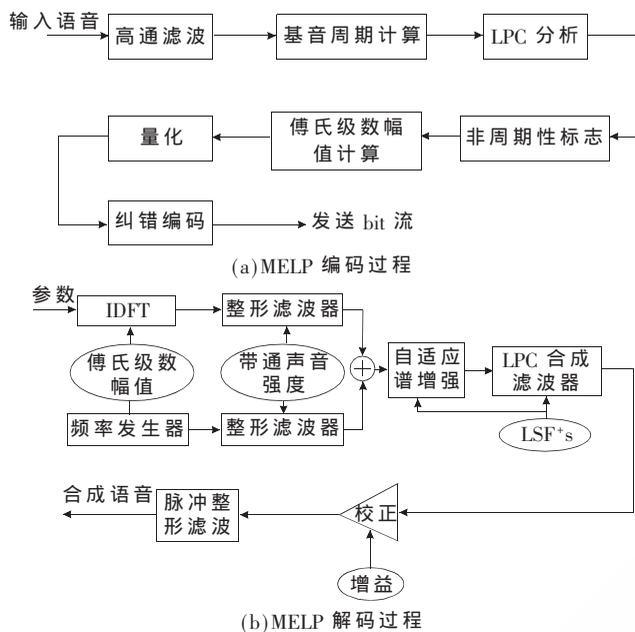


图1 MELP编解码原理框图

的16位或32位配置。

2.1 指令系统

Nios 指令系统支持 C 和 C++ 程序编译,包括算术和逻辑运算、位操作、字节读、数据传送、流程控制和条件转移等指令。指令系统包含丰富的寻址方式以减少代码长度和提高处理器性能。

2.2 寄存器组

Nios CPU 有 1 个大容量的窗口化的通用寄存器组、8 个控制寄存器、1 个程序计数器和 1 个用于指令前缀的 K 寄存器。通用寄存器在 16 位 Nios CPU 中是 16 位,在 32 位 Nios CPU 中是 32 位。寄存器组可配置为包含 128、256 或 512 个寄存器。软件可以通过包含 32 个寄存器的滑动窗口存取这些寄存器,滑动窗口的移动间隔是 16 个寄存器,且允许快速地进行寄存器切换,加速子程序的调用和返回。

2.3 高速缓存

可配置的 Nios CPU 可以有选择地包含指令和数据高速缓存。高速缓存通常通过提供局部存储系统提高 CPU 的性能,这个局部存储系统可以快速地响应 CPU 产生的总线事件。Nios 高速缓存的实现是采用简单的直接映射的连续写入结构,这种结构设计能够用最少的器件资源获得最大的性能^[4]。

2.4 中断处理

Nios 处理器允许多达 64 个矢量中断。中断源有三类:外部硬件中断、内部中断和软件中断。Nios 中断处理模式能够准确地处理所有内部中断。

用户可以有选择地禁止 TRAP 指令软件中断、硬件中断和内部中断。这项选择能够减少 Nios 系统的大小,但只用于处理器不运行复杂软件的系统。

《微型机与应用》2010 年第 7 期

2.5 硬件加速

Nios 指令系统可以利用硬件提高系统性能。特殊的周期密集型软件操作可以用硬件显著地提高系统性能,这种特性通过修改指令系统提供^[5]。

Nios 处理器有 2 种指令系统修改方法:自定义指令和标准 CPU 选项^[6]。

2.5.1 自定义指令

开发者可以通过向 Nios 处理器指令系统中添加自定义指令加快时间要求严格的软件算法,也可以用自定义指令在单周期和多周期操作中执行复杂的处理任务。另外,用户添加的自定义指令逻辑电路可以访问 Nios 系统外的存储器和逻辑电路。

复杂的操作序列可以在硬件中简化为单指令的执行。这种特性允许开发者为数字信号处理(DSP)、分组标题处理和计算密集操作优化自己的软件。

Altera 公司的 SOPC Builder 软件提供了一个图形用户界面(GUI),开发者利用 GUI 可以向 Nios 嵌入式处理器中添加多达 5 个自定义指令。

2.5.2 标准 CPU 选项

Altera 公司提供单独的预定义指令来提高软件性能。MUL 和 MSTEP 指令就是与其他硬件一起实现的预定义指令。当用户在 SOPC Builder 中选择这些 CPU 选项时,相关逻辑被增加到算术逻辑运算单元(ALU)。例如,如果用户选择执行 MUL 指令,整数乘法器被自动地添加到 CPU 的 ALU 中,并在 2 个时钟周期内完成 16 位与 16 位的乘法操作(相同的操作若用循环的软件程序实现需要 80 个时钟周期)。

3 MELP 语音编码的硬件构成

硬件电路板由 Altera 公司的 FPGA 芯片 EP2C8 作为主控芯片,此外还包括:8 MB 容量的 SDRAM、2 MB 容量的 Flash、WM8731 音频芯片,自带音频 D/A、A/D,为方便调试,另带有串口。MELP 语音编码硬件构成如图 2 所示。

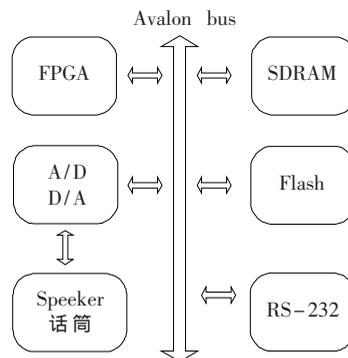


图2 MELP语音编码硬件构成框图

为便于程序的调试,扩充了 RS-232 串口,可与计算机串口直接互联。8 MB 容量的 SDRAM 可为 Nios II 软核处理器运行嵌入式操作系统提供所需的存储空间,2 MB 容量的 Flash 也可为 MELP 的软件编制提供存储空间。

欢迎网上投稿 www.pcachina.com 21

间。WM8731 音频芯片提供快速的音频编解码数据码流,并向扬声器传输解码后的数据流。

WM8731 是一个低功耗的立体声 Codec 芯片,内部集成了耳机放大功能,因此,WM8731 也可以应用于 MD、DAT 等设备^[7];内建了 24 bit(multi-bit) Σ - Δ 三角模数转换和数模转换,ADC 和 DAC 都使用了超采样数字插值技术;支持数字音频的位数可以是 16 bit~32 bit,采样率从 8 kHz~96 kHz;立体声音频输出带有数据缓存和数字音量调节,WM8731 通过 2~3 根的串行接口进行控制,可工作于主从模式。在 3.3 V 信号电压时 ADC 可以达到 90 dB 的信噪比,1.8 V 信号电压时 ADC 可以达到 85 dB 的信噪比。3.3 V 信号电压时的 DAC 信噪比可以达到 100 dB,1.8 V 信号电压时 DAC 信噪比也有 95 dB。ADC 和 DAC 的频率响应都在 8 kHz~96 kHz 之间,可以有选择地使用 ADC 的高通滤波。一般情况下,WM8731 都是在专业声卡领域中使用。

各芯片之间的互联通过引线连接到 FPGA 的 IO 脚。Nios II 处理器的内部总线通过定义引脚连到 IO,这样需要连接到 Avavon 总线的芯片可通过 IO 脚连到总线上。图 3 所示为 WM8731CODEC 芯片与主芯片 FPGA 的连接。

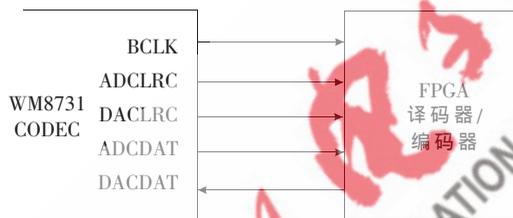


图 3 WM8731 与 FPGA 的连接

串口方面,SDRAM 及 Flash 使用 Nios II 自带的基于 Avalon 总线的软 IP。

本文讨论了 MELP 混合线性码激励的 FPGA 实现的硬件构成,介绍了硬件主要组成芯片及 MELP 编解码的主要框架,可以用于下一步软件程序的编制。

参考文献

- [1] ATITALLAH A B, GHOZZI P, KADIONIK P, et al. HW/SW codesign of the H. 263 video coder [C]. Electrical and Computer Engineering, Canadian Conference on May, 2006:783-787.
- [2] 王炳锡.语音编码[M].西安:西安电子科技大学出版社,2002.
- [3] BROWN S D, CAPALIA D, FORT B, et al. A multi-threaded Soft processor for SOPC area reduction [C]. Field-Programmable Custom Computing Machines, 2006. FCCM'06. 14th Annual IEEE Symposium on April, 2006:131-142.
- [4] SIEW K, SHOAB M, SRIKANTHAN T. Modeling arbitrator delay-area dependencies in customizable instruction set processors [C]. Electronic Design, Test and Applications, 2006. DELTA 2006. Third IEEE International Workshop on 17-19 Jan, 2006.
- [5] ETIEMBLE D, BOUAZIZ S, LACASSAGNE L. Customizing 16-bit floating point instructions on a NIOS II processor for FPGA image and media processing [C]. Embedded Systems for Real-Time Multimedia, 2005. 3rd Workshop on 22-23 Sept, 2005:61-66.
- [6] GE Zhi-Guo, LIM H B, WONG W F. A reconfigurable instruction memory hierarchy for embedded systems [C]. Field Programmable Logic and Applications, 2005. International Conference on 24-26 Aug, 2005:7-12.
- [7] WOLFSON COMPANY. WM8731/WM8731L portable internet audio CODEC with headphone driver and programmable sample rates[M]. Datasheet of Product, 2009:1-7.

(收稿日期:2009-10-14)

作者简介:

李锐,男,1977年生,讲师,硕士,主要研究方向:微电子电路及器件,数字电路及编程等。