

FPGA 在雷达信号模拟器中的应用

熊培蕾, 张剑云, 刘春泉
(电子工程学院, 安徽 合肥 230037)

摘要: 基于 FPGA 的各种雷达信号产生方法,介绍了在 FPGA 中实现直接数字频率合成器(DDS)以及提高输出信号质量的方法,编程实现了频率捷变、线性调频以及相位编码等雷达信号的产生。仿真结果表明,该方法能灵活地产生多种雷达信号,且质量较好。

关键词: 现场可编程逻辑器阵列; 直接数字频率合成器; 雷达信号产生

中图分类号: TN955

文献标识码: B

Application of FPGA in radar signal simulator

XIONG Pei Lei, ZHANG Jian Yun, LIU Chun Qian
(University of Electronic Engineering Institute, Hefei 230037, China)

Abstract: A new method to generate a variety of radar signals based on the Field Programmable Gate Array (FPGA) is proposed. The paper presents a method to implement the Direct Digital Synthesis (DDS) in FPGA, and improve the quality of the output signals. The frequency agility radar signal, linear frequency modulation radar signal, phase-coded radar signal have been realized by programing. The simulation results show that the method is flexible, and the quality of signals is good.

Keywords: FPGA; DDS; radar signal generation

雷达信号模拟器需要模拟简单脉冲调制、重频调制(重频参差、重频抖动和重频滑变)、载频调制(线性/非线性调频、频率捷变)和相位调制(相位编码)等样式的雷达信号^[1]。传统的实现方法是采用直接数字合成器 DDS 实现。通过对 DDS 相关参数产生对应的雷达中频信号,其优点是产生的信号质量比较好,缺点是系统控制繁琐、模拟的雷达信号参数相对固定、缺乏足够的灵活性,对于非线性调频和相位编码信号很难达到令人满意的效果。

本文基于软件无线电的思想,采用 FPGA 实现 DDS 功能,通过控制 DDS 参数,在 1 片 FPGA 中实现了各种雷达信号的模拟。

1 DDS 基本原理

DDS 由相位累加器、只读存储器(ROM)、数模转换器(DAC)和低通滤波器(LPF)组成。DDS 的关键部分是相幅转换部分,根据相幅转换方式的不同,DDS 大致可分为两大类:(1)ROM 查询表法。ROM 中存储有不同相位对应的幅度值,相位累加器输出对应的幅度序列,实现相幅转换;(2)计算法。对相位累加器输出的相位值通过数学计算的方法得到对应的幅度值,实现相幅转换,这里的计算方法有抛物线近似法、CORDIC 法等。

对于查询表法,ROM 里存储了 2^N 个点(一个周期)。工作过程如下:在时钟脉冲 f_c 的作用下,频率控制字 K 由累加器累加得到相应的相位码,相位码寻址 ROM 进

行相位/幅度变换输出不同的幅度编码,相当于在 ROM 里每隔 K 个点取出一个点,再经过数模转换器 DAC 得到相应的阶梯波,最后经低平滑滤波器对阶梯波进行平滑,即得到由频率控制字 K 决定的连续变化的模拟输出波形,输出频率 f_{out} 为:

$$f_{out} = \frac{Kf_c}{2^N}$$

式中, K 为频率控制字, N 为相位寄存器字长。输出频率由频率控制字及相位寄存器字长决定。

理想情况下,由于采样的原因,输出信号频谱存在一些杂散,谱线呈辛格函数形状。DDS 输出信号杂散分量较大的主要原因有以下几点:一是相位截断效应;二是存放在 ROM 中的波形幅度存在量化误差;三是 DAC 的非理想特性。在 DDS 中,为了得到高的频率分辨率,相位累加器的字长一般较大,而只读存储器 ROM 的容量有限,通常位输出中只有高 A 位用来寻址 ROM,从而产生相位截断误差,而 DAC 和 ROM 正弦波幅度字长也是有限的,同时,在 DAC 转换过程中总存在如微分线性误差等误差,这样就产生了量化误差和 DAC 的非理想特性误差。

2 基于 FPGA 的雷达信号模拟器

基于 FPGA 的雷达信号产生器系统框图如图 1 所示。系统主要由单片机、FPGA、模数转换器、低通滤波器、自动

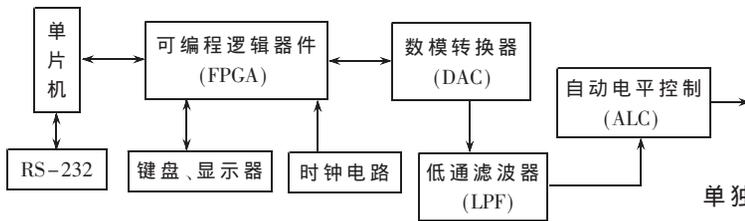


图1 基于FPGA的雷达信号模拟器系统框图

电平控制、RS-232 通信接口、时钟电路以及人机接口等部分组成。单片机完成系统控制、人机交互控制以及与其他计算机的信息交换^[2]；FPGA 实现 DDS 的模拟以及其他逻辑的产生^[3-4]；模数转换器将数字信号转换成模拟信号，经低通滤波器滤波后获得良好的波形信号；为了提高信号产生器带负载的能力，自动电平控制部分保证输出信号幅度在接入不同负载时变化不致太大。

系统工作时，单片机将由 RS-232 接口接收到的或由键盘设置的信号参数写入 FPGA，在 FPGA 中实现的 DDS 内核根据设置的参数产生相应的数字波形，经 D/A 转换、低通滤波和电平控制后输出。

2.1 完全 DDS 内核

完全 DDS 内核的组成框图如图 2 所示。完全 DDS 内核包括频率累加器、相位累加器、相位偏移累加器、波形存储器、相位选择开关等部分。频率累加器在产生线性调频信号时控制频率增量的大小；相位累加器和普通的 DDS 中的相位累加器功能相同，其输入为频率控制字，决定输出信号的频率；相位偏移累加器用于产生相位编码信号，其相位偏移字根据需要可以有多种，但必须有一种相位偏移为 0° ；正弦表用于存储数字正弦波，为了减小波形存储容量，正弦表中只存储了 $1/4$ 个周期的正弦波信号，通过逻辑控制实现全周期正弦波信号的产生。

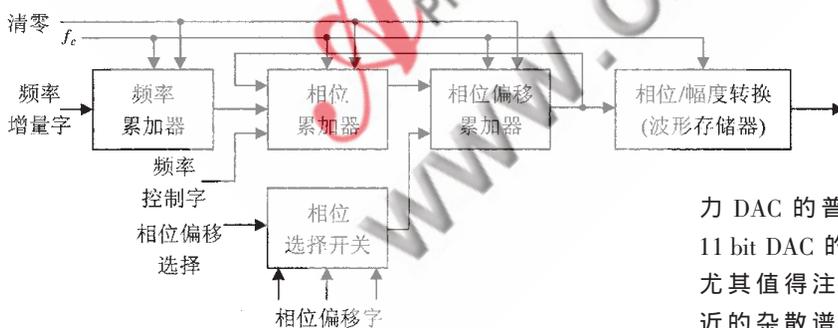


图2 完全 DDS 内核原理框图

完全 DDS 内核的工作原理与普通 DDS 芯片的工作原理大致相同，只不过在产生不同调制样式信号时取舍不同。由于相位/幅度转换表中存放的是正弦信号，因此模块只输出受到不同调制的正弦信号。如果将相位/幅度转换表做成内容可修改的双端口 RAM 结构，则该模块也能产生特殊样式的周期信号。基于完全 DDS 核的信号产生方法其优点是预存波形的点数不变，输出信

号的频率仅由频率控制字和系统时钟决定，三者之间的关系如上节 DDS 基本原理描述的关系。

如前所述，DDS 输出信号存在杂散频谱。引起杂散频谱的原因主要有相位截断效应、波形幅度量化误差和 DAC 的非理想特性。由于本系统采用单独的 DAC 芯片，这里只讨论前两种因素对信号质量的影响。

为了得到高的频率分辨率，相位累加器位数一般较大，而在 DDS 设计中，为了节省波形存储器的容量，人们希望在不引入过多干扰的情况下尽可能多地截去相位累加器的低有效位 B 。故相位累加器的 N 位输出中只有高 A 位去寻址只读存储器，从而产生了相位截断误差。根据相关分析，相位截断将引起周期性非谐波杂散，其谱曲线“成对”出现，“成对”谱线出现的间隔为 $f_c/2^B$ 。通常采用 Wheatley 相位抖动注入法消除这种杂散，在每次相位累加器溢出之时，高频脉冲产生一个 $0 \sim (K-1)$ 的随机数 K_n ，加到相位累加器的寄存器值上，使相位累加器的溢出不总是比理想的溢出推后，而是随机地提前，从而打破了周期性。这种方法对去除杂散非常有效，但所付出的代价是产生了宽频带相位噪声，但这种宽频带相位噪声比杂散更容易滤除。

由于 ROM 存储的波形样点的幅度编码由有限位二进制数表示，这样 DDS 的输出波形就存在幅度量化误差，仅从量化观点看，设正弦波的样点值用 D 位二进制码来表示，则信号功率与量化噪声总功率之比为 $6D$ dB。可见，幅度量化的信噪比随着 D 的增加而提高。为了在低比特 DAC 情况下能够采用随机化幅度抖动注入法获得更高的信号质量，在 DAC 的输入数据被截断成 M bit 之前，给正弦查询表输出的 D bit 数据加上一个随机数，这个随机数的范围是 $0 \sim (2^{D-M}-1)$ ，如图 3 所示。

通过对一个有 5 bit DAC 的随机化幅度抖动注入 DDS 的频谱和两个分别有 5 bit 和 11 bit DAC 的普通正弦输出 DDS 的频谱的比较，随机化幅度抖动注入 DDS 杂散的电平比起带有相同分辨力 DAC 的普通 DDS 杂散的电平至少低 10 dB，而与有 11 bit DAC 的普通正弦输出 DDS 的杂散的电平差不多。尤其值得注意的是，一直出现在正弦输出 DDS 载波附近的杂散谱线在随机化幅度抖动注入 DDS 输出频谱中被消除了^[5]。

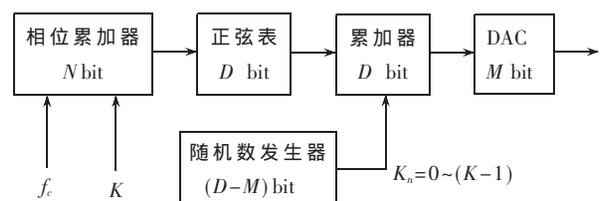


图3 随机化幅度抖动注入 DDS 的结构方框图

2.2 各种体制雷达信号的实现方法

简单脉冲调制和重频调制雷达信号的实现方法比较简单,这里只描述频率捷变雷达信号、线性调频雷达信号和相位编码雷达信号的实现方法,并给出相应的QUARTUS仿真结果。

(1) 频率捷变雷达信号

频率捷变信号与常规雷达信号相比,只是频率发生了变化,而其他参数不变,其既可以实现脉间捷变,也可以实现脉组捷变。当脉间捷变时,只需要在每个调制脉冲期间设置不同的频率控制字即可;脉组捷变是在一组脉冲周期内为一个频率控制字,而在另一组脉冲周期内为另一个频率控制字,根据频率捷变数量循环使用频率控制字。图4所示是只有2个频率的脉间捷变信号的相位累加器输出的仿真结果,为了便于观察,2个频率对应的频率控制字分别定为240和15。

(2) 线性调频雷达信号

产生线性调频是在普通的DDS核前面增加了一级频率累加器,定期改变频率控制字,从而改变输出信号的频率。如果频率增量字是一个恒定的值,则输出信号

为线性调频信号;如果频率增量字是一个变化的值,则输出信号为非线性调频信号。图5所示为线性调频信号的仿真结果。

(3) 相位编码雷达信号

图6所示为5位二相编码信号的仿真结果,其编码顺序是“+ + + - +”,其相位分别在“+ → -”和“- → +”时发生180°的相位跳变。

本文基于软件无线电的思想,通过在FPGA中实现一个完全的DDS内核,实现多种雷达信号的产生,产生的雷达信号完全能够满足各种雷达信号处理实验的要求。文中讨论了各种信号独立产生的方法,如果将DDS内核中的正弦表设计成双端口存储器,还可以实现任意波形和多种组合波形的产生。

参考文献

- [1] 徐祎,姜晖,崔琛.通信电子技术[M].西安:西安电子科技大学出版社,2002.
- [2] 何立民.单片机应用系统设计[M].北京:北京航空航天大学出版社,2002.
- [3] 宋万杰,罗杰,吴顺君.CPLD技术及其应用[M].西安:

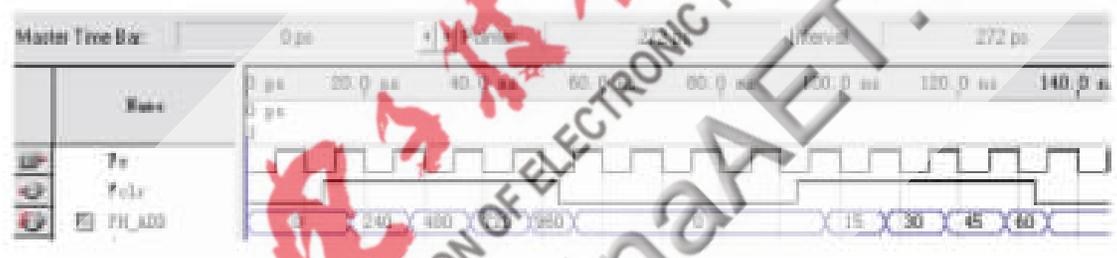


图4 频率捷变雷达信号仿真图



图5 线性调频雷达信号仿真图

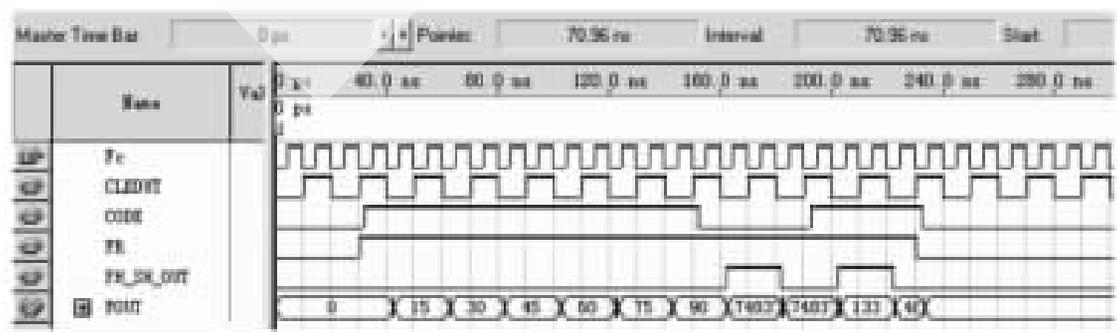


图6 相位编码雷达信号仿真图

西安电子科技大学出版社,2000.

- [4] 王诚,吴继华,范丽珍,等. Altera FPGA/CPLD 设计[M].
北京:人民邮电出版社,2005.
- [5] 奥本海姆 A V, 谢弗 R W. 离散时间信号处理[M].
西安:西安交通大学出版社,2001.

(收稿日期:2009-11-17)

作者简介:

熊培蕾,女,1986年生,在读硕士研究生,主要研究方向:雷达信号处理,高速信号处理。

张剑云,男,1963年生,教授,博士生导师,主要研究方向:雷达及目标环境模拟,雷达信号处理,高速信号处理。

刘春泉,男,1985年生,工程师,主要研究方向:雷达对抗技术。

