

# 基于 FPGA 的多路正弦波信号发生器专用芯片设计

于国苹,王桂海,桑圣锋

(山东科技大学 信息学院,山东 青岛 266510)

**摘要:** 基于开源思想与 SOPC 技术,采用 32 位开源软核处理器 OR1200 和开源软核 DDS,在 FPGA 上实现了频率、相位可预置并且可调的 3 路正弦波信号发生器专用芯片的设计。该专用芯片基于 OR1200 固化专用程序实现,通过 UART 传输控制数据,可同时控制 3 路正弦波的产生,其频率范围为 1 Hz~100 MHz,步进频率为 1 Hz,相位范围为 0°~359°。设计方案在 DE2-70 开发板上进行了实际验证,证明了设计的正确性和可行性。

**关键词:** 开源;软核;OR1200;DDS;专用芯片

中图分类号: TN741

文献标识码: A

## Design of multi-channel sinewave signal generator special-purpose chip based on FPGA

YU Guo Ping, WANG Gui Hai, SANG Sheng Feng

(College of Information, Shandong University of Science and Technology, Qingdao 266510, China)

**Abstract:** This paper provides the project of three paths sinewave signal generator special-purpose chip based on open source idea and SOPC technology. The generator uses the 32 bits open source soft IP core CPU OR1200 and open source soft IP core DDS. The frequency and phase can preset and regulate. The sinewave signal generator special-purpose chip realizes based on OR1200 curing special program, transfers the control data through UART, and controls the system to generator three paths sinewave simultaneously. The frequency range is: 1 Hz~100 MHz and stepping is 1 Hz, the phase range is: 0°~359°. This design implements practical verification on DE2-70 development board of Taiwan Youjing, and proves the correctness and feasibility of this design.

**Key words:** open source; Soft IP core; OR1200; direct digital synthesizer; special-purpose chip

目前,正弦波信号发生器技术正逐渐成熟,各种直接数字频率合成器(DDS)集成电路如 AD9850 等已得到广泛应用;FPGA 方面也已经有相关的 DDS 设计。但 DDS 专用芯片还很少见。本文介绍了一种工作频率为 25 MHz、可进行异步串行通信、频率相位可调的 3 路正弦波信号发生器专用芯片的设计方法。

本设计采用 OR1200 处理器作为主控制器,通过 Wishbone 总线将 3 个 DDS 模块、UART 控制器模块、片内 RAM 模块连接到系统中,构建出一个硬件平台;然后对 OR1200 进行软件编程,使 UART 控制器接收专用芯片外部异步串口传送的数据,将这些数据进行处理后传送到 DDS 模块相应寄存器,从而产生特定频率相位的正弦波信号;最后将程序固化到片内 RAM 中,在 FPGA 上实现多路正弦波信号发生器专用芯片的设计。

### 1 理论分析

直接数字频率合成技术是 20 世纪 60 年代末出现的第三代频率合成技术。该技术从相位概念出发,以 Nyquist 时域采样定理为基础,在时域中进行频率合成。DDS 频率转换速度快、频率分辨率高,并在频率转换时可保持相位的连续,因而易于实现多种调制功能。DDS 是全数字化技术,其幅度、相位、频率均可实现程控,并可通过更换波形数据灵活实现任意波形。本设计实现频率相位可控的正弦波输出。所用 DDS IP 软核原理框图如图 1 所示(未给出时钟和复位信号)。

图 1 中,ftw<sub>i</sub> 为频率控制字,phase<sub>i</sub> 为相位控制字,amp<sub>l\_o</sub> 为正弦波信号幅度输出,phase<sub>o</sub> 为正弦波信号相位输出。本设计中频率控制字的位宽为 32 位,选用的 ROM 波形数据为 10×10 结构,因此相位控制字的位宽

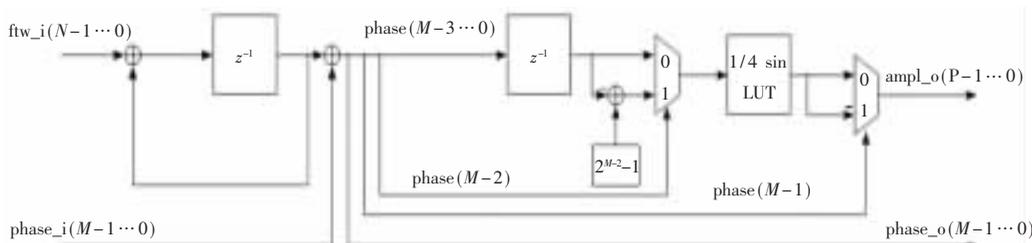


图1 DDS发生器原理框图

为10位,正弦波幅度输出位宽也为10位。

图1中第1个加法器和第1个单位延时电路构成相位累加器。它在时钟的控制下以步长 $ftw\_i$ 做累加,输出的 $N$ 位二进制码与 $M$ 位相位控制字 $phase\_i$ 相加作为波形ROM的地址。由于在ROM中存取的是1/4周期的正弦波形数据,因此,根据正弦波不同的象限,由相位控制字的2个最高有效位(MSB)来控制是否对波形ROM地址进行移位或者对幅度输出进行反相,最终输出10位的正弦波数字信号。

正弦波的输出频率 $f_{DDS}$ 为:

$$f_{DDS} = (ftw\_i) \times f_s / 2^N \quad (1)$$

式中, $f_s$ 为DDS模块输入时钟频率。

正弦波的输出相位 $\phi_{DDS}$ 为:

$$\phi_{DDS} = (phase\_i) \times 2\pi / 2^M \quad (2)$$

频率相位值从UART串口输入,OR1200处理器根据式(1)和式(2)对数据进行处理得出频率相位控制字,赋给相应DDS模块的频率相位寄存器,从而输出特定频率相位的正弦波信号<sup>[1]</sup>。

## 2 专用芯片硬件设计

### 2.1 专用芯片总体结构设计

正弦波信号发生器专用芯片的结构框图如图2所示。Wishbone总线是整个硬件平台的系统总线,OR1200处理器的数据BIU(Bus Interface Unit)和指令BIU作为Wishbone总线的主设备,UART控制器、3个DDS模块以及FPGA片上RAM作为Wishbone总线的从设备,它们通过Wishbone总线连接到系统中。OR1200是整个硬件

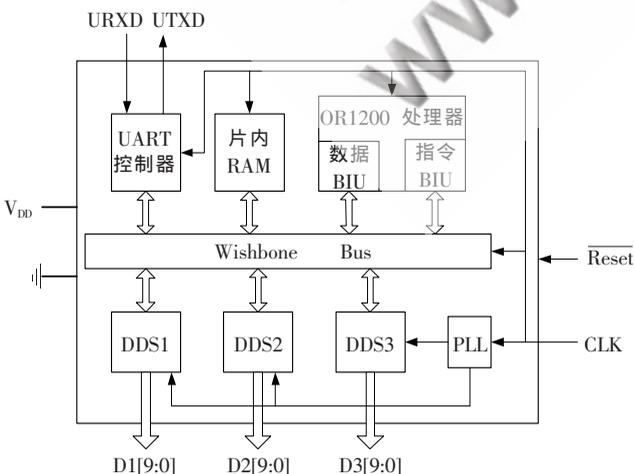


图2 正弦波信号发生器专用芯片结构框图

平台的主控制器,控制该专用芯片配置数据的读入与转换。UART控制器模块主要实现该专用芯片与外部异步串口的通信,负责读入配置数据。3个DDS模块是产生正弦波信号的核心模块,根据频率控制

字和相位控制字产生特定频率相位的正弦波信号。FPGA片上RAM作为该专用芯片的片内RAM,系统软件要固化在RAM中。OR1200处理器、Wishbone总线、UART控制器模块及片内RAM模块的时钟直接连接到外部时钟源上,3个DDS模块的时钟由外部时钟源通过PLL倍频得到。本专用芯片为低电平复位。

### 2.2 OR1200处理器

OpenRISC1200处理器(简称OR1200)是Opencores组织发布维护的基于GPL并属于OpenRISC1000序列的一款RISC处理器。OR1200是32位RISC,它具有哈佛结构、5级整数流水线,支持虚拟内存(MMU),带有基本的DSP功能,并且外部数据和地址总线接口符合Wishbone标准<sup>[2]</sup>。

OR1200通用框架由CPU/DSP核心、直接映射的数据Cache、直接映射的指令Cache、基于DTLB的Hash表的数据MMU和指令MMU、电源管理单元及接口、Tick定时器,调试单元及开发接口、中断控制器和中断接口、指令及数据Wishbone主机接口<sup>[3]</sup>组成。

### 2.3 片内RAM设计

片内RAM由Altera公司的EDA工具QuartusII中MegaWizard Plug-In Manager...生成。它为单端口RAM,数据总线32位,大小为8KB。编写的固化软件程序编译链接后转换为hex格式,在RAM初始化时固化到其中。由QuartusII生成的片内RAM模块不具有Wishbone接口,本设计为其添加了1个Wishbone总线接口。

### 2.4 DDS模块

DDS模块也是Opencores上的开源IP软核,没有标准的Wishbone接口模块,本设计为DDS模块添加了1个Wishbone总线接口。该DDS模块主要有两类配置数据:频率控制字和相位控制字。给DDS模块加入2个硬件寄存器DDS\_FTW和DDS\_PHASE,利用这2个寄存器来控制连接到Wishbone总线接口上的输出数据是频率控制字还是相位控制字。

### 2.5 UART控制器模块

UART控制器模块是Opencores上符合工业标准16550A的开源IP核。该IP核的设计采用Wishbone总线接口规范,支持可选的32位数据模式和8位数据模式;使用FIFO操作实现,寄存器及所实现的具体功能符合NS16550A标准<sup>[4]</sup>。在本设计中,UART控制器的波特率默认值为9600 b/s,UART控制器模块用于与专用芯

片外部 UART 串口通信,通过 URXD 引脚接收外部串口数据,通过 UTXD 向外部串口发送数据。

## 2.6 Wishbone 总线主从设备分配

Wishbone 总线仲裁采用 Opencores 上开源软核 wb\_conmax,为  $8 \times 16$  结构,即在该 Wishbone 总线模块中可以使用 8 个主设备和 16 个从设备<sup>[5]</sup>。本系统中,OR1200 的指令和数据单元为 Wishbone 总线的主设备;片内 RAM 模块、URAT 控制器模块以及 3 个 DDS 模块为 Wishbone 总线的从设备。

根据各子模块在 Wishbone 总线上的位置和 wb\_conmax 的逻辑实现,相应从设备的地址分配如下:

片内 RAM	: 0x00000000
DDS1	: 0x10000000
DDS2	: 0x20000000
DDS3	: 0x30000000
UART	: 0x90000000

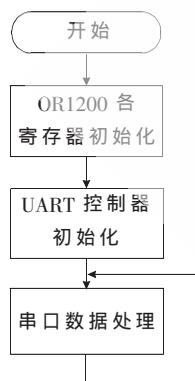
## 2.7 顶层模块设计

本系统顶层模块例化各子模块,采用 Wishbone 总线接口技术将各个子模块集成在一起,为每个子模块分配时钟和复位信号,实现硬件平台的总体设计。设计中所用 FPGA 开发板的时钟为 50 MHz,OR1200 处理器时钟为 25 MHz,Wishbone 总线时钟为 25 MHz,3 个 DDS 模块时钟为 100 MHz。其他模块的时钟都为 25 MHz,设计中所用时钟都是通过 FPGA 芯片中的 PLL 分频及倍频实现的。正弦波专用芯片的时钟设为各模块时钟的最小值(25 MHz),3 个 DDS 模块的 100 MHz 时钟通过 PLL 倍频实现。各模块的复位信号由顶层模块统一分配。

## 3 专用芯片固化程序设计

正弦波信号发生器专用芯片的固化程序主要包括 UART 控制器初始化程序和串口数据处理程序两部分:UART 控制器初始化程序初始化 UART 控制器中的各个寄存器,使该控制器能够正常工作。串口数据处理程序采用查询方式接收串口数据,将接收到的数据赋给相应寄存器变量,根据式(1)和式(2)进行计算,得到 3 路 DDS 模块的频率控制字和相位控制字,其固化程序流程图如图 3 所示。固化程序首先初始化 OR1200 处理器的各个寄存器,然后对 UART 控制器进行初始化,最后循环处理串口数据。

图 3 正弦波信号发生器专用芯片固化程序流程



首先初始化 OR1200 处理器的各个寄存器,然后对 UART 控制器进行初始化,最后循环处理串口数据。

### 3.1 UART 控制器初始化程序

UART 控制器中的寄存器都是 8 位或 16 位,通过对 UART 控制器的寄存器赋值来初始化 UART 控制器。上电复位后 UART 控制器的初始化工作包括:

(1)清空接收和发送 FIFO。

(2)清零接收和发送移位寄存器。

(3)关闭中断。

(4)设置 Line 控制寄存器为 8 个数据位、1 个停止位、无奇偶校验的通信模式。

(5)读取 Line 控制寄存器的值,将其最高位置 1,允许 Divisor 锁存器存取;通过设置 Divisor 锁存器的值设置波特率为 9 600 b/s;将 LCR 赋回原值。

### 3.2 串口数据处理程序

正弦波信号发生器专用芯片从外部串口接收到的数据分为 3 类:相位、频率选择信号,相位或频率值,3 路正弦波选择信号。固化程序定义了 1 个 32 位的数据寄存器变量和 1 个 8 位状态寄存器变量。串口数据处理程序采用查询方式接收串口数据,接收到的前 4 个数据进行相应转换后赋给数据寄存器变量,第 5 个数据放入状态寄存器变量中,作为相位信号、频率选择信号和 3 路正弦波选择信号。若为相位信号,则将数据寄存器变量中的数据与 0x3ff 相“与”,然后根据式(2)得到相位控制字;若为频率信号,则根据式(1)得到频率控制字。最后根据这个信号将数据寄存器变量中的值送入相应的 DDS 模块硬件寄存器中(DDS\_FTW 和 DDS\_PHASE)。

在 FPGA 上实现了一个多路正弦波信号发生器专用芯片的设计。本设计在友晶公司的 DE2-70 开发板上进行了验证,使用开发板上 3 路 10 位视频数字信号转模拟信号的控制芯片 ADV7123 作为 D/A 转换芯片,最后得到 3 路频率相位可调的正弦波信号。该正弦波信号发生器专用芯片通过串口控制,而未来的设计中可以扩展数字按键控制或者触摸屏控制,不使用外部主控 MCU 也可以产生特定频率相位的正弦波信号。

### 参考文献

- [1] KUMM M. Direct digital synthesizer IP core. pdf[EB/OL]. (2008-12-22).[2009-10-02].<http://www.opencores.org/projects>.
- [2] 徐敏,孙恺,潘峰.开源软核处理器 OpenRisc 的 SOPC 设计[M].北京:北京航空航天大学出版社,2008:4-5.
- [3] 倪继利,陈曦,李挥.CPU 源代码分析与芯片设计及 Linux 移植[M].北京:电子工业出版社,2007:64-65.
- [4] GORBAN J. UART IP core specification. pdf[EB/OL]. (2002-8-11)[2009-10-02].<http://www.opencores.org/projects>.
- [5] OpenCoresOrganization.Wishbone system-on-chip(SoC) interconnection architecture for portable IP cores. pdf[EB/OL]. (2002-09-07)[2009-10-02].<http://www.opencores.org/projects>.

(收稿日期:2009-11-12)

### 作者简介:

于国苹,女,1986 年生,在读研究生,主要研究方向:嵌入式系统。

王桂海,男,1960 年生,副教授,主要研究方向:嵌入式系统。

桑圣锋,男,1985 年生,在读研究生,主要研究方向:集成电路设计。