

JPEG2000 中二维小波变换的高速 VLSI 设计与实现

陈曙涛, 罗桂娥

(中南大学 信息科学与工程学院, 湖南 长沙 410083)

摘要:提出了一种基于 9/7 小波的二维小波变换器的硬件设计方案。通过优化算法以及采用行列变换并行处理的方式,提高了变换器的数据吞吐量。该方案采用了流水线技术,较大地提高了硬件效率。综合结果表明,该方案的系统时钟可达到 110 MHz,且具有高速、高吞吐量、片内存储器小等优点。

关键词:离散小波变换; 图像压缩; JPEG2000; 流水线; FPGA

中图分类号: TP751

文献标识码: A

High-speed VLSI design and implementation of 2D DWT for JPEG2000 standard

CHEN Shu Tao, LUO Gui E

(School of Information Science and Engineering, Central South University, Changsha 410083, China)

Abstract: This paper presented a kind of architecture for 2D DWT which based on 9/7 wavelet. To increase the data throughput of the converter, we optimize the algorithm and use the way to process the data from row and line parallel. The idea of pipeline was applied, which improved the efficiency of the hardware. The result shows this architecture can work up to 110 MHz. It also has the advantage of slim and effective.

Key words: discrete wavelet transform; image compression; JPEG2000; pipeline; FPGA

近年来,随着计算机与数字通信技术的迅速发展,特别是网络 and 多媒体技术的兴起,图像编码与压缩已受到了越来越多的关注。同时在通信带宽和存储容量的限制下,对图像进行编码与压缩显得非常重要。小波变换具有良好的空间-频率局部化特性以及多分辨率特征等,克服了传统 DCT 编码在低比特率时会产生方块效应的弊端,并可灵活地实现多种功能^[1]。所以它在静态和动态图像压缩领域得到了广泛的应用,已经成为新一代静止图像压缩标准 JPEG2000 的核心变换技术^[2]。

在许多图像应用场合,实时变换是必需的,而图像信号的小波变换需要大量运算,所以对于嵌入式应用,高速和低功耗地实现小波变换应该使用专用硬件。在过去,图像二维离散小波变换的硬件实现主要采用分离的一维小波变换的方法^[3-4],即利用一维小波变换器,先对图像数据行(列)进行变换,然后对行变换的结果再进行列(行)变换。一种直观的一维小波变换器结构如图 1 所示。通过试验仿真分析,采用这种串行处理方式的二维 DWT 算法用硬件实现效率低。而目前国内外对二维 DWT 硬件实现有不少有效的处理方法^[5]。本文对上述二维 DWT 硬件实现方法进行了改进,通过采用若干行变

换缓存器存储行变换结果,使得行列变换可以同时并行。同时,通过改进小波变换的过程控制方式,节约了硬件的资源面积。该行列变换器采用了流水线处理模式,减少了时间延迟。

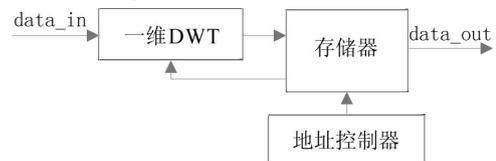


图 1 传统的二维小波变换器

1 二维提升小波变换算法原理及流程

传统的基于卷积的离散小波变换在硬件实现上由于需要大量的加法器和乘法器,实现起来相对复杂,同时还占用了过多的硬件资源。1994 年,Sweldens 提出了提升方案(Lifting Scheme)的概念^[6]。一维小波变换提升实现分为 3 个简单的过程:分裂、预测和更新,如图 2 所示。

(1)将信号 $x(n)$ 分裂为奇偶 2 个序列:

$$x^0_e(n) = x(2n), x^0_o(n) = x(2n+1) \quad (1)$$

(2)预测(predict)过程,利用奇偶序列的近似性,用偶序列滤波后来预测奇序列,然后从奇序列中减去这一预

《微型机与应用》2010 年第 4 期

图形、图像与多媒体

Image Processing and Multimedia Technology

测值:

$$x_o^i(n) = x_o^{i-1}(n) - \sum_k p^i(k) \cdot x_o^{i-1}(n-k) \quad 1 \leq i \leq L \quad (2)$$

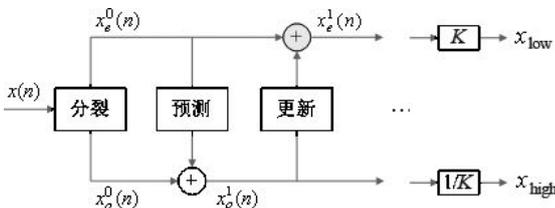


图2 小波分解提升格式

(3)更新(update)过程,就是将上一步相减后得到的奇序列滤波,然后再用偶序列来减去这一滤波结果:

$$x_e^i(n) = x_e^{i-1}(n) - \sum_k u^i(k) \cdot x_o^i(n) \quad 1 \leq i \leq L \quad (3)$$

(4)将奇偶序列分别乘以一个缩放系数就得到了最终的结果——信号的近似和细节:

$$x_{low}(n) = x_e^L(n)/K, x_{high}(n) = K \cdot x_o^L(n) \quad (4)$$

JPEG2000 给出了双正交小波滤波器,有损压缩采用 CDF 9/7 小波,无损压缩采用 CDF 5/3 小波。CDF 9/7 小波是图像压缩的首选滤波器,对自然图像压缩的性能好于 5/3 小波。其提升结构如图 3 所示。

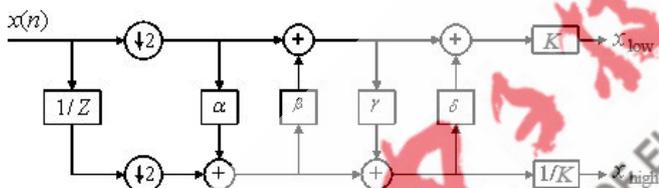


图3 CDF 9/7 小波分解滤波器的提升实现结构

类似于一维离散小波变换,二维离散小波变换也可以用数字滤波器的抽样来实现。用可分离的二维尺度和小波函数,简单地先取 $f(x,y)$ 的行做一维 FWT(快速小波变换),接着对结果中的列再做一维 FWT,这样就能得到二维离散小波变换结果。

2 二维离散小波变换的 VLSI 结构

2.1 整体结构设计

二维离散小波变换的结构如图 4 所示。图像数据首先从图像数据存储单元中读出,送入水平扩展模块,在水平扩展模块内进行镜像水平边界延拓。延拓后的数据送入行变换模块,行变换模块的数据送入行缓存器。行缓存器由若干双端口随机可读写存储器 (Dual-Port RAM) 组成,双端口 RAM 的数量由小波低通滤波器的抽头数 M 决定。当 $\lfloor (M+1)/2 \rfloor$ 行数据的行变换完成后,列变换启动。行变换数据通过行缓存读写控制器,从行缓存器一次读出 M 个数据送入列变换模块,列变换模块同时输出垂直低通和垂直高通两路小波系数,经过小波系数存储控制器合并成一路数据送入小波系数存储器。小波系数存储器的地址由控制器生成。小波变换控制器是系统的核心环节,它控制各个模块的启动和终止,以及输出系数和图像存储器的读写控制。

《微型机与应用》2010 年第 4 期

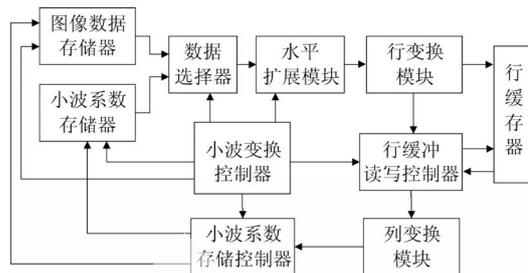


图4 二维小波变换器结构框图

2.2 水平扩展模块

实际信号是有边界的,硬件实现需要考虑边界延拓。对称延拓算法可以有效克服压缩变换时的边界效应。所以 JPEG2000 采用对称延拓法作为小波变换的边界扩展方法。对于 M/N 双正交小波,前端需要 $\lfloor m/2 \rfloor$ 个延拓数据;对于偶数个行采样点,后端需要 $\lfloor m/2 \rfloor - 1$ 个延拓数据;对于奇数个行采样点,后端需要 $\lfloor m/2 \rfloor$ 个延拓数据。图 5 所示为信号长度为偶数时的边界对称拓展示意图。



图5 对称延拓示意图

2.3 行变换模块

9/7 小波提升滤波器组分解可以表示成式(5)所示的矩阵乘积形式,相应的行滤波器结构如图 6 所示。行滤波器包括 4 个处理单元组成,即由 E_P1、E_U1、E_P2 和 E_U2 组成。输入数据 data_in 经过“分裂”单元后,分裂成奇数和偶数信号两部分,然后依次串行送入以上 4 个串行处理单元,最后奇数和偶数两部分信号分别乘以 k 和 $1/k$,所得结果作为小波系数输出。

$$P = \begin{bmatrix} k & 0 \\ 0 & 1/k \end{bmatrix} \begin{bmatrix} 1 & \delta(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \gamma(1+z) & 1 \end{bmatrix} \begin{bmatrix} 1 & \beta(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \alpha(1+z) & 1 \end{bmatrix} \quad (5)$$

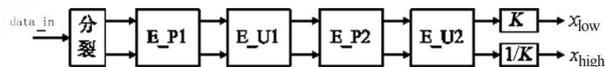


图6 9/7 小波行滤波器的结构框图

E_P1 和 E_P2 的结构如图 7(a)所示,它们是提升结构的预测单元,滤波器系数分别为 α 和 γ ;E_U1 和 E_U2 的结构如图 7(b)所示,它们是提升结构的更新单元,滤波器系数分别为 β 和 δ 。图 7 中的“D”为流水线同步寄存器,“DFF”为数据输入延迟寄存器。该模块中采

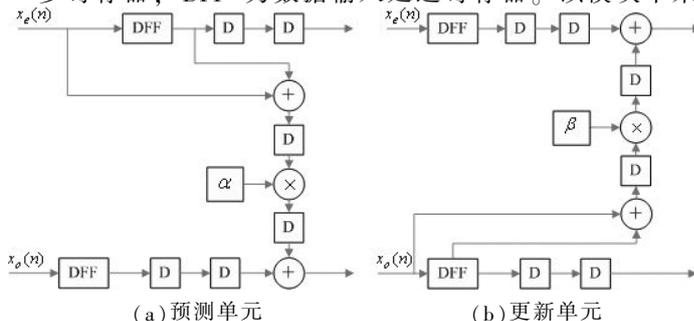


图7 行滤波器处理单元的结构示意图

图形、图像与多媒体

Image Processing and Multimedia Technology

用的乘法器是一种基于哈尼(Horner)法则独立设计的树形乘法器,其内部使用了三级锁存器来存取中间相加结果。与 Altera 公司 LPM 库提供的 Brooth 并行阵列乘法器相比,它的关键延迟明显缩短,并且节约了更多的现场编程逻辑门阵列资源。

2.4 行缓存模块

传统的二维小波变换设计架构常采用串行的方式,等到图像数据所有的行变换完成以后才开始进行列变换,这样就需要大量的中间存储单元,同时降低了图像数据二维小波变换的处理速度。为了使行列变换并行进行,需要改变传统二维小波变换图像数据的输入方式。以 9/7 小波为例,一组低通和高通系数需要通过 9 个图像数据得到,由此,如果需要行列变换并行进行,最少需要通过 5 次行变换后,才能开始进行列变换。以后行变换的系数每到达一个,列变换就可进行一次(列变换同样采用对称延拓法作为其边界扩展方法)。例如,对大小为 256×256 像素的图像块,处理每个像素的时间为 Δt ,那么列处理启动的时间为 $(256 \times 4 + 1) \cdot \Delta t$ 。为此设计了如图 8 所示的行缓存模块。

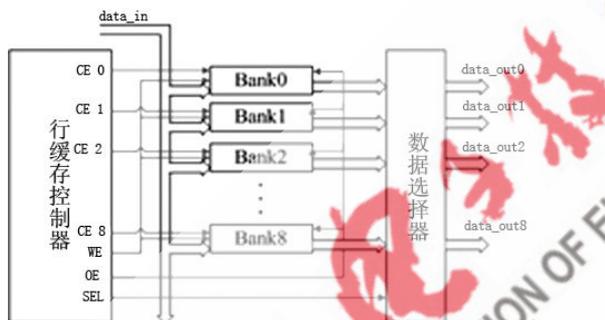


图 8 行缓存模块的结构示意图

该模块由行缓存阵列和外围控制电路组成。Bank0, Bank1, ..., Bank8 是行变换系数缓冲存储器。其中 Bank0, Bank1, ..., Bank7 分别存储的是每一行图像数据行变换后的结果, Bank8 存储的是当前行变换后的结果。一旦 Bank8 中有数据存储进来,列变换便自动开始进行。当 Bank8 存储的该行图像数据行变换结束后,通过行缓存控制器控制,清空 Bank0 中的数据,利用 Bank0 存储下一行图像数据的行变换结果。依此类推。在行列变换同时进行的过程中,不可避免地会出现行变换模块和列变换模块同时访问同一个行缓存器的情况。为了解决这一问题,行缓存阵列采用的是双端口 RAM。系统中,双端口 RAM 的读出时间比写入时间滞后 2 个时钟周期。

图中行缓存控制器 CE 端口为行变换系数缓冲存储器 Bank 的使能端,负责控制将当前行变换后的系数输入到适当的 Bank 中。行缓存控制器 SEL 端口为数据选择器控制端口,负责控制由双端口 RAM 读出的 9 个数据的排列顺序匹配列变换模块输入的设计要求。

2.5 小波系数存储控制器

小波图像编码系统应进行 4 级以上的二维小波分

解,高于 5 级的小波变换对图像压缩效果提高不显著,反而使得 LL 子带系数增益过大,不利于系数量化。因此一般的二维离散小波变换系统都采用 5 级小波变换。由于图像数据通过小波列变换模块后,LL、HL、LH 和 HH 4 个子带的系数交织输出,不利于后续的二维小波变换,因此需要通过小波系数存储控制器来重新排列输出结果。本设计中采用两个存储器,交替存储各级小波变换后的系数,通过存储地址逻辑控制,将同一级相同子带系数存储在相应的区块,这样保证了为后续的二维小波变换提供地址连续的 LL 子带系数。

3 试验结果与性能分析

系统设计中的小波变换器采用超流水线结构,输入为 $256 \text{ 像素} \times 256 \text{ 像素} \times 8 \text{ bit}$ 的图像数据。通过采用 Verilog 语言进行 RTL 级描述,在 Modelsim-Altera 软件下进行仿真,仿真结果和标准算法的计算结果一致。仿真结果表明,其关键路径延迟为 8.136 ns ,因此流水线最大频率能达 100 MHz 以上,吞吐率可达 78.6 MHz ,可适应高速的动态 SDRAM。这里采用器件 APEX20K400EQC-240 实现上述算法,器件内典型开关门数为 40 万门。如果时钟频率采用 50 MHz ,则每秒能处理 $512 \text{ 像素} \times 512 \text{ 像素}$ 的图像 120 帧(对图像进行分块处理)。表 1 所示为小波变换器的资源使用情况。

表 1 小波变换器资源使用情况

EPGA utilization	used	Utilization(%)
Total logic elements	3 865	24.8
Total Embedded system block	67	69.7
Total memlry bits	83 526	40.6

本文提出了一种基于 9/7 提升小波的二维小波变换器。通过采用行列变换并行处理的方式以及流水线技术,提高了小波变换器的数据处理速度。针对硬件高速实现,对标准算法进行了部分改进和优化。文中提出的结构在关键路径延时、片上缓存的使用以及硬件利用率方面具有更好的特性。

参考文献

- [1] ACHARYA T, TSAI P S. JPEG2000 standard for image compression: concepts, algorithms and VLSI architecture 8 new jersey: John Wiley & Sons, 2004.
- [2] JPEG2000 Part I Final Committee Draft Version 1.0 JT-CI-ISC291 WGI N16446R. March 2000.
- [3] CHANG W S, LEE Y S, PENG W S, et al. A line-based, memory efficient and programmable architecture for 2D DWT using lifting scheme [J]. IEEE International Symposium on Circuits and Systems, 2001 (4): 330-333.
- [4] 兰旭光, 郑南宁, 吴勇, 等. JPEG2000 二维离散小波变换高效并行 VLSI 结构设计. 西安交通大学学报, 2004, 38 (2): 149-153.

(下转第 50 页)

《微型机与应用》2010 年第 4 期