

基于 TI C6X 系列多处理器的 HPI 与 VME64 总线 DMA 接口设计

罗显志^{1,2}

(1. 中国电子科技集团第 54 研究所, 河北 石家庄 050081;
2. 河北省卫星导航技术与装备工程技术研究中心, 河北 石家庄 050081)

摘要:提出了一种基于地址映射的 TI C6X 系列处理器与 VME64 总线接口的 DMA 实现方法。设计了基于 DMA 方式的 TMS320C6X DSP 各 VME64 接口互连逻辑, 所有模块均采用 VHDL 语言进行设计, 并在 FPGA 上实现。实验和工程实践证明, 采用 DMA 方式的设计方案比采用直接读写 HPI 口的方案访问速度快 4 倍以上。

关键词: VME 总线; DMA; 接口逻辑; TI C6X

中图分类号: TP336

文献标识码: A

A DMA interface design between VME64 bus and HPI based on TI C6X Processors

LUO Xian Zhi^{1,2}

(1. The 54th Research Institute of CETC, Shijiazhuang 050081, China;

2. Hebei Satellite Navigation Technology and Equipment Engineer Technology Center, Shijiazhuang 050081, China)

Abstract: A DMA interface method between VME64 bus and DSP HPI was developed assuming their addresses mapped. An interface logic was designed based on this method using VHDL on an FPGA chip. Verification experiments showed that the DMA interface improved the access speed by 4 times to direct accessing logic.

Key words: VME bus; DMA; interface logic; TI C6X

在雷达和声纳信号处理中, 高采样率、多通道、宽频带、大动态范围实时信号处理需要多个 DSP 和多个上位机协同工作。基于现代信号处理平台可配置、可扩展性要求, 本文采用了基于 VME64 总线规范^[1]的非均匀存储器存取 NUMA (Nonuniform-Memory-Access) 层次总线非对称多处理器模型^[2], 它由一个主处理器 MP (Master Processor) 板节点和若干从处理器 SP (Slave Processor) 板节点构成, 节点与节点间通过 VME64 总线互连, 节点内各部分由板内总线互连, 如图 1 所示。

MP 节点可以是任意 VME64 标准主机板, 它位于 VME 总线背板的第 1 槽中, 根据 VME 总线协议来完成总线仲裁和调度、中断管理、任务调度、电源管理等。其他部分为自主开发的信号处理板和存储器板。每块信号处理板由多个数字信号处理器构成, 选用 TI 生产的 TMS320C6X DSP。其浮点型处理器峰值处理速度可达 1 GFLOP/s, 定点型处理器的峰值处理速度可达 4 800

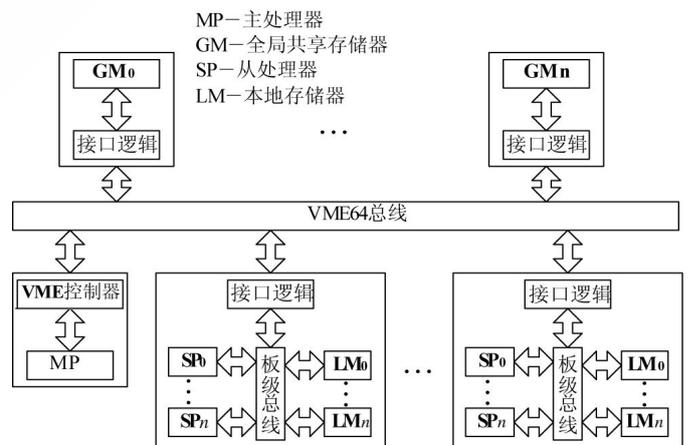


图 1 基于 VME64 总线规范的 NUMA 层次总线非对称多处理器系统

MIPS, 非常适用于高实时性、多通道、大规模运算的场合。随着信号处理理论不断发展, 对系统运算能力和存储能力的需求也不断提高, 这种多处理器系统具有很

硬件纵横

Hardware Technique

好的可扩展性,可以通过增加新的信号处理板和存储器板来满足新的需求。在本多处理器系统中,各处理器板通过 TMS320 C6X 系列 DSP 特有的点对点式通道通信,它有一个 16 位宽度(对于 C64X 系列为 32 位宽度)的并行主机口(称为 HPI)作为数据传输主方,在取得总线的控制权后,可以访问作为从方的 TMS320 C6X 的所有存储空间。但是 HPI 通信特性使得它只能通过一般读写方式实现与 VME64 总线的数据传输,速率相对较低,无法利用 VME 总线的块传输功能,在高吞吐量、高实时性的数据处理场合,它只适合作为控制命令传输通道和小数据块传输使用。本文在对 HPI 时序充分分析的基础上,提出了一种基于地址映射的 TI C6X 系列处理器与 VME64 总线接口的 DMA 实现方法,并在 FPGA 上实现。实际测试结果表明采用 DMA 方式的设计方案比采用直接读写 HPI 口的方案访问速度快 4 倍以上。

1 VME64 总线

VME64^[1]总线共分 4 组:数据传送总线、数据传送仲裁总线、中断总线及公用总线。采用 2 个 D 型连接器,分别称为 P1、P2 连接器,共有 126 个总线信号。

图 2 为一个典型读周期时序。图 3 为 VME64 总线的 DMA 写时序。

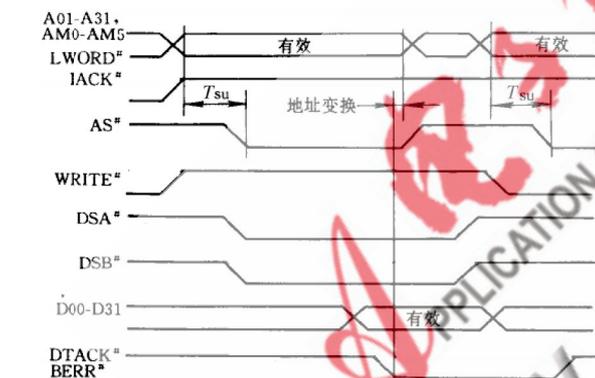


图 2 VME 总线读时序



图 3 VME 总线 DMA 写时序

2 TI 系列 DSP 芯片 HPI 的接口时序

C6X HPI 是一个并行接口,上位机能通过它直接访问 DSP 的存储空间。上位机通过 16 位数据通道 HD[15:0]

访问 HPI 控制寄存器 HPIC、HPI 地址寄存器 HPIA 和 HPI 数据寄存器 HPID。当上位机按一定时序与 HPI 数据寄存器 HPID 交换数据时,辅助通道访问 DSP 存储空间。HCNTL[1:0]决定上位机正访问 HPIC、HPID、HPIA 中的哪一个寄存器以及访问方式。由于数据总线为 16 位总线,3 个寄存器均为 32 位寄存器,HHWIL 决定访问 32 位寄存器的低半字或高半字。HHWIL 与 HBE [1:0] 相结合可以决定访问 DSP 存储空间的哪一个字节。HAS、HCS、HCS[1:0]是数据和地址锁存引脚,HDEADY 是访问准备引脚,HINT 为中断引脚,HR/W 是读写控制引脚。

HPI 读、写时序如图 4 和图 5 所示^[3]。

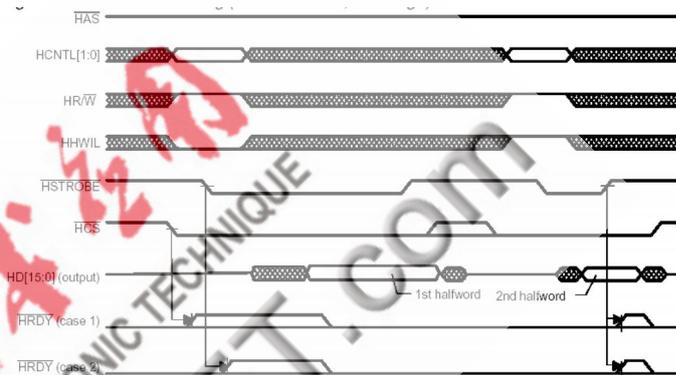


图 4 HPI 读时序

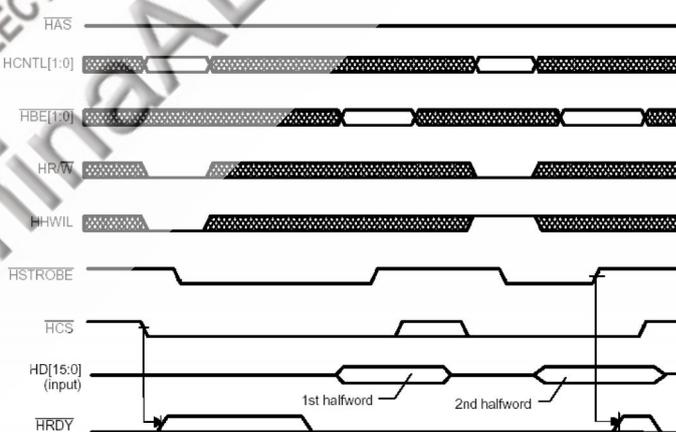


图 5 HPI 写时序

3 VME 总线与 HPI 接口设计

当其他处理器节点通过主机口访问 TMS320C6X 系列 DSP 存储器资源时,该 DSP 节点是作为从方被访问的,其接口如图 6 所示^[4]。位于 HPL_SLABE 接口逻辑上方的信号为 VME64 总线信号,而下方的信号为 TMS320C6X HPI 信号。

外部对 TMS320C6X HPI 的访问通过依次访问其控制寄存器(HPIC)、地址寄存器(HPIA)和数据寄存器(HPID)实现。由于端口数据总线宽度为 16 位(对于 TMS320C64,其总线宽度为 32 位),而上述 3 个寄存器均为 32 位,对每一个端口的访问由 2 个相继的 16 位传输

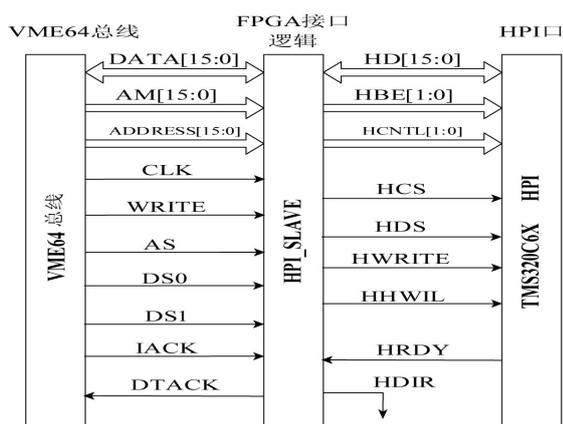


图6 TMS320 C6X 主机口与 VME 总线接口逻辑设计

组成。当 HCNTL[1:0]分别为 10、11 时,对应的是地址递增模式 HPID、固定模式 HPID 访问。HHWIL 的电平决定了每一个寄存器的第一个半字和第二个半字的传输。在实际设计中,由 VME 总线 address[3:0]来产生 HCNTL[1:0] 和 HHWIL。由 VME64 总线信号 DS0 和 DS1 来决定 HBE [1:0],DTACK 信号受 DS0/DS1 和 HRDY 信号影响。主机口 HWRITE 信号由 VME64 总线信号 WRITE 决定。HDIR 信号是一个控制 HPI 和 VME 总线间数据锁存方向的控制线,它与 HWRITE 时序完全相同,这是考虑到由于 FPGA 资源的限制而无法在片内实现数据锁存时采取的备选方案。

当进行固定地址(地址不变)模式 HPID 寄存器访问时,实际上是单次数据的传输。而地址递增模式 HPID 寄存器访问对应的是块传输。HPI 口从方接口逻辑对特定的 AM[5:0]译码块进行哪种传输方式。但是不管哪种传输都必须通过以下 3 个步骤才能完成:

(1)写 HPIC 寄存器的 WHOB 位,它决定了在 2 个相继的半字数据传输中哪个是高位地址半字,哪个是低位地址半字;

(2)写 HPIA 寄存器,它决定了访问存储单元的地址;

(3)访问 HPID 寄存器。当为固定地址模式访问时,至此访问结束;当为地址递增模式访问时,HPIA 地址先被锁存,每次数据访问完成后,内部递增寄存器自动加 1。

可以看到,由于 HPI 口数据总线宽度的限制,限制了数据传输的带宽。而且在每次数据传输前必须对 HPIC、HPIA 寄存器初始化,这些显然限制了 HPI 口在实时信号处理中的高速数据传输要求。

4 VME 总线与 HPI 接口 DMA 读写逻辑设计

VME 总线上的 DMA 操作有 2 种方式:地址自增方式和地址不变方式。所谓地址不变方式是指上位机执行 DMA 操作时 VME 总线上的总线地址是不变的,这意味着上位机总是从某一不变的地址读取或写入数据,地址自增方式是指上位机执行 DMA 操作时 VME 总线上的总线地址是自增的。而对于 C6X HPI 口来说也有 2 种通

信方式:固定方式和地址自增方式。显然,DMA 方式应该属于地址自增方式。在 VME64 总线的地址自增方式中地址线 A[31:0]是递增的,而在 HPI 自增方式访问时要求 HCNTL[1:0]恒定保持为 10 B,而 HHWIL 标志数据字的低半字或高半字。

根据以上分析,用 VHDL 语言实现的 VME 总线与 HPI 接口 DMA 读写逻辑^[5]关系如下:

```
HAM<=not(am(5) and am(4) and am(3) and not(am(2)) and not(am(1))and am(0));
```

```
//VME 总线地址修改码
```

```
HCS<=not(not(HAM) and not(AS));//HPI 地址锁存
```

```
HRW<=WRITE; //读写线
```

```
HBE(1:0)<=DS(1:0);
```

```
HDS(2:1)<=DS(1:0);//HPI 数据锁存
```

```
HHWIL<=A(1);
```

```
HCNTL(1:0)<=A(31:30);//地址线对应
```

如果此时 HCNTL[1:0]或 A[31:30]为 10 B 恒定不变,则可以以地址自增方式连续读出或写入数据,这种 DMA 方式可以大大提高访问速度。由于地址线的高 2 位 A[31:30]恒定为 10 B,所以这种方式一次 DMA 读写的最大数据量为 2³⁰ B。

为了使主机能以 DMA 方式访问 DSP 存储空间,本文对 VME 地址线和 HPI 的 3 个寄存器访问地址线进行了映射。映射后的设计使总线上的任何一个上位机既能以普通读写方式,又能以 DMA 方式访问访问 DSP 存储空间。经测试,当采用普通方式访问时,数据传输速度为 1.7 MB/s;而采用 DMA 方式访问时,数据传输速度为 7.2 MB/s。所以,经过地址线对应并以 DMA 方式访问 DSP 存储空间,数据传输速率得到了很大提高,满足了实际工程的需要。

参考文献

- [1] ANSL. American national standard for VME64 [S].VMEbus International Trade Association.1995.
- [2] HWANG K. Advanced computer architecture:parallelism,scalability,programmability[M]. McGraw-Hill,Inc.,1993.
- [3] TI TMS320C6X Peripherals Reference Guide [H]. www.ti.com. 2001.
- [4] 赵春辉.NUMA 多处理器系统中 DSP 用 VME64 总线接口设计[J].系统工程与电子技术,2005,27(1):189-192.
- [5] 侯伯亨.VHDL 硬件描述语言与数字逻辑电路设计[M].西安电子科技大学出版社,1999.

(收稿日期:2009-08-22)

作者简介

罗昱志,男,1976 年生,工程师,研究方向:卫星导航系统仿真研究。