

JPEG 图像硬件解码低功耗设计

王洪亮,张春潜,孙改匣
(东华大学 信息学院,上海 201620)

摘要: 分析了 JPEG 标准的压缩/解压缩算法,以 VLSI 方式实现了基于 JPEG 标准的解码流程,在关键模块——Huffman 解码、IDCT 上进行了算法级、结构级和电路级等层次的综合考虑,使其有更好的功耗代价,使其能够在图像传感器上得到应用。通过测试平台对其 VLSI 进行了 RTL 级和门级的仿真。结果表明,功能符合需求。

关键词: JPEG 解码; Huffman 算法; 硬件实现; 低功耗设计

中图分类号: TN919.81

文献标识码: A

Low-power design of JPEG graphics hardware decoding

WANG Hong Liang, ZHANG Chun Qian, SUN Gai Xia
(Department of information, Donghua University, Shanghai 201620, China)

Abstract: Analysis of the baseline algorithm modules of JPEG standard the decode system of JPEG baseline system has been implemented in VLSI way. Especially the key modules of JPEG standard algorithm—Huffman decoding, IDCT are improved and optimized in order to get a good power dissipation. Power consumption is optimized from algorithm level, architecture level and circuit level synthetically. Finally, through the erection of a relatively complete test platform we implement the VLSI of RTL-level and gate-level simulation. The results showed that function meet the demand.

Key words: JPEG decoding; Huffman arithmetic; hardware implementation; low-power design

目前,我国正在筹备物联网的建设,这对于传感器技术的发展以及数字图像传感器瞬时产生的海量数据为实时通信系统的存储容量、传输带宽和功耗提出了挑战。在医疗、遥感图像通信等对恢复图像质量要求高的领域,对低功耗、具有良好压缩/解压缩性能及实时处理能力的图像编/解码器的需求也变得日益迫切。JPEG 静态图像压缩/解压缩标准,具有优良的压缩/解压缩性能,而且要求低存储量和相对较低的复杂度使其很适合于硬件实现。

为了实现数据的实时处理和低功耗应用,本文提出了一种带有时钟管理机制的并行、全流水结构的 JPEG 解码器实现方案。

1 JPEG 解码算法

JPEG (Joint Photographic Experts Group) 是一种适用范围很广的静态图像数据压缩标准。JPEG 压缩是一种有损压缩,它利用了人的视觉系统特性,使用量化和无损压缩编码相结合的方式去掉视觉的冗余信息和数据

本身的冗余信息。JPEG 解码器包括:霍夫曼(Huffman)解码、反量化(IQ)和 IDCT 变换。在 JPEG 中,对于图像的解码是分块进行的。整个图像被划分为若干个 8×8 的数据块(MCU),每 1 个块对应于原图像的 1 个 8×8 的像素阵列。各行的编解码顺序从上到下,行内的编解码顺序从左到右^[1]。

2 并行 Huffman 解码器

Huffman 编码后代码的长度不一致,如果解码器用串行技术实现,由于其代码长度不一致,解 1 个码字所需的周期数也不一样。对于实时系统,串行技术的效率比较低。另外,如果数据在传播过程中被噪声中断,整组数据就变得没有价值了。针对这两方面的问题,本文提出如下的解决方案。如图 1 所示为 Huffman 解码的主要元件和算法流程。

算法流程: 从输入端获取 32 位的压缩图像数据,分析输入的数据流,判断出码长,把输入的数据移位,同时从输入端补充新的数据。输入的数据通过 Huffman 表翻

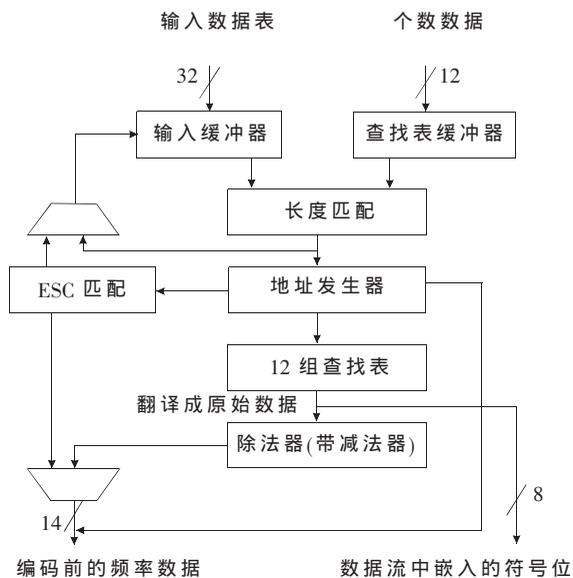


图1 Huffman 解码框图

译成原始数据,提取出数据流中嵌入的符号位,经过一系列的除法、减法运算后得到编码前的频率数据,与之前得到的符号位合并后输送到输出缓存。

本文采用的算法灵活地利用了 Huffman 表的特点,消除了算法中的乘法运算,完成码长的判断只需要 1 个周期。把码表的数据按照码长分类从小到大排列,再把码长相同的数据按照码字的大小从小到大排列。每张表按照排列后的顺序把码字对应的解码结果 DR (Decoding Results) 存入到 ROM 中。这样既有利于查表,需要的 ROM 也是最小的,符合低功耗要求。查表的地址发生器由“长度匹配”模块传递到的码长得到 1 个基地址,码长从输入数据中截取连续的几个与码长相同位数的 bit 作为偏移地址,2 个地址相加就是 DR 保存的地址^[2]。

因关键 bit 出现的位置都是在码字的最后几位,因此根据码长将输入数据进行移位,使关键 bit 的最后 1 位出现在第 n 位,移位的结果只输出第 n 位以前的几个 bit,这样的电路只需要 1 个只受码长控制的桶形移位寄存器。另外,再为每张表产生 1 个 1 串 0 加上 1 串 1 的地址修正串,有几个关键 bit 就有几个 1,这部分电路逻辑简单且占用的电路不多。用这个地址修正串和桶形移位寄存器的输出做一个“与”逻辑运算,得到的就是正确的偏移地址。由于 Huffman 表需要的最长 bit 是 9 位,码长最大为 19 位,所以本文设计了 1 个 19 位输入、9 位输出的桶形移位寄存器。改进后的电路面积缩小到改进前的 50% 左右。

3 IDCT 处理器

逆向离散余弦变换 IDCT (Inverse Discrete Cosine Transform) 电路的总体实现框图和其中的 2D IDCT 框图如图 2 所示。DCT 系数经过反量化和反扫描电路处理后输入到 IDCT 的缓存器,由全局控制电路控制输入到 2D

IDCT 单元及将最终变换好的数据送到输出缓存器中,发送 Ready 信号到运动补偿单元,通知该单元可以读出 IDCT 数据。2D IDCT 单元进行 2 次 1D IDCT 运算,首先进行基于行的 1D IDCT,然后将第 1 次 IDCT 的中间结果经转置存储器进行转置处理和缓存,再进行基于列的 1D IDCT 变换,得到最终的 IDCT 变换结果^[3]。

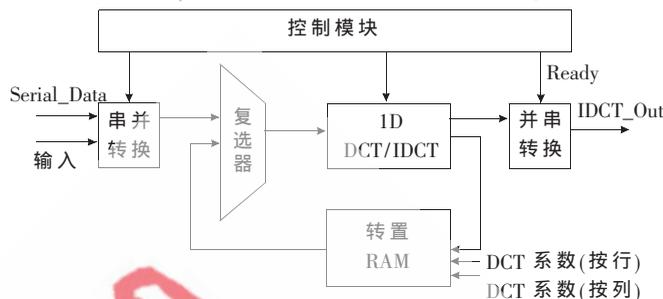


图2 2D IDCT 处理器实现框图

IDCT 设计中使用了零值判断逻辑电路、门控时钟、并行流水线等技术,使得整个电路在满足处理速度和精度要求的基础上大大降低了功耗。

3.1 零值判断逻辑电路

在整个图像解码过程中,每 8×8 个数据块中有约 90% 的数据的 DCT 系数为零,对这些零值进行 IDCT 变换并无意义。因此,本设计添加了零值判断逻辑来消除不必要的乘法运算。零值判断逻辑电路由 8×8 累加器阵列、零值判断逻辑模块和复选器 MUX 构成。通过零值判断逻辑模块判断,当操作数不全为零时,使能信号变成高电平,将操作数取到寄存器中,然后再进行乘法运算。如果操作数全为零,则封锁累加阵列,直接通过 MUX 输出 0。零值判断逻辑能有效地降低功耗,且电路简单,面积与延迟时间几乎可以忽略不计。

3.2 基于锁存器的门控时钟

通过控制电路的输入时钟可以使得一部分电路降低工作频率或者停止工作,从而降低整个电路的功耗。2D DCT/IDCT 的电路主要由 3 部分组成:1D DCT/IDCT 单元、转置存储器、输入输出处理单元。

转置存储器部分只有在每次 1D DCT/IDCT 处理的最后才进行更新,而输入输出处理单元只有在数据输入输出的时候才工作。因此,控制这几部分电路的输入时钟,使其在大多数时间停止工作即可以有效地降低功耗。设计结果表明,在面积仅增加 2% 的情况下系统功耗可降低 13%。

基于锁存器的门控时钟可以实现上述功能,它具有不需要数据选择器、面积较小、可以减小时钟网络上电容、减少门控寄存器的内部功耗等优点。锁存器门控时钟电路及时序如图 3 所示。

3.3 并行流水线

本设计使用加法和移位运算代替 IDCT 快速算法中的浮点乘法运算单元,用高度并行流水线 VLSI 结构加

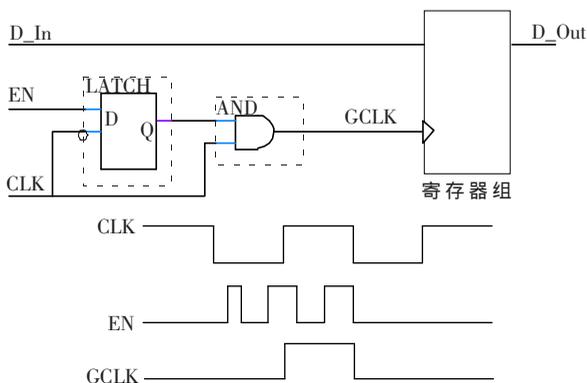


图3 锁存器门控时钟电路及时序

快数据处理速度,其处理数据的时间不到串行结构的 1/5。因此,时钟频率可以相应地降低到串行结构的 1/5 左右,从而降低系统的功耗。例如,使用 2 个 16×8 的乘法器同时并行计算高位部分和低位部分,分别得到高位部分积和低位部分积,然后进行移位相加。实现电路运算时实现时间重叠、资源重复使用和资源共享,提高了系统的并行性,以此提高了乘法电路的运行速度和效率。

4 仿真和综合结果

本文选用 1 幅 1920×1080 大小的 JPEG 图像,Modelsim 进行 RTL 级仿真后的波形如图 4 所示。图中 JPEG_DATA 是码流数据,OutR、OutG、OutB 是解码仿真结果 [4]。在



图4 解码仿真信号波形图

100 MHz 的频率下对解码核心模块进行综合 [5], 结果如表 1 所示。

表 1 综合结果

总逻辑单元数/个	11 753/33 216(35%)
总动态功耗/mW	125.00
最大延迟/ns	10.24

本文有别于以往用软件实现 JPEG 解码,而是在用硬件实现 JPEG 解码的同时,改进硬件结构,通过多种易于操作的方法来降低硬件解码能耗。通过 EDA 工具验证,完全可以满足 JPEG 图像硬件解码的要求。

参考文献

- [1] 杨淑莹,边莫英.VC++ 图像处理程序设计[M].北京:清华大学出版社,2003.
- [2] KOREN I. Computer arithmetic algorithms [M]. New York: Prentice Hall, 1993.
- [3] KOVAC M, RANGANATHAN N. JAGUAR: a fully pipelined VLSI architecture for JPEG image compression standard [C]. Proceeding of the IEEE, 1995, 83: 247-258.
- [4] CILETTI M D. Advanced digital design with the verilog HDL[M]. New York: Prentice Hall, 2003.
- [5] BIRNBAUM M D. Essential electronic design automation(E-DA) [M]. New York: Prentice Hall PTR, 2003.

(收稿日期:2009-10-13)

作者简介:

王洪亮,男,1984 年生,硕士研究生,主要研究方向:FPGA 设计、电子系统设计自动化。

张春潜,男,1984 年生,硕士研究生,主要研究方向:可进化硬件、电子系统设计自动化。

孙改匣,女,1983 年生,硕士研究生,主要研究方向:GPS 授时技术、电子系统设计自动化。