

基于改进型 ECRL 电路的触发器设计*

郭宝增, 张亚朋

(河北大学 电子信息工程学院, 河北 保定 071002)

摘要: 分析了 ECRL (Efficient Charge Recovery Logic) 电路能量回收中存在的缺陷, 提出了该电路的改进方法, 用有限的绝热损失实现了非绝热能量的完全回收, 并用 Hspice 对其进行了验证。同时提出了一种基于改进型 ECRL 电路的触发器设计方法。通过采用 $0.5\ \mu\text{m}$ BSIM3v3 模型工艺的 Hspice 仿真, 表明在降低功耗方面与现有触发器电路相比有一定程度的改善。

关键词: ECRL; 绝热逻辑; 非绝热损失; 触发器

中图分类号: TN495

文献标识码: A

Improved ECRL-based flip-flop design

GUO Bao Zeng, ZHANG Ya Peng

(College of Electronic and Information Engineering, Hebei Univ., Baoding 071002, China)

Abstract: The limitation in energy recovering of ECRL circuit is analyzed, and the circuit improvement is proposed. Using limited adiabatic losing energy to achieve non-adiabatic loss recovery completely, validated by Hspice simulation. At the same time, a flip-flop based on improved adiabatic logic circuit is proposed. The Hspice simulation with $0.5\ \mu\text{m}$ BSIM3v3 model technology proves that the flip-flop has a certain extent improvement in reducing the power dissipation compared to existing flip-flop.

Key words: ECRL; adiabatic; non-adiabatic loss; flip-flop

随着微电子学的发展, 器件特性尺寸的减小、集成度的提高带来的功耗成倍增加已成为制约集成电路发展的首要问题。传统的降低电路功耗的方法有降低电源电压、减小负载电容、减小开关的冗余跳变等。然而电源电压的降低, 势必带来电路工作速度的下降和噪声容限的降低, 以及 MOS 管开启的问题。而负载电容的减小给电路的级联带来影响, 减少开关的跳变要求增加电路的规模和复杂度, 带来额外功耗的同时也会给设计增加难度。

针对传统 CMOS 电路在降低功耗问题上面临的困难, 一种新型的能量恢复型电路或称绝热逻辑电路应运而生。它改变了传统 CMOS 电路中能量由电源到负载电容再到地的能量传输模式, 将负载电容中的电荷在变化一周后重新回收至电源, 同时控制时钟对负载电容绝热充放电, 以减小 MOS 管沟道电阻上产生的功耗, 从而使电路的总功耗显著降低。传统的 CMOS 反相器电路每跳变一次消耗的能量为 CV_{dd}^2 , 其中 $\frac{1}{2}CV_{dd}^2$ 的能量存储

在负载电容中, 在放电过程中消耗于 NMOS 管的沟道电阻上, 其余 $\frac{1}{2}CV_{dd}^2$ 的能量在充电过程中消耗于 PMOS 管的沟道电阻上。绝热电路工作一周的能量消耗为 $\frac{RC}{T}CV_{dd}^2$ ^[1]。

目前报道的绝热逻辑电路主要有 1T-1D、2N-2N2D、2N-2N2P、2N-2N2P2D、PAL、CPAL、IERL、ERCPL、EPAL、ECRL、BERL、PT-BCRL 等诸多种。较之传统 CMOS 电路, 这些绝热逻辑电路的功耗大大降低, 并在一定程度上实现了能量的回收, 但仍有许多问题有待解决。本文在分析 ECRL 电路结构和工作原理的基础上, 通过改变电路结构, 增加额外的时钟, 以较小的绝热能耗损失实现了能量的完全回收, 并提出了基于这种改进型 ECRL 电路的新型触发器的设计方法, 利用 Hspice 对其逻辑功能进行了验证。

1 ECRL 电路的工作原理及能耗分析^[2]

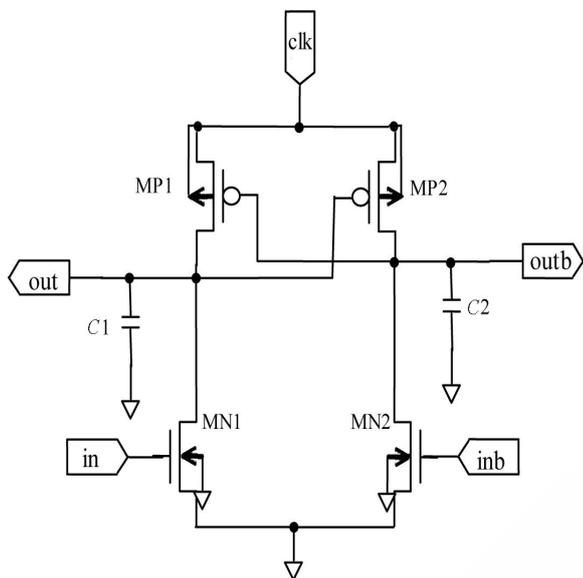
ECRL 电路的结构如图 1(a) 所示, 采用四相功率时钟, 既作为器件工作的电源, 同时也控制着工作步调, 实

* 基金项目: 河北大学校基金 (2008Q41)

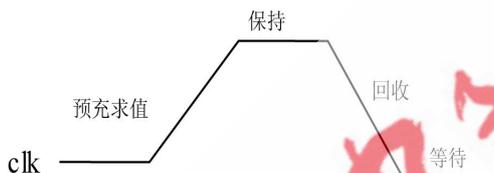
硬件纵横

Hardware Technique

现了求值和能量的回收。图 1(b)为其功率时钟。ECRL 电路的工作过程分为 4 个阶段,即预充求值阶段、保持阶段、回收阶段以及等待阶段。



(a) ECRL 电路结构图



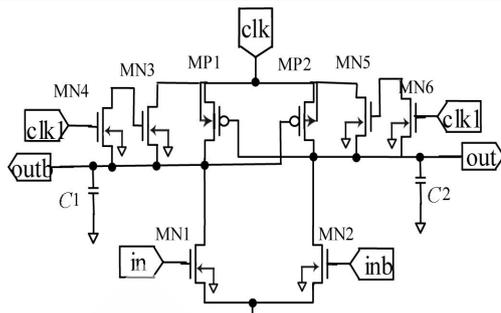
(b) 功率时钟

图 1 ECRL 电路结构及功率时钟

假设输入 in 为逻辑“1”,inb 为逻辑“0”,当 clk 由“0”缓慢上升,电路进入预充求值阶段;由于 MN1 导通使得 out 节点被拉到低电平,clk 电压达到 $|V_{tp}|$ 时 MP2 导通,clk 对节点 out 充电,当 clk 达到最大时,out 节点电压也达到 clk 的最高电压,电路进入保持阶段;当 clk 由最大值缓慢下降到“0”时,通过 MP2 将能量回收至功率时钟 clk,回收过程结束电路进入等待阶段,输入端重新赋值进入下一工作周期。当 in 为逻辑“0”,inb 为逻辑“1”时,情况与此相反。

2 ECRL 电路存在的问题及解决方案

在能量回收阶段,当 $V_{clk} < |V_{tp}|$ 时,图 1(a)电路中的 MP2 管截止,out 节点会有一些能量不能回收至功率时钟,从而产生一定的非绝热功耗,输出存在三态变化。从参考文献[3]可知,在低频范围内,非绝热功耗占总功耗的主要部分。因此,采用类似的方法,通过增加 MN3、MN4 和 MN5、MN6,以及额外的时钟 clk1,实现对输出节点残余能量的回收,其电路结构图 2(a)所示。功率时钟 clk 及增加的时钟 clk1 如图 2(b)所示。



(a) 改进型 ECRL 电路结构图



(b) 改进型 ECRL 电路工作时钟

图 2 改进型 ECRL 电路结构及工作时钟

假设输入 in 为逻辑“1”,inb 为逻辑“0”,则在 clk 上升过程中,即电路处在预充求值阶段时,clk1 为高电平,MN6 导通,clk1 通过 MN6 对 MN5 栅电容充电;当 clk 下降时,即电路处在能量回收阶段时,clk1 处在低电平,MN6 截止,但 MN5 栅电容所剩的电荷满足 MN5 管开启所需,在 MP2 截止后,残余能量通过 MN5 管全部回收至功率时钟 clk。尽管下一周期 clk1 的上升使得 MN6 再次导通时,MN5 栅电容所存电荷会部分倒流回 outb 节点,但从图 3 所示的模拟结果来看,输出节点 out 和 outb 的低电平已经接近 0,这说明能量回收已经有很大改善。电路中 MN3、MN4 和 MN5、MN6 同样采用模型决定的最小尺寸,以使得导通过程中产生的绝热功耗最小。当输入状态相反时分析过程类似。

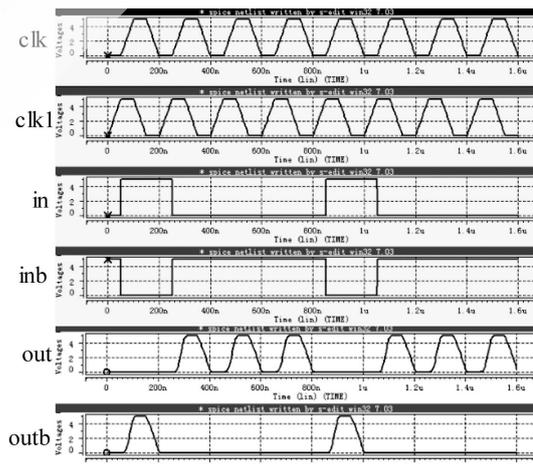
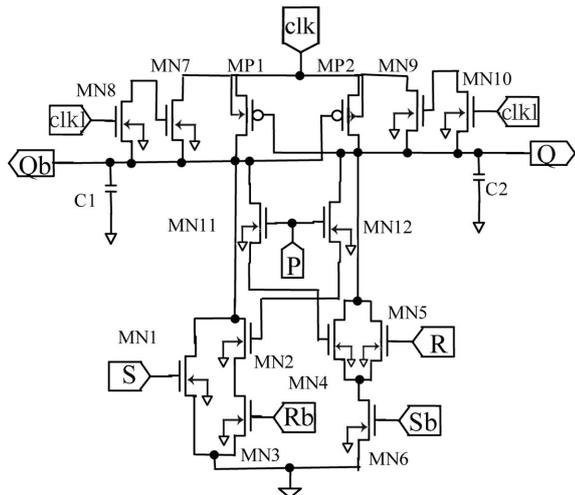


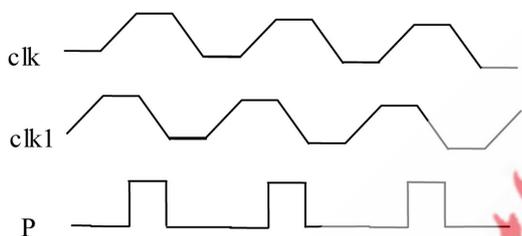
图 3 改进型 ECRL 电路仿真结果

3 基于改进型 ECRL 触发器的设计方案

触发器作为数字集成电路的一种重要器件,有着不可替代的作用,本文采用改进型 ECRL 电路,设计实现了触发器的基本功能,所设计的 R-S 触发器的电路结构及其工作时钟如图 4 所示。



(a)改进型 ECRLRS 触发器电路结构图



(b)改进型 ECRLRS 触发器工作时钟

图4 改进型 ECRL RS 触发器电路结构图与工作时钟

可以看出,R-S 触发器是在 ECRL 电路的基础上利用几个 NMOS 管组成的求值树代替图 2 (a) 中的 MN1、MN2,增加了时钟 P 和 MN1、MN2 作为 Q、Qb 的反馈通路。P 为脉冲时钟,仅在 clk 保持阶段导通,其目的是将此时的输出端电荷状态通过 P 时钟取出,保存到 MN2 和 MN4 的栅电容中^[4-5]。假设当 S=1、R=0 时,预充求值过程中,Qb 被拉至低电平,Q 充电至高电平;在 clk 保持阶段,P 导通使得 MN11 和 MN12 开启,Q 通过 MN12 对 MN2 栅电容充电,由于 Qb 为低电平,MN4 栅极电压为 0;在下一周期中,当 S=0、R=0 时,由于 MN2 导通,Qb 仍被拉到低电平,Q 由于与地断开而被充电到

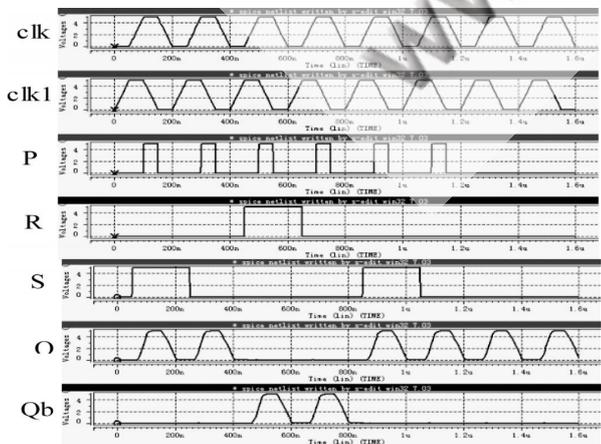
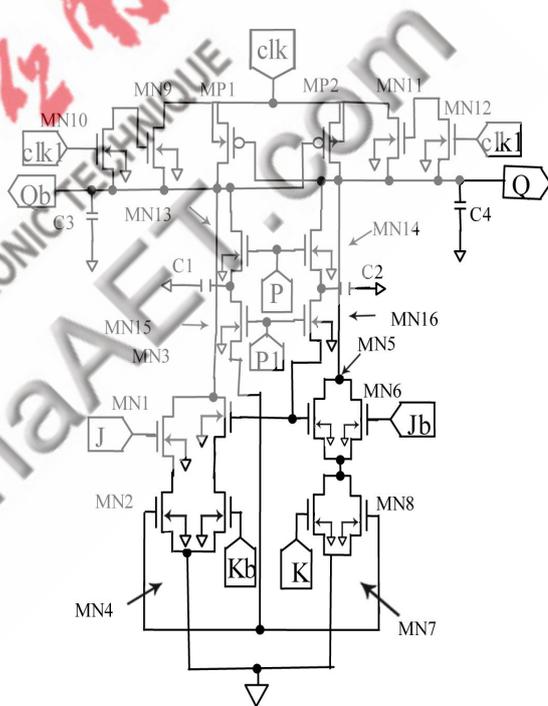


图5 改进型 ECRL RS 触发器仿真结果

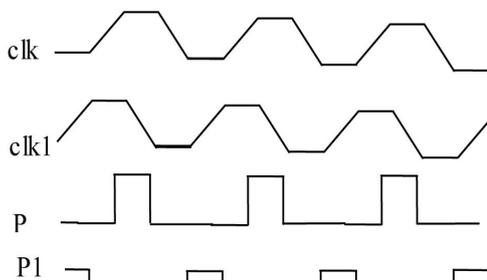
高电平;当 S=0、R=1 时,Q 端被拉至低电平,而 Qb 端由于与地断开而被充电至高电平,时钟 P 随即将两输出端的状态送至 MN2 和 MN4 栅极。若在下一个周期 S=0、R=0,MN4 导通,Q 端仍保持逻辑“0”,Qb 端保持逻辑“1”,从而实现了 $Q^{n+1}=S+RbQ^n$ 。模拟结果如图 5 所示。

对于 J-K 触发器,若采用设计 R-S 触发器的电路的方法,即增加时钟 P 和 MOS 管来取出并保持前一周期的逻辑状态,那么在 J=1、K=1 状态时,按照 J-K 触发器的功能,输出端状态应该翻转,但是在本周期时钟 P 为高电平时,即前一个周期 Qⁿ 状态取出过程中,影响到本周期的输出端 Qⁿ⁺¹ 的状态,从而使输出逻辑发生错误。

由此,设计了以下的 J-K 触发器电路,其电路结构如图 6(a)所示。当 clk 处于等待阶段为高电平。clk 保持阶段,P 取输出端状态存到附加电容 C1 和 C2 上,而不是直接把前一状态保存到 a、b 点。clk 处于等待阶段时,



(a)改进型 ECRL JK 触发器电路结构图



(b)改进型 ECRL RS 触发器工作时钟

图6 改进型 ECRL JK 触发器电路结构图及工作时钟

P1 导通, 再将输出端节点状态值送到 a、b 端, 从而 P1 起到了隔离输入与输出端的作用, 排除了上述假设结构中的问题, 实现了 $Q^{n+1}=JQ^n+KbQ^n$ 。图 6(b)为其时钟。仿真结果如图 7 所示。

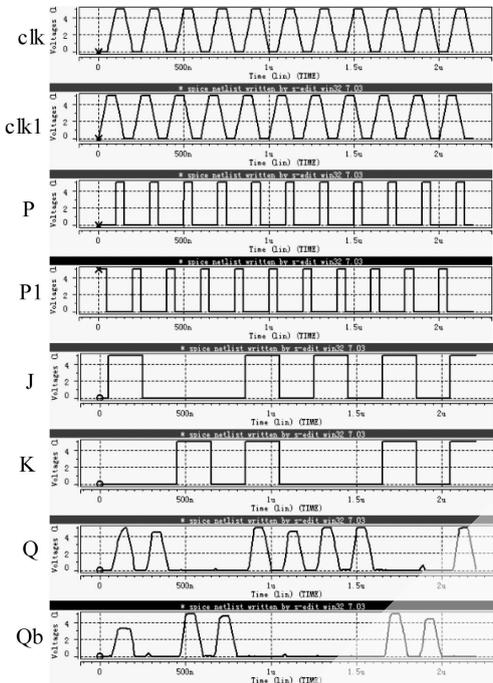


图 7 改进型 ECRL JK 触发器仿真结果

在 R-S 触发器中功耗主要来自 clk 功率时钟对节点电容充放电产生的绝热功耗; P 时钟工作期间, 电流通过 MN11、MN12 的沟道电阻产生的非绝热功耗; MN2、MN4 栅电容为保存前一周期状态而存储的一部分电荷。由于这部分电荷无法回收而损失掉, 所以 MN11、MN12、MN2 和 MN4 均采用模型决定的最小尺寸。

J-K 触发器功耗除了与 R-S 触发器一样 clk 和 P 时钟对应产生的功耗外, 还有附加时钟 P1 工作期间产生的非绝热功耗。这主要是 MN2、MN3、MN5 和 MN8 为保持逻辑状态存储的一部分无法回收的电荷。C1 和 C2 作为辅助存储输出端状态的元件, 其自身不产生功耗, 但其存储的电荷无法被回收, 故而设计中使 C1 和 C2 与 MOS 管的栅电容相当, 从而降低能量的损失, 本设计中将 C1 和 C2 取为 1fF。

利用 Hspice 模拟了 5 V 峰值电压, 驱动 4 pF 负载电容时功耗随频率的变化情况, 如表 1 所示。

同时模拟了相同工艺尺寸和条件下的 ECRL 触发器^[6]的功耗随频率变化情况, 如表 2 所示。

本文利用改进型的 ECRL 电路, 设计了新的电路结构形式的 RS、JK 触发器。通过 Hspice 仿真表明, 其功耗相比传统的触发器以及已有的 IAPDL 触发器都有了明显的降低。与 ECRL 触发器功耗相比, 其 RS 触发器功耗略有增加, 但是 JK 触发器由于采用的是与 ECRL JK 触发器完全不同的电路结构, 用 2 个时钟取出保持前一周期

表 1 改进型 ECRL RS 触发器、JK 触发功耗随频率变化情况

频率/MHz	RS 触发器功耗/W	JK 触发器功耗/W
5	2.32×10^{-4}	3.18×10^{-4}
10	6.87×10^{-4}	5.34×10^{-4}
20	1.62×10^{-3}	1.09×10^{-3}
40	3.04×10^{-3}	2.13×10^{-3}
80	4.25×10^{-3}	3.49×10^{-3}
100	4.5×10^{-3}	3.73×10^{-3}

表 2 ECRL RS 触发器的功耗随频率变化情况

频率/MHz	RS 触发器功耗/W	JK 触发器功耗/W
5	1.87×10^{-4}	6.71×10^{-4}
10	5.92×10^{-4}	9.19×10^{-4}
20	1.5×10^{-3}	2.14×10^{-3}
40	3.02×10^{-3}	3.45×10^{-3}
80	4.18×10^{-3}	4.25×10^{-3}
100	4.44×10^{-3}	1.39×10^{-2}

期的状态, 代替了 ECRL JK 触发器中的 3 个反相器, 平均动态功耗降低了 50.9%。

参考文献

- [1] ALEX G D, JOHN S D. Adiabatic dynamic logic [J]. IEEE journal of solid-state circuits, 1995, 30(3): 311-315.
- [2] YONG M, DENG K J. An efficient charge recovery logic circuit [J]. IEEE journal of solid-state circuits, 1996, 31(4): 514-522.
- [3] 戴宏宇, 周润德. 一种改进的能量回收逻辑电路 [J]. 微电子学, 2003, 33(2): 1004-3365.
- [4] LAU K T, LIU F. IAPDL-based low power adiabatic programmable logic array [J]. Microelectronics Journal, 2002; 31: 235-238.
- [5] NG K W, NG KA, LAU K T. Energy-recovery flip-flop design using improved adiabatic pseudo-domino logic structure [J]. Microelectronics Journal, 1999(30): 851-854.
- [6] NG K W, LAU K T. ECRL-based low power flip-flop design [J]. Microelectronics Journal, 2000(31): 365-370.

(收稿日期: 2009-09-16)

作者简介:

郭宝增, 男, 1953 年生, 教授, 硕导, 主要研究方向: 集成电路设计;

张亚朋, 男, 1982 年生, 硕士, 主要研究方向: 绝热 CMOS 集成电路设计。