

数字下变频中的 FPGA 高效滤波器设计

李 夏, 刘 皓

(电子科技大学 通信抗干扰国家级重点实验室, 四川 成都 610054)

摘 要: 介绍了一种在 FPGA 上实现高效窄带有限冲击响应滤波器(FIR)的设计方法。该方法利用数字下变频抗混叠滤波器的多速率和窄带的特点, 采用插值 FIR 滤波器(IFIR)和多相滤波器相结合的设计思路, 实现了该滤波器的高效设计。

关键词: IFIR; 多相滤波器; 数字下变频

中图分类号: TN924

文献标识码: A

Design of FPGA optimized FIR filters in digital down converter

LI Xia, LIU Hao

(National Communication Lab, UESTC, Chengdu 610054, China)

Abstract: This paper mainly discusses the implementation of the area optimized narrow-band finite impulse response filters of digital down converter. To exploit the characteristic of multirate as well as narrow-band of the anti-overlap filters of DDC, the interpolated FIR filter and the polyphase filter are combined together to implement the area efficient decimation filter.

Key words: interpolated finite impulse response; polyphase filter; digital down converter(DDC)

数字下变频的主要目的是将 A/D 转换输出的数字中频信号搬移至基带, 再通过下采样, 完成信道提取的任务。因此, 数字下变频器由本地振荡器、混频器和下采样器组成, 其结构如图 1 所示。

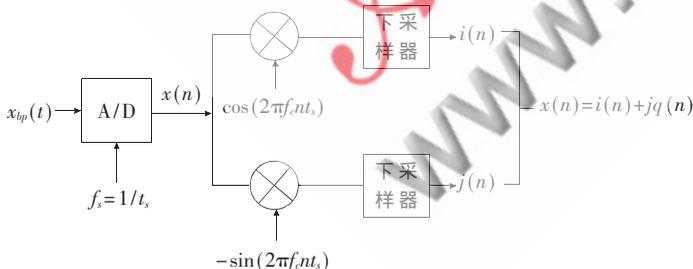


图 1 数字下变频器结构

A/D 取得数字中频信号后, 用混频器将该信号下变频至零频附近, 将采样得到的数字信号乘以 $\cos(2\pi f_c n T_s)$ 得到同向分量, 再乘以 $-\sin(2\pi f_c n T_s)$ 得到正交分量。由于此时的信号一般都有较高的采样率, 而系统带宽通常很低, 故需要将采样率降低到一个较低的水平以减少不必要的的数据量。由于下采样可能产生的频谱混叠, 设计中将采用高性能的窄带线性相位滤波器作为抗混叠滤波

器。在数字下变频器中, 滤波器将占用主要的芯片资源, 故如何在满足性能要求的情况下尽可能地降低电路复杂度至关重要。

本文主要讨论如何在 FPGA 平台下高效实现多速率线性相位滤波器。相对于传统的 FIR 直接型滤波器设计, 本设计将多相滤波器与由 Neuvo 最先提出的 Interpolated FIR (IFIR) 滤波器^[1]相结合, 并综合 FPGA 自身的特点, 提出一种高效的 FPGA 滤波器实现方法, 具体介绍了如何实现一个高效的下采样滤波器。

1 IFIR 基本原理

常见的线性相位滤波器采用的都是标准的延迟线结构。但是, 针对特殊要求可以有更高效的滤波器。通常, 下采样滤波器的设计要求都是信号带宽远小于系统采样频率的窄带滤波器。而 IFIR 滤波器就是一种可以运用在此条件下的高效窄带滤波器。IFIR 滤波器的结构如图 2 所示。

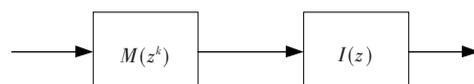


图 2 IFIR 滤波器结构

IFIR 滤波器的结构并非多速率结构,其数据采样率在输入端和输出端都是一样的。IFIR 滤波器名称中的 I 所指的内插实际上是体现在滤波器冲击响应中^[2]。

IFIR 滤波器中的第 1 级传输函数 $M(z^k)$ 是一个 z^k 的函数。它的具体实现是将 $M(z)$ 滤波器中的延时单元 z^{-1} 替换为 z^{-k} ,即将原来 1 个延时单元替换为 k 个。这等价于在原来的冲击响应 $M(z)$ 中的每 1 个采样点后添加 $k-1$ 个 0。在数字信号处理中, k 倍的时域扩展导致 k 倍的频域收缩,也即在频域范围 $[0, 2\pi]$ 上产生 $k-1$ 个频域镜像。图 3 说明了在 $k=4$ 时,信号在频域上的变化。在由 $M(e^{j\Omega})$ 变到 $M(e^{j4\Omega})$ 的过程中,频域响应被压缩了 k 倍。如此,在没有增加任何计算量的情况下,滤波器的过渡带将变窄。而该运算仅需要一些存储单元。但是必须将频域收缩所产生的镜像信号滤除。这就是图 2 中 $I(z)$ 的作用。图 3(b) 中虚线处是 $I(z)$ 所需要的频域响应。该滤波器组的传输函数为:

$$H(z) = M(z^k)I(z)$$

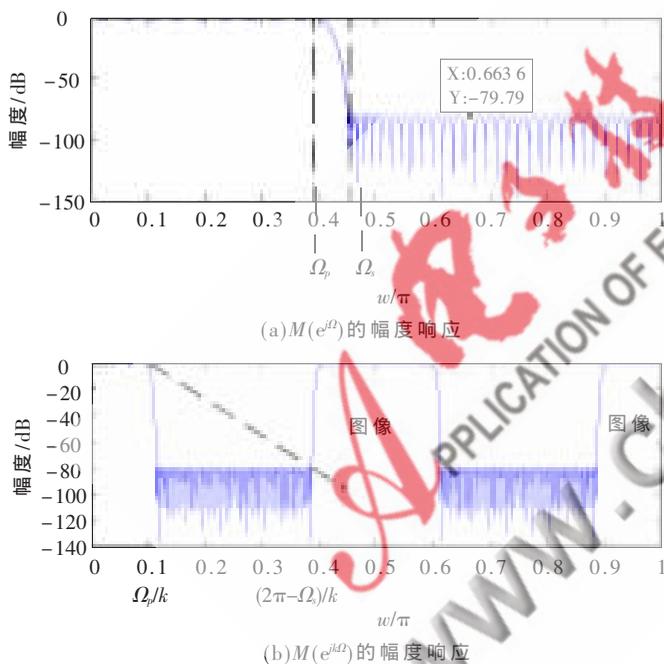


图 3 $k=4$ 时,IFIR 滤波器幅度响应在频域上的变化

若 1 个所需的滤波器的通带截止频率和阻带截止频率分别为 $\Omega_{p,H}, \Omega_{s,H}$,则需要的滤波器 $M(z)$ 应具有的参数为 $\Omega_{p,M} = k\Omega_{p,H}, \Omega_{s,M} = k\Omega_{s,H}$ 。而为了滤除 $M(z^k)$ 中的镜像成分, $I(z)$ 的频率特性为 $\Omega_{p,I} = \Omega_{p,H}, \Omega_{s,I} = 2\pi/k - \Omega_{s,H}$ 。所需滤波器的峰值通带波纹为 $\delta_{p,H}$ 。但是 $M(z)$ 和 $I(z)$ 滤波器不能采用该参数,它们必须有一个更小的峰值通带波纹。在这里,原滤波器的波纹参数被均匀地分配在 2 个滤波器 $M(z)$ 和 $I(z)$ 上。即: $\delta_{p,M} = \delta_{p,I} = 1/2(\delta_{p,H})$ 。而 2 个滤波器最小阻带衰减与原滤波器参数是一样的, $\delta_{s,M} = \delta_{s,I} = \delta_{s,H}$ 。

$M(e^{j4\Omega})$ 频域上的压缩降低了滤波器的运算量,但与此同时,系统引入的 $I(z)$ 同样有计算上的需求。在许多情况下,合理地设置 k 值可以使所需的镜像抑制滤波器有平缓的过渡带,从而,相对于传统的 FIR 滤波器,IFIR 的滤波器系数更少,并因此计算需求量较小。

2 多级 IFIR 下采样滤波器设计

以上的 IFIR 设计中并没有采样率的变化。但在一个下采样滤波器设计中,将 IFIR 滤波器设计方法和滤波器的多项实现相结合可以产生更加高效的滤波器设计。

为了说明这一设计方法,下面将介绍这一设计思路在一个现实的通信系统中的应用。该通信系统为一短波通信系统,信号带宽为 40 kHz,载波频率为 12 MHz,A/D 采样率为 40 MHz。混频器将 A/D 采样后的数字信号频谱搬移至零频附近。单边信号带宽为 20 kHz,远小于信号的采样频率,故需做降采样处理。在本系统中,采样率由 40 MHz 转换为 160 kHz,也即进行了 250 倍下采样。滤波器所具有指标为: $\omega_{pass,H} = 20$ kHz, $\omega_{stop,H} = 24$ kHz, $\delta_{p,H} = 0.003$ dB, $\delta_{s,H} = 80$ dB。

若在采样率 $f_s = 40$ MHz 情况下,滤波器归一化频率为 $\omega_{pass} = 1e-3, \omega_{stop} = 1.2e-3$ 。可以看出该滤波器的过渡带很窄。用 Matlab 估计,其阶数将大于 11 393。若在 FPGA 中实现,该滤波器将占用芯片大量面积。

如果考虑基于 IFIR 的设计方法,图 4 表示了一个采用 IFIR 滤波器结构的下抽样器。

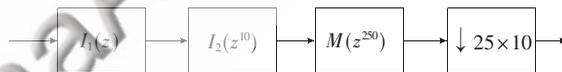


图 4 采用 IFIR 滤波器结构的下抽样器

其结构为 1 个 IFIR 滤波器和 1 个下抽样器。这里的 IFIR 滤波器与图 2 的 IFIR 滤波器原理一致,仅仅将 $I(z)$ 分为 2 个滤波器。一般情况下,通过将抽样率转换系统设计为几个阶段级联的形式,计算的效率会得到明显的改善。有关如何将系统分级的问题,在参考文献[3]中有详细的介绍。

简单的级联等价关系如图 5 所示。

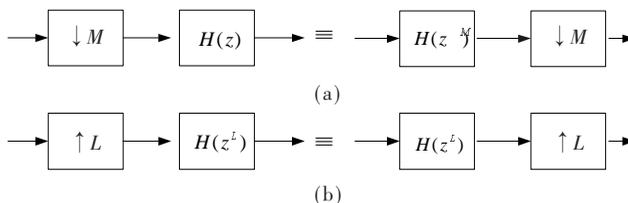


图 5 级联等价关系

运用图 5(a) 的等价关系,可以将图 4 的系统变换成图 6 的形式。

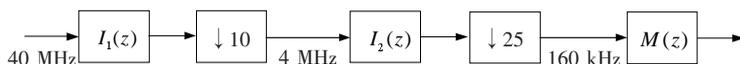


图 6 IFIR 滤波器结构的下抽样器等价结构

下面将考虑如何设计这些滤波器的参数。为了简便，将所有滤波器的通带波纹设置为相同，即 $\delta_{p,I_1} = \delta_{p,I_2} = \delta_{p,M} = \frac{1}{3} \delta_{p,H} = 0.001$ 。而阻带衰减则都与原型滤波器相同，为 $\delta_{s,I_1} = \delta_{s,I_2} = \delta_{s,M} = \delta_{s,H} = 80$ dB。

在设置滤波器频率响应时，自图 6 中的 $M(z)$ 开始，分步将系统结构变换到图 4 的状态，从而确定各滤波器的参数。实际实现的则是图 6 的结构。

$M(z)$ 输入信号采样率为 160 kHz， $M(z)$ 的通带和阻带截止频率的归一化频率为 $\omega_{pass} = 0.25$ 、 $\omega_{stop} = 0.3$ 。使用 Equiripple 的设计方法，用 Matlab 得到 1 个 192 阶滤波器。其频率响应如图 7 所示。

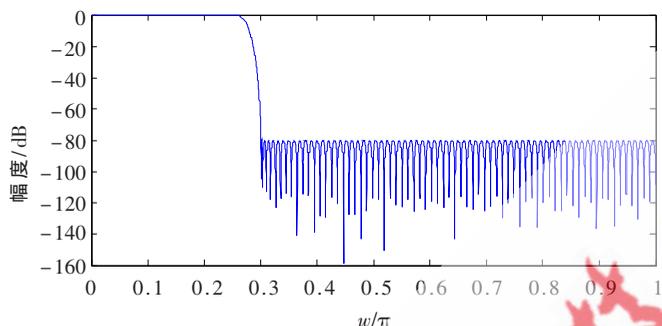


图 7 $M(z)$ 的幅度响应

运用图 5(a) 的等价关系，可以得到 $I_2(z)$ 所需频谱特性，如图 8 所示。此时信号采样率为 4 MHz。如上所述， $\Omega_{p,I_2} = \frac{1}{25} \Omega_{p,M} = 0.25/25 = 0.01$ ， $\Omega_{s,I_2} = 2/25 - \Omega_{s,M}/25 = (2 - 0.3)/25 = 0.068$ 。经 Matlab 仿真可得 156 阶 Equiripple FIR 滤波器。

通过将 $I_2(z)$ 与 $M(z^{25})$ 作相关运算可得 $I_2(z)M(z^{25})$ 的频谱响应，其参数为 $\Omega_{p,I_2M} = 0.01$ 、 $\Omega_{s,I_2M} = 0.012$ 。将 $I_2(z)M(z^{25})$ 作为一个整体，转换到 10 倍下采样的输入端，则可以确定 $I_1(z)$ 的滤波器参数。

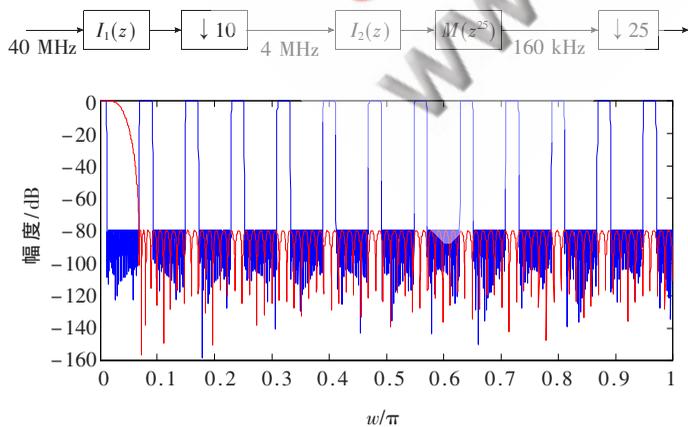


图 8 $I_2(z)$ 和 $M(z^{25})$ 的幅度响应

与求 $I_2(z)$ 的方法类似， $\Omega_{p,I_1} = \frac{1}{10} \Omega_{p,I_2M} = 0.01/10 = 0.001$ ， $\Omega_{s,I_1} = 2/10 - \Omega_{s,I_2M}/10 = (2 - 0.012)/10 = 0.1988$ 。经 Matlab 仿真可得 43 阶 Equiripple FIR 滤波器，如图 9 所示。

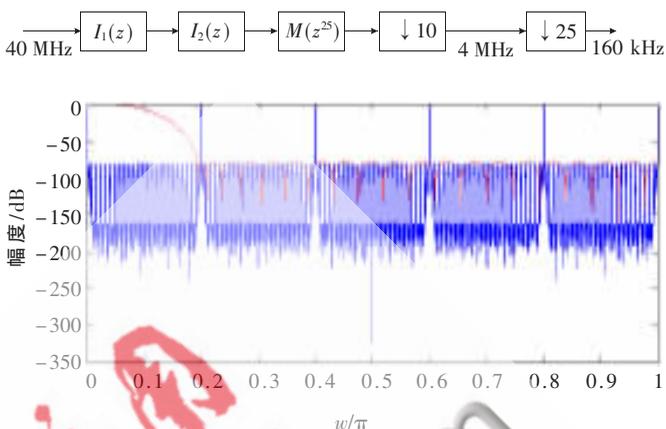


图 9 $I_2(z)$ 和 $I_2(z^{10})M(z^{250})$ 的幅度响应

3 IFIR 与多项分解共同实现的高效滤波器

为进一步提高硅片运算效率，图 9 中的 $I_1(z)$ 和 10 倍下采样部分在 1 个多项滤波器中同时完成。对 $I_2(z)$ 和 25 倍下采样部分采用同样的实现方法。所得滤波器结构如图 10 所示。

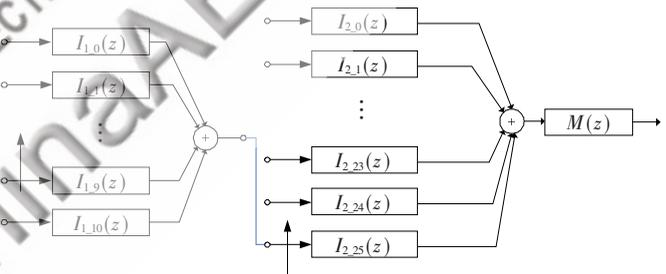


图 10 多相滤波器的实现结构

$I_1(z)$ 在该结构中 被分为 10 个子滤波器。本设计中，每个小滤波器阶数是一样的。实际设计中，子滤波器的阶数可以不同，但会增加系统中控制逻辑的复杂度。在子滤波器有相同长度时，每 1 个子滤波器阶数为 $N_m = \lceil N/k \rceil$ 。其中， N 为原滤波器阶数， k 为下采样倍数， N_m 为每 1 个子滤波器阶数。所以， $I_1(z)$ 的子滤波器阶数为 $N_m = \lceil 43/10 \rceil = 5$ 。但是，分解后的 $I_1(z)$ 将有 50 阶。可将滤波器最末尾的冲击响应置 0，以表示多出的滤波器阶数，并保证与原滤波器有相同的冲击响应。若补 0 到滤波器最前端，则会导致延迟的增加，相当于在频域响应上产生了 1 个相移。在需要补 0 的情况下，也可手动将滤波器的阶数增加，从而获得更好的滤波器响应，而不会因补 0 引入额外的硬件电路。

多项滤波器中，若输入信号采样率为 f_s ，则多项滤波器的每 1 个子滤波器只需工作在输出采样率为 f_s/M

上,也即是子滤波器的运算可以通过折叠的方式复用。但多项滤波器的数据输入以 round-robin 方式传到每个子滤波器,所以该数据输入模块必须工作在输入信号采样频率下。

$M(z)$ 采用直接 FIR 方式实现。虽然其阶数高达192阶,但输入数据的采样率很低,仅 160 kHz,仍可利用这一特性实现高效设计。在系统时钟为 40 MHz 情况下,数据之间有 250 个时钟周期的间隔。故可以将其用 DA 算法折叠起来,从而极大地降低面积占用。

4 电路实现分析

本文所提出的设计思路已经在实际系统中得到应用,并取得了良好的使用效果。在实现时,滤波器参数如前所述。所有滤波器内部采用全精度运算,而在输出端数据格式为 16 bit 有符号数。滤波器组输入数据也为 16 bit 有符号数。系统采用的 FPGA 为 Xilinx 2vp70ff1704-5。

其资源占用如下:

Number of Slices:	1762 out of 33088	5%
Number of Slice Flip Flops:	2295 out of 66176	3%
Number of 4 input LUTs:	3071 out of 66176	4%
Number used as logic:	2702	
Number used as Shift registers:	353	
Number used as RAMs:	16	
Number of BRAMs:	2 out of 328	0%
Number of MULT18X18s:	4 out of 328	1%
Minimum period:	7.611ns (最大频率:131.381 MHz)	

而采用传统的 IFIR 结构,系统的资源占用如下:

Number of Slices:	4374 out of 33088	13%
-------------------	-------------------	-----

Number of Slice Flip Flops:	8078 out of 66176	12%
Number of 4 input LUTs:	6877 out of 66176	10%
Number used as logic:	6319	
Number used as Shift registers:	558	
Number of MULT18X18s:	1 out of 328	0%
Minimum period:	5.424 ns (最大频率:184.359 MHz)	

采用本文所提出的方法实现的系统相对于只采用 IFIR 滤波器的设计仅占用 40.28% 的面积。但由于多项结构所具有的复杂的逻辑电路,使电路的关键路径变长,可工作的最大频率有所下降。但相对系统工作频率 40 MHz,仍有相当的余量。

若仅采用多项结构,如前文所描述,滤波器阶数在 11 393 以上,不具可行性,故没有具体实现。

综上所述,滤波器在数字下变频设计中占用了大多数片上资源,若能采用高效的滤波器设计,可以降低电路复杂度。本文提出的 IFIR 与多项滤波器结合的下采样滤波器具有较高的运算效率,能有效应用于软件无线电接收机中,具有重要的工程指导意义。

参考文献

- [1] NEUVO Y, YU D C, MITRA S J. Interpolated finite impulse response filters [J]. IEEE trans.Acoustics Speech and Signal Processing,1984,32:563-570.
- [2] DICK C. Implementing area optimized narrow-band FIR filters using[M]. Xilinx, 1998.
- [3] MITRA S K. Digital signal processing [M]. A Computer Based Approach, Third Edition, McGraw Hill, New York, NY,2006:576-579.

(收稿日期:2009-06-09)