

# 基于 FPGA 和 TMS320DM642 的 CCD 图像采集和处理系统硬件设计

郑百源<sup>1,2</sup>, 程远增<sup>1</sup>, 任锁柱<sup>3</sup>

(1.军械工程学院光学与电子工程系, 河北 石家庄 050003;  
2.75134 部队, 广西 崇左 532200; 3.71781 部队, 河南 洛阳 471000)

**摘要:** 为能高速、有效、实时采集 CCD 视频图像, 提出了一种实时视频图像采集和处理系统设计方案。重点介绍其硬件设计原理、关键电路的设计, 其主要功能是从 CCD 摄像头输出的模拟视频信号中提取实时图像, 数字化后送入处理器作后期图像处理和分析。

**关键词:** 图像采集; 图像处理; FPGA; TMS320DM642; SAA7115

**中图分类号:** TP274

**文献标识码:** A

## Hardware design of CCD image acquisition and data processing system based on FPGA and TMS320DM642

ZHENG Bai Yuan<sup>1,2</sup>, CHENG Yuan Zeng<sup>1</sup>, REN Suo Zhu<sup>3</sup>

(1.Department of Optics and Electronics Engineering, Ordnance Engineering College, Shijiazhuang, 050003, China;  
2.Army75134, Chongzuo, 532200, China; 3.Army71781, Luoyang 471000, China)

**Abstract:** Aiming at how to acquire the CCD video in an effective and high-speed and real-time way, a hardware design of CCD image acquisition is provided. In this paper, focusing on the hardware design principles and crucial design, the function of the system is to extract real-time images from the analog video signals of the CCD camera, then digitize them and send them to the processor for subsequent image processing and analysis.

**Key words:** image acquisition; data processing; FPGA; TMS320DM642; SAA7115

当 CCD 产生的视频信号为模拟信号时, 对其直接传输、存储和处理比较困难, 须要将模拟视频信号转换为数字视频信号, 以便对其进行处理, 并进行高效可靠的传输和存储。当前, 数字图像采集和处理系统不仅要面临高速宽带、高精度的挑战, 而且对采样时机、采样点数、采样速率的可控性也提出了较高的要求, 本文提出了一种实时图像采集和处理系统的设计方法, 该系统以 TMS320DM642<sup>[1-2]</sup>为核心, 结合视频解码芯片 SAA7115H 和 OSD FPGA 构成实时图像采集和处理系统电路。

### 1 系统总体设计

#### 1.1 系统结构

本系统以 TMS320DM642 为核心, 采用模块化设计思想, 整个系统主要由视频解码芯片(A/D 转换芯片)、可

编程逻辑门阵列(OSD FPGA)、TMS320DM642 及外围电路组成。外围电路主要包括 CCD 摄像机、SDRAM 图像存储器、FLASH 程序存储器及 TMS320DM642 外围电路(复位、电源连接等)。图 1 为该系统的结构框图。

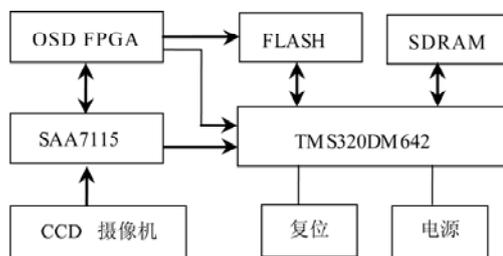


图 1 系统结构模块框图

## 1.2 系统工作原理

由 CCD 摄像头摄入的 PAL 制图像传送到 SAA7115 解码器, SAA7115 解码器将信号转变成并行的 BT.656 图像码流送至 TMS320DM642 视频口 VP0, TMS320DM642 将其再解码, 得到 YUV(4:2:2)格式的图像, 并通过 EDMA 传输到动态存储器 (SDRAM) 中存储, 图像大小为每场  $720 \times 288$  (宽  $\times$  高), 每帧  $720 \times 576$  (宽  $\times$  高)。CPU 通过访问 SDRAM 中的图像数据, 依照相应的程序进行相应的图像处理。

在实时图像处理系统中, 为了不影响数据处理速度, 需要在恒速的 CCD 图像采集与变速的 TMS320DM642 图像处理之间加入缓冲电路, 缓冲采用 TMS320DM642 视频口的片内 FIFO 和片外 SDRAM 的乒乓缓存结构。“乒乓操作”是一个经常应用于数据流控制的处理方法, 如图 2 所示, 其处理流程为: 输入数据流通过指针等时地将数据流分配到数据缓冲区 1、2 和 3 中, 在第 1 帧的时间, 将输入的数据流缓存到 1; 第 2 帧将输入的数据流缓存到 2, 与此同时, 将 1 的数据作运算处理。在下一个缓冲周期, 再次切换, 将输入的数据流缓存到 3, 与此同时, 将 2 的数据运算处理。如此循环, A、B、C、D、E 为其 5 种状态。

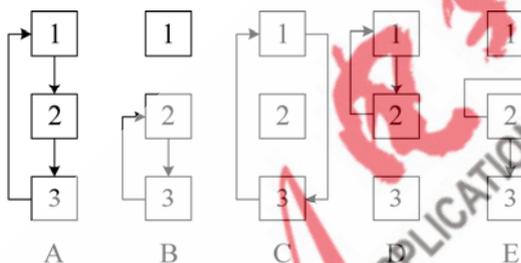


图2 “乒乓操作”原理

乒乓操作的最大特点是按节拍、相互配合地切换, 将经过缓冲的数据流不停顿地进行运算及处理。把乒乓操作模块当作一个整体, 此模块两端的输入数据流与输出数据流均是连续不断的, 没有任何停顿, 因此非常适合进行流水线式处理, 完成数据的无缝缓冲与处理。

## 2 功能模块设计

### 2.1 视频采集模块

本系统采用 Philips 公司的 SAA7115 视频解码芯片将 CCD 模拟视频进行数字化, 然后传给 TMS320DM642 的视频端口进行处理, 同时分离水平同步 (XRH) 和垂直同步 (XRV) 等信号。

视频解码芯片采用 SAA7115, 省去时钟同步电路的设计, 简化接口电路, 提高系统的可靠性。由摄像机采集到的模拟信号经过视频端子进入到解码器 SAA7115 的模拟端 AI11, 经模拟处理和 A/D 转换后产生数字色度信

号和亮度信号, 分别对其进行处理。亮度信号处理的结果一路送到信号处理器, 进行综合处理, 产生 Y 和 UV 信号, 经格式化后采用 4:2:2 YUV 格式从 IPD[7-0] 输出直接连接到 TMS320DM642 视频口的 VP0[9-2] 管脚; 另一路经过同步分离器, 由数字 PLL 产生相应的同步信号与 TMS320DM642 的 VP0CTL0 和 VP0CTL1 相连, 同时 PLL 驱动时钟发生器, 产生 27 MHz 的时钟同步信号 LLC, 输出到 TMS320DM642 的 VP0CLK0 管脚。解码器 SAA7115 与 TMS320DM642 的视频接口的原理如图 3 所示。

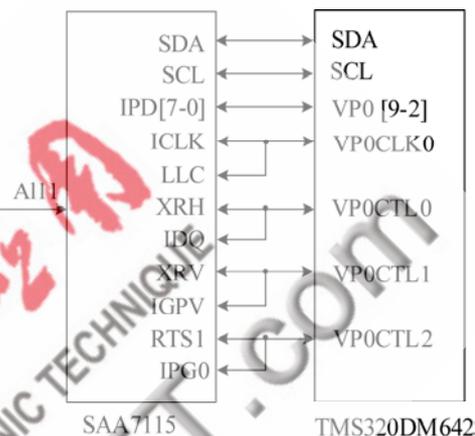


图3 视频接口的原理图

所有这些功能均在 I<sup>2</sup>C 总线控制下完成。SCL 作为 I<sup>2</sup>C 接口的时钟线与 TMS320DM642 的 SCL 相连, SDA 作为 I<sup>2</sup>C 接口的数据地址线与 TMS320DM642 的 SDA 相连。通过 SCL 和 SDA 的时序配合, 可由 TMS320DM642 向 SAA7115 的寄存器写入数据或读出数据。

### 2.2 TMS320DM642 图像处理模块

本系统中视频口 VP0 作为输入, 与视频解码器 SAA7115 的 IPD 相连。从解码器 SAA7115 出来的 BT.656 数据流进入 VP0 口后, 经由 BT.656 捕获通道, 进入到视频口缓冲区中, 每个视频口都有 1 个 5 120 B 的视频输入/输出缓冲区, 视频口输入的数据分别进入捕获 FIFO A 和 FIFO B, 其中 Y 缓存 2 560 B, Cb 和 Cr 缓存分别为 1 280 B。根据输出的同步脉冲产生帧存储器的地址信号、读写和片选等控制信号, 将图像逐帧存入 SDRAM 存储器中, 通过中断通知 TMS320DM642 读取。TMS320DM642 通过 EDMA 事件实现视频口缓冲区和片内 L2 存储器之间的数据传递。用户编程设定 1 个缓冲区阈值用以产生 EDMA 事件。BT.656 格式的数据流经由捕获通道分别进入各自的缓冲区, 并打包成 64 B 的双字。当双字增至缓冲区阈值时触发 EDMA 事件, 存储器映射寄存器即作为 EDMA 数据传输的源地址。为保证每一场的数据能够全部传完且没有遗漏, 每次 EDMA 传输的数据大小应等于阈值。由于 TMS320DM642 的强大处理能力, 用户算法作为任务线程

嵌入 TMS320DM642 软件系统中。

### 2.3 外围存储模块

本系统的 TMS320DM642 在视频图像的处理时, 处理过程中会产生大量数据, 而其内部最多仅有 256 KB 的 RAM, 所以需要扩展大容量的外部存储器才能满足数据处理的需要。本系统选用 2 片 SDRAM 用于存储程序、数据和缓存数字视频信息, 选用 1 片 FLASH 存储器用于固化程序和一些掉电后仍需保存的用户数据。SDRAM 芯片和 FLASH 芯片均通过 TMS320DM642 的 EMIF 口实现无缝连接<sup>[3]</sup>。TMS320DM642 的 EMIF 有 4 个独立的可设定地址的区域, 称为芯片使能空间 (CE0~CE3), 当 FLASH 和 FPGA 映射到 CE1 时, SDRAM 占据 CE0, CE3 的一部分被配置给 OSD 功能的同步操作和扩展的 FPGA 中的其他同步寄存器操作。本系统合并形成了一个 64 bit 长的外部存储器端口, 将地址空间分割成了 4 个芯片使能区, 允许对地址空间进行 8 bit、16 bit、32 bit 和 64 bit 的同步或不同步的存取, 并且使用了芯片使能区 CE0、CE1 和 CE3。CE0 被发送给 64 bit 的 SDRAM 总线, CE1 被 8 bit 的 FLASH 和 FPGA 功能使用, CE3 被设置成同步功能。

#### 2.3.1 SDRAM 存储器

本系统采用 MT48LC4M32B2<sup>[4]</sup>来构成 SDRAM 存储器, 大小为 1 M × 32 bit × 4 banks, 在 CE0 空间连接了 64 bit 的 SDRAM 总线。总线由外部 PLL 驱动设备控制, 在 133MHz 的最佳运行状态下运行, SDRAM 的刷新由 TMS320DM642 自动控制。TMS320DM642 的 EMIF 与 SDRAM 接口图如图 4 所示。

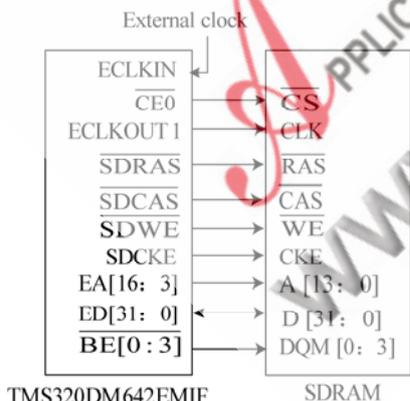


图 4 TMS320DM642 的 EMIF 与 SDRAM 接口图

#### 2.3.2 FLASH 存储器

本系统扩展 4 M 的 FLASH, 映射在 CE1 空间的低位。FLASH 寄存器选用 4 M × 8 bit 的 AM29LV033C。FLASH 寄存器主要用来导入装载和存储 FPGA 的配置信息。CE1 空间被配置成 8 bit, FLASH 寄存器也是 8bit。由于 CE1 的可利用地址空间小于 FLASH 的空间, 所以利用

FPGA 可产生 3 个扩展页。这些扩展的线形地址通过 FPGA 的 FLASH 基础寄存器进行定义, 复位后的默认值是 000。TMS320DM642 的 EMIF 和 FLASH 的接口图如图 5 所示。

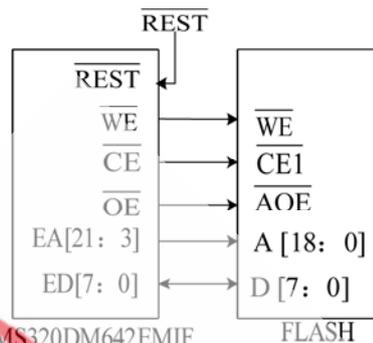


图 5 TMS320DM642 的 EMIF 和 FLASH 接口图

### 2.4 OSD FPGA 模块

FPGA 负责完成所有芯片的接口和控制, 其中包括 SAA7115 与 I<sup>2</sup>C 总线的接口、复位控制信号以及与 TMS320DM642 的 EMIF 接口和外设接口等, 其体系结构图如图 6 所示。本系统的 OSD FPGA 功能模块的芯片型号为 Xilinx XC2S300E-6PQ208C<sup>[5]</sup>, 主要用来完成以下工作:

- (1) 通过寄存器使用 TMS320DM642 外部存储器接口 (EMIF);
- (2) 通过可编译寄存器使用 TMS320DM642 的 EMIF 接口控制 GPIO;
- (3) 产生 EMIF 缓冲控制信号 (DIR 和 OE);
- (4) 提供对于 PLL1708 的连续控制接口;

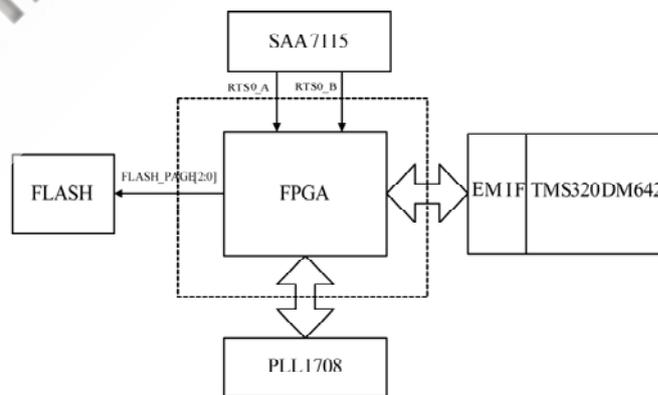


图 6 FPGA 体系结构图

- (5) 为 FLASH 产生 3 页 bit 空间;
- (6) 使用 SAA7115 的同步信号。

### 2.5 电源和复位模块

该系统通过单 +5 V 供电, 在板子内部转换为 +1.4 V 和 +3.3 V, 为各器件供电。+3.3 V 为 TMS320DM642 的 I/O 口、解码器及其他芯片的电源, +1.4 V 为 TMS320DM642

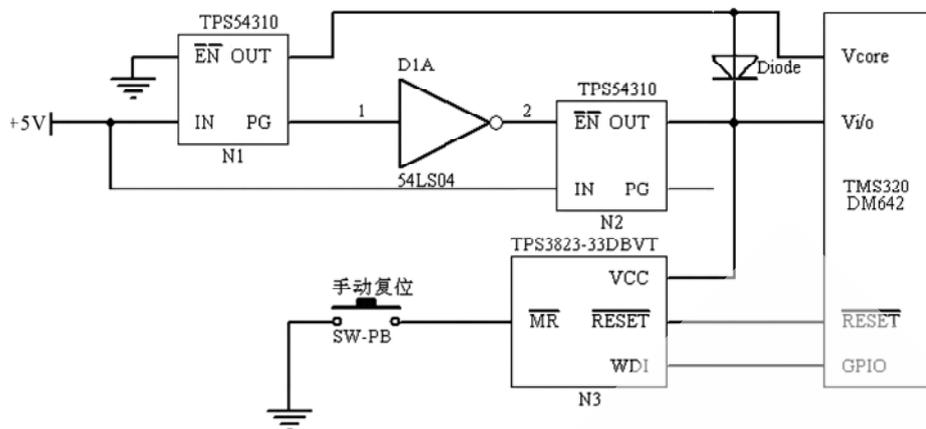


图7 电源与复位电路连接图

CPU 内核电源。TMS320DM642 内核电压 +1.4 V，外设 I/O 电压 +3.3 V，降低内核电压主要是降低功耗，外部接口引脚采用 +3.3 V 电压，便于直接与外部器件接口。由于是 2 种不同的电压，所以要考虑供电系统的配合问题。在加电过程中，保证 CPU 内核电源先加电，最晚也应当与外设 I/O 电源同时加电。关闭电源时，先关闭 I/O 电源，再关闭内核电源。如果内核加电晚于 I/O，则会发生内部总线竞争，从而产生不可预定的结果。因此，选用电源芯片 TPS54310<sup>[6]</sup> 获得上述 2 种电压，并利用其电源输出有效引脚 PG 和允许电压输入引脚 EN 保证 TMS320DM642 的内核和 I/O 上电掉电顺序。

为防止系统程序进入死循环或因电压波动而产生异常，本系统用看门狗芯片来控制系统复位。这里采用 TI 的 TPS3823-33DBVT<sup>[7]</sup> 看门狗芯片，它由 +3.3 V 电源供电，能对电源电压进行监控，当电源电压降至 2.93 V 以下时触发复位信号，使整个系统进入复位状态，直至电源电压复原，复位信号的最小长度为 200 ms。同时，还含有一看门狗计时器，用来监测来自处理器芯片的跳变沿触发信号，如果 1.6 s 内未接收到触发信号，它同样让系统进入复位状态并持续 200 ms，这样可在系统程序进入死循环后重新启动系统。TMS320DM642 电源与复位电路的连接图如图 7 所示。

### 3 抗干扰设计

由于高频脉冲噪声对本系统危害最大，为了提高系统的抗干扰性能，可采取以下措施：

(1) 优化 PCB 印制板的设计。在本系统中应当：

① 采用短而宽的导线来抑制干扰。时钟引线、总线驱动器的信号线常有大的瞬变电流，其印制导线要尽可能短。对于分立元件电路，印制导线宽度在 1.5 mm 左右即可满足要求；对于集成电路，印制导线宽度在 0.5 mm~1.0 mm 之间选择；

② 传输多种电平信号时，尽量把前、后沿时间相近的电平信号划为一组传输；在双面印制板的背面布置较大面积的地线区域，可对部件产生的高频脉冲噪声起到吸收和屏蔽的作用；分开模拟和数字电源层；

(2) 增加总线的抗干扰能力。采用三态门形式的总线结构，并给总线接上拉电阻，使总线在瞬间处于稳定的高电平而避免总线出现悬空状态。

本文面向实时图像采集和处理，采用模块化设计思想，以 TMS320DM642、SAA7115、OSD FPGA 等实现了视频图像采集和处理系统的硬件电路，该系统电路简单、结构紧凑、调节灵活、可靠性高、实时性强的特点，通过验证，满足设计的应用要求，可为今后视频图像采集和处理的进一步研发提供参考。

### 参考文献

- [1] Texas Instruments Incorporated. TMS320DM642 technical overview: DSP video and imaging digital applications [J]. 2002.
- [2] 任丽香. TMS320C6000 系列 DSPs 的原理与应用 [M]. 北京: 电子工业出版社, 2000.
- [3] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用 [M] (第 2 版). 北京: 电子工业出版社, 2003.
- [4] Micron Technology, MT48LC4M32B2 synchronous dRAM Data sheet, 2002.
- [5] 郭书军, 王玉花. 流水线技术在 FPGA 设计中的应用 [N]. 北方工业大学学报, 2004(3): 62-69.
- [6] Texas Instruments Incorporated. TPS54310 datasheet [Z]. 2002.
- [7] Texas Instruments Incorporated. TPS3823-XX processor supervisory circuits [Z]. 2002.

(收稿日期: 2009-02-24)