

# 基于锁相环技术的频率合成器的研究

李 鹏,于洪珍,徐小民,王 超

(中国矿业大学 信息与电气工程学院,江苏 徐州 221008)

**摘 要:** 针对锁相环技术频率合成器的教学实验演示,采用间接式频率合成技术,结合锁相环技术以及 CPLD 技术等相关技术,设计了一种新的实用型频率合成器。本文所设计的电路,通过键盘输入,数码管实时显示,方便直观地演示了频率合成器,达到了预期的要求和效果。与以前设计的电路相比较,在性能指标、用于演示的直观性和可操作性方面都有了一定的提高,它不仅可用于教学实验演示,还可以用作频率源、频率计等。

**关键词:** 锁相环;频率合成器;CPLD

中图分类号: TP277

文献标识码: A

## Research of frequency synthesizer based on phase-locked loop technology

LI Peng, YU Hong Zhen, XU Xiao Min, WANG Chao

(School of Information & Electrical Engineering, China University of Mining & Technology, Xuzhou 221008, China)

**Abstract:** Aiming at the phase-locked loop technology frequency synthesizer's teaching experiment, by using indirect frequency synthetic technique, combined with PLL technology, CPLD technology and other related technologies, this article designs a kind of new practical frequency synthesizer. This paper designed a system which demonstrates frequency synthesizer intuitively and easily through the keyboard input and the digital real-time display, and it achieves the expected requirements and results. Compared to the previous design of the system, the performance indicators, demonstration for the visual and operational aspects are increased. It not only can be used in the demonstration of teaching experiment, but also can be used as frequency source, frequency meter and so on.

**Key words:** phase-locked loop(PLL); frequency synthesizer; complex programmable logic device

锁相环(PLL)频率合成器广泛地应用于大规模数字集成电路,如视频图像处理系统、通讯系统和微处理器中的各种低抖动时钟都是由 PLL 频率合成器产生的<sup>[1]</sup>。

本文应用锁相环技术、频率合成技术、CPLD 技术及相关的电路设计软件 Protel99se 和 Altera 公司的 EDA 开发软件 MAXPLUS II,设计了一种基于锁相环的频率合成器,其目的是要把它应用到教学的演示实验中,以方便学生操作和学习。

### 1 锁相环频率合成器的基本原理

频率合成器的基本原理是:利用综合或合成的手段,综合晶体振荡器频率稳定度、准确度高和可变频率振荡器改变频率方便的优点,克服晶振点频工作和可变频率振荡器频率稳定度、准确度不高的缺点,而形成的《信息化纵横》2009 年第 9 期

频率合成技术<sup>[2]</sup>。

一个典型的锁相频率合成器的原理框图如图 1 所示。

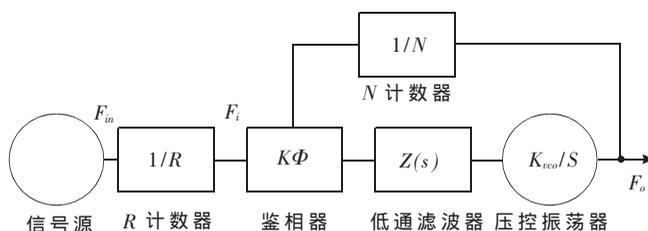


图 1 锁相频率合成器的原理框图

VCO 是一种电压-频率变换装置,具有一个比例常数  $K_{VCO}$ 。环路滤波器是一个低通滤波器,常用离散元件实现。本设计选用如图 2 所示的 RC 比例积分滤波

器, 它会把鉴相器输出的即使是微小的电压积累起来, 形成一个相当大的 VCO 控制电压。通过改变  $R_1$ 、 $R_2$ 、 $C$  的值来改变锁相环的性能。环路滤波器对锁相频率合成器的性能有很大影响。该控制电压调整了 VCO 的输出相位, 除以  $N$  后, 等于比较频率的相位。因为相位是频率的积分, 所以这个过程同样适用于频率, 其输出频率为:

$$F_o = \frac{N}{R} \times F_i \quad (1)$$

式中,  $F_o$  为输出频率,  $F_i$  为信号源输入频率, 只有在 PLL 处于锁定状态下才成立, 而在 PLL 重新调整到锁定状态的中间过程不成立。在实际应用中,  $R$  值是固定的,  $N$  值是可变的<sup>[3]</sup>。

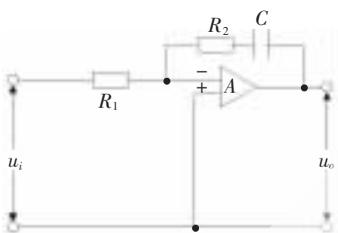


图2 源比例积分滤波器

在环路中加入  $N$  分频器之后, 对 VCO 来说, 它实际上就变成了倍频器。所以信号倍频的同时噪声也将增加, 因此在设计锁相环时  $N$  值不能太大<sup>[4]</sup>。

## 2 频率合成器系统设计

本设计在 Altera 公司 MAX+PLUS II 开发软件平台上, 利用 AHDL 语言进行系统设计, 结合 MAX7000 设计可变频锁相式频率合成器, 并通过 MAX+PLUS II 集成环境进行仿真、综合、验证。以锁相环集成芯片 CD4046 为核心设计的锁相式频率合成器系统框图如图 3 所示, 选择了 Altera 公司 MAX7000 系列的 EPM7128SLC84 芯片以及 DM74LS14、HD74LS00 和 6 MHz 的有源晶振 HS-SPXO 等器件来实现系统的设计。

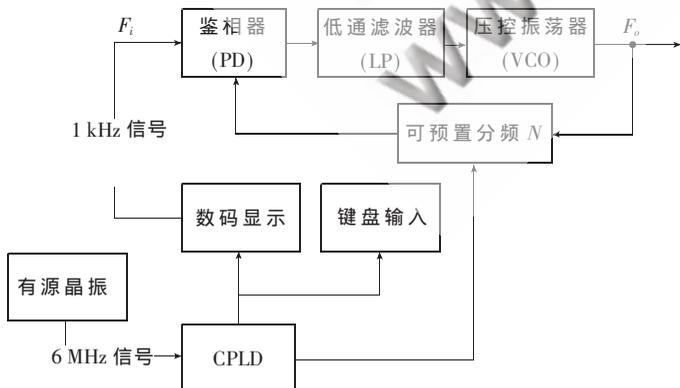


图3 锁相式频率合成器系统框图

图 3 中由 6 MHz 有源晶振通过 CPLD 的控制进行分频, 得到 1 kHz 的频率信号, 作为 CD4046 的输入信号,

VCO 的输出信号经过可预置分频器后, 两者在鉴相器中进行比较, 所产生的信号经 LP 放大后, 对 VCO 实现环路牵引, 使环路达到锁定目的。CPLD 控制可预置  $N$  的变化, 当  $N$  变化时, 输出信号频率响应跟着输入信号变化, 同时 CPLD 也实现了键盘输入与数码显示的功能。

## 3 分频比控制的设计

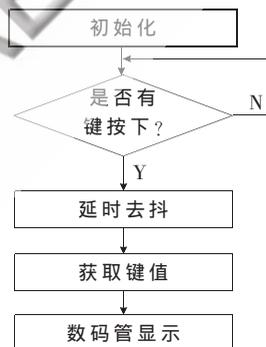
### 3.1 CD4046 部分电路设计

CD4046 是一款集成锁相环芯片, 是通用的 CMOS 锁相环集成电路, 包含鉴相器、压控振荡器 2 部分, 使用时需外接低通滤波器(图 2)形成完整的锁相环。其内部设有 1 个 6.2 V 的齐纳稳压管, 在需要时作为辅助电源。此芯片特点是: 电源电压范围宽(3 V~18 V)、输入阻抗高(约 100 M $\Omega$ )、动态功耗小, 在中心频率  $f_0$  为 10 kHz 下功耗仅为 600  $\mu$ W, 属低功耗器件。

实际电路中加了 2 片芯片, 分别为 HD74LS00(“与非门”)和 DM74LS14(“非门”), 用来滤波给波形去噪, 以得到比较理想的输出波形。

### 3.2 CPLD 部分电路设计

CPLD 集成芯片 EPM7128SLC84-15 用于实现信号源的分频, 可预置分频  $N$  的键盘输入及数码管的显示。实现频率合成器的键盘输入、数码管显示的程序流程图如图 4 所示, 设计电路如图 5 所示。

图4 实现可预置  $N$  控制的流程图

图中数码管选用的是四连一的数码管。键盘使用的是矩阵键盘。在设计中, 通过 JATG 接口把程序加装到 CPLD 芯片中, 以控制锁相式频率合成器的输出频率。

## 4 系统测试

本设计的目的是用于教学演示, 波形的好坏是最关心的问题。用示波器对频率合成器的波形进行检测得到的结果  $N$  分别为 3、9、28、99 的示波器组图, 如图 6 所示, 通过键盘输入改变  $N$  的值, 从而实现可变分频。图 6 中,  $F_i$  是从鉴相器 (PD) 的输入端输入的信号 (单位为 kHz, 见图 3);  $F_o$  是从压控振荡器 (VCO) 的输出端输出的信号 (单位为 kHz, 见图 3)。由图 6 可以看出, 实验结果达到了预期的要求。

本设计不仅可用来做频率合成器, 还可以根据需要作为频率源使用, 因为其使用有源晶振, 可以根据需要

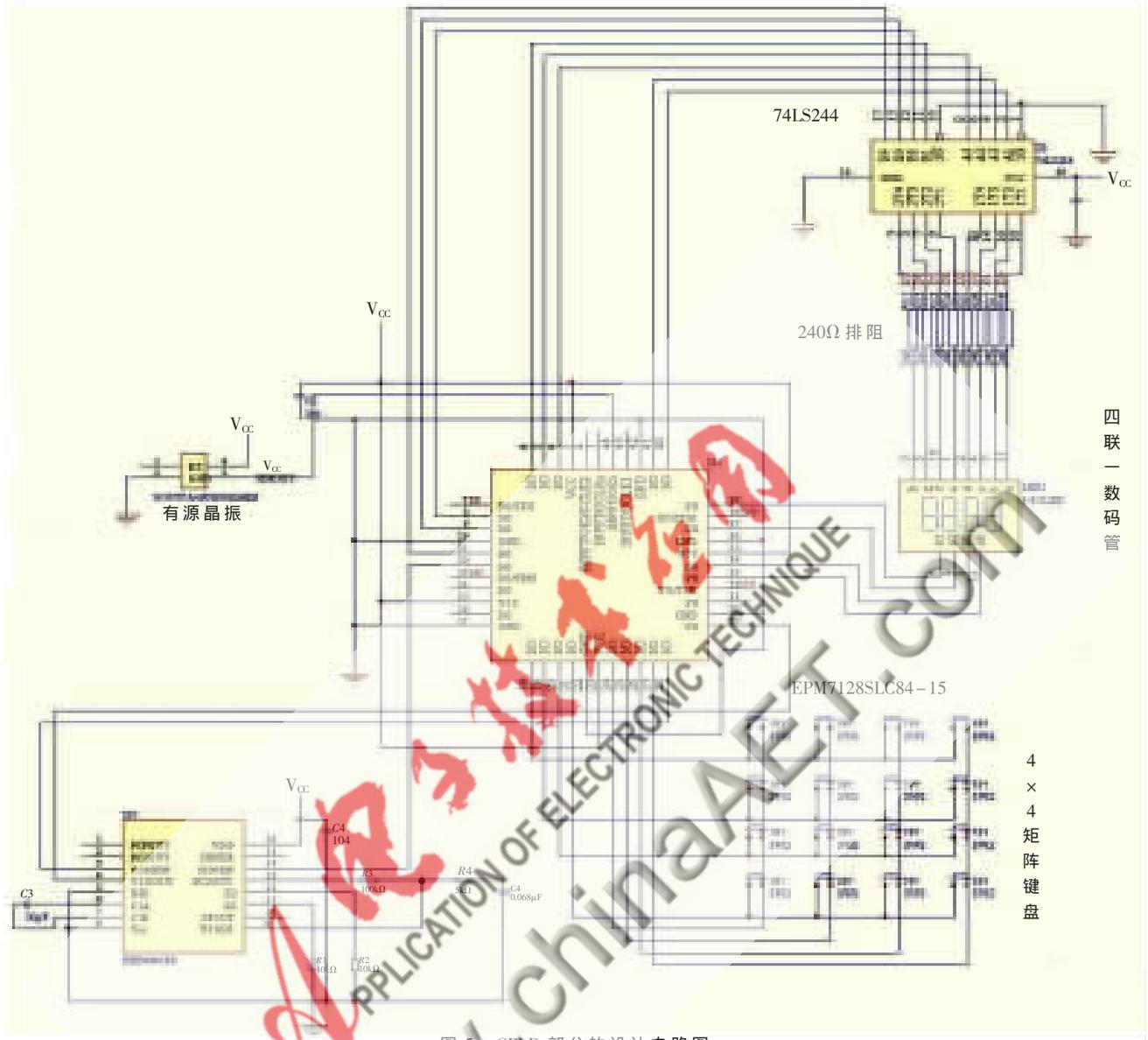


图5 CPLD部分的设计电路图

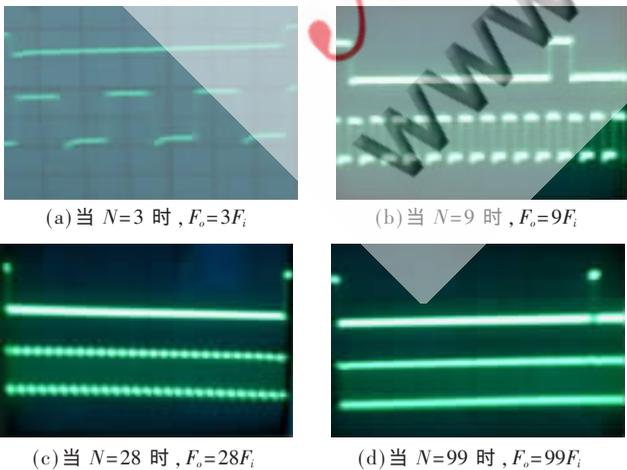


图6 频率合成器波形检测结果

来选取、调换,仅使用CPLD的模块部分进行分频输出。该设计具有一定的灵活性,可以在此基础上进行功能扩  
《信息化纵横》2009年第9期

展,可用NE560系列的芯片来代替低频器件CD4046实现频率范围的扩展,同时还可使用更高性能的FPGA器件来实现分频,以及结合跳频等技术来实现不同频率段的跳频等,以满足更高其他的需求和应用。

参考文献

- [1] 张涛.显示控制CMOS锁相环频率合成器设计.半导体技术,2008,33(1):1.
- [2] 于洪珍.通信电子电路.北京:清华大学出版社,2005:229,234-235,241-242.
- [3] 李晓庆.UHF锁相频率合成器设计及实现.大连:大连海事大学,2006:5-6.
- [4] 邓芳明.高性能频率合成器中鉴相器和电荷泵的研究与设计.合肥:合肥工业大学,2005:7-8.
- [5] 锁相环CD4046原理及应用.http://blog.sina.com.cn/u/437a2a7f01000cgh,2007-05-11.

(收稿日期:2009-01-07)