

基于DDR SDRAM的高速数据采集系统的设计

方庆山¹, 林春方²

(1.安徽电子信息职业技术学院 实验中心,安徽 蚌埠 233060;

2.安徽电子信息职业技术学院 电子工程系,安徽 蚌埠 233060)

摘要: 采用DDR SDRAM作为被采集数据的存储体,研究了DDR SDRAM在高速数据采集系统中的应用,分析了DDR SDRAM的工作模式,给出了一种基于DDR SDRAM的高速数据采集系统的设计框图,研究了高速、大容量存储体的设计方案。结合高速数据采集系统的设计要求,重点研究了一种DDR SDRAM控制器的FPGA实现方法,简要介绍了控制器设计中各个模块的功能,最后给出了读/写控制模块对DDR SDRAM的读操作仿真时序图。

关键词: 数据采集; DDR SDRAM; 工作模式; 控制器

中图分类号: TP274+.2

文献标识码: A

Design of high-speed data acquisition system based on DDR SDRAM

FANG Qing Shan¹, LIN Chun Fang²

(1.Experimental Center, Anhui Vocational College of Electronics & Information Technology, Bengbu 233060, China;

2.Department of Electronic Engineering, Anhui Vocational College of Electronics & Information Technology, Bengbu 233060, China)

Abstract: Using DDR SDRAM as data storage, this paper studies the application of DDR SDRAM in the high-speed data acquisition system, analyzes the work pattern of DDR SDRAM. Based on DDR SDRAM, design diagram and blue print of high-speed data acquisition system are put forward. This paper focuses on the FPGA realization method of a DDR SDRAM controller, briefly introduces the realization of each module in controller design, and finally gives time sequence diagram of simulation operation reading DDR SDRAM by using the read/write control module.

Key words: data acquisition; DDR SDRAM; work pattern; controller

实现数据的高速大容量存储是数据采集系统中的一项关键技术。很多数据采集系统,特别是应用于图像采集处理等领域的高速数据采集系统,都需要高速缓存大量的数据。DDR SDRAM由于速度快、容量大、价格便宜,能够很好地满足上述场合对大量数据缓存的需求。双倍速率同步动态随机存储器DDR SDRAM(Double Data Rate SDRAM),是在SDRAM的基础上发展而来的,能够在时钟上升沿和下降沿各传输一次数据,可以在与SDRAM相同的总线时钟频率下达到更高的数据传输率。

1 DDR SDRAM在高速数据采集系统中的应用

目前,数据采集与处理的重点在于高速、高精度、高存储深度的数据采集系统的研究。由于A/D转换芯片及高性能FPGA芯片的出现,使得高速、高精度的数据处理得以

实现,因而大批量、高存储深度的数据处理成为当前要解决的主要问题。图1所示为一种基于CPCI总线的高速数据采集系统结构框图^[1]。

外部信号首先经过模拟信号调理通道达到A/D芯片的输入要求,再通过A/D芯片将模拟信号转换成数字信号送入FPGA进行处理。当处理器发出“写命令”时,将数字信号在FIFO内部进行缓存再送入DDR SDRAM进行存储。考虑到写入FIFO的时钟速率大于读取FIFO的时钟速率会导致从A/D采样过来的信号不能完整地存储,可采用数据分流的方式予以解决。即把采入FPGA的数据流分成2路数据流,分别存入相应的FIFO内,再分别读出送到DDR SDRAM存储,在存储过程中通过DDR SDRAM的控制模块和FPGA内部自带的IP核的配合完成。当处理器发出“读命令”时,在控制模块的控制下将DDR SDRAM内部数据读

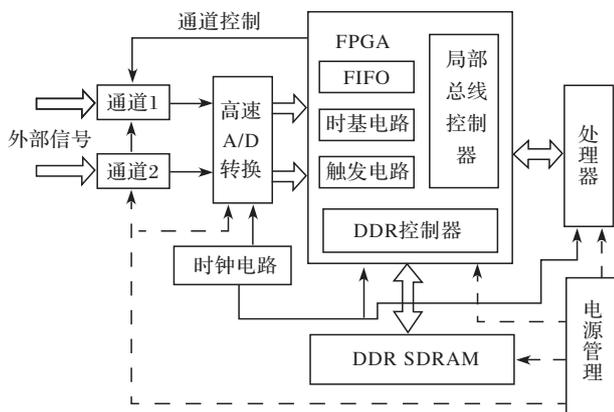


图1 一种基于CPCI总线的高速数据采集系统结构框图

回FPGA内部，再次通过FIFO进行缓存，然后送回处理器处理。在整个数据处理过程中，关键是对DDR SDRAM的存储进行有效的控制，以保证有足够的可进行分析处理，从而重现信号特征。

2 DDR SDRAM的工作模式

DDR SDRAM支持的常用命令有7种：空操作(NOP)、激活操作(Active)、突发读(BurstRead)、突发写(BurstWrite)、自动刷新(Autorefresh)、预充电(Precharge)以及模式寄存器配置(Mode Register Set)。所有的操作命令都是通过信号线RAS_N、CAS_N、WE_N共同控制来实现的。在对DDR SDRAM进行存取数据操作之前，首先要对其初始化，即设置DDR SDRAM的普通模式寄存器和扩展模式寄存器，确定DDR SDRAM的工作方式。这些设置包括突发长度、突发类型、CAS潜伏期和在工作模式，以及扩展模式寄存器中对DDR SDRAM内部延迟锁定回路(DLL)的使能与输出驱动能力的设置^[2]。

初始化完成之后，DDR SDRAM便进入正常的工作状态，此时可对存储器进行读写和刷新。所谓DDR的双倍速率结构，即在数据随路时钟的上升沿和下沿各发送一次数据，这样在一个时钟周期内可完成双倍速率的数据传输。图2是“写模式”下的工作时序图。对DDR SDRAM进行写操作时，首先通过外部控制模块(FPGA)对DDR送写命令和操作地址，然后第1个正确的数据将在数据选取脉冲DQS的上升沿进行存储，接下来的数据将在DQS的连续时钟沿上进行存储，根据DDR SDRAM的时序要求在“写模式”下，写命令和随路时钟的第1个上升沿要有一个固定的时间间隔 t_{DQSS} 。

对DDR SDRAM的读操作和写操作是基于突发的，DDR SDRAM提供的可编程读/写的突发长度为2、4或8。数据的存取以一个激活命令(Active)开始，接着便是读(BurstRead)或写(Burst Write)命令。与激活命令一起被触发的地址位用来选择将要存取的区和页(或行)，与读/写命令一起被触发的地址位用来选择突发存取的起始列单元。读命令被触发后，数据将在1.5~3个时钟周期之后出现在

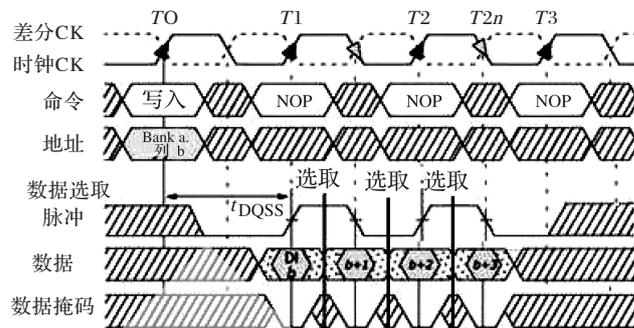


图2 DDR SDRAM“写模式”时序图

数据总线上，这个延迟就是所谓的CAS潜伏期。CAS潜伏期的大小与SDRAM的速度和存储器的时钟频率有关。当要存取一个不同行的地址单元时，需要通过一个预充电(Precharge)操作关闭当前行。自动刷新(Autorefresh)命令用来周期性地刷新DDR SDRAM，以保持其内部的数据不丢失^[3]。

3 DDR SDRAM控制器的设计

DDR SDRAM控制器的功能是初始化DDR SDRAM；简化DDR SDRAM复杂的读/写时序；将DDR SDRAM接口的双时钟沿数据转换为单时钟沿数据；产生周期性的刷新命令来维持DDR SDRAM内的数据不丢失。DDR SDRAM提供了多种命令，整个控制状态机非常复杂。但很多应用场合中，并不需要用到所有的命令，为了简化设计，同时兼顾尽可能多的应用场合，在控制器的设计中实现了如下几种功能：DDR SDRAM初始化、可变长度突发读/写、自动刷新功能、预充电以及模式寄存器的重置。图3为控制器整个状态转换图^[4]。

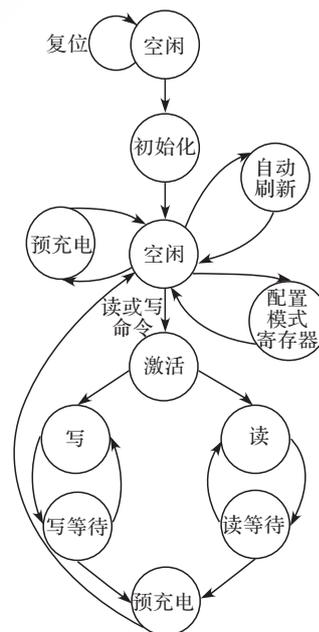


图3 控制器的状态转换图

根据图3的状态转换关系，DDR SDRAM控制器包含以下几个模块：时钟生成模块、初始化模块、刷新模块、

