

基于 DSP Builder 的 OQPSK 调制器设计及 FPGA 实现

郑 希, 王和明

(空军工程大学 导弹学院, 陕西 三原 713800)

摘要: 提出了 OQPSK 调制器的全数字实现方案, 基于 DSP Builder 完成了方案的建模仿真并进行了硬件验证, 实验表明, 所设计的调制器工作稳定、可靠, 达到设计要求。

关键词: OQPSK; FPGA; DDS; DSP Builder

中图分类号: TN914

文献标识码: B

A DSP builder-based OQPSK modulator design and its FPGA implementation

ZHENG Xi, WANG He Ming

(The Missile Institute, Air force Engineering University, Sanyuan 713800, China)

Abstract: The paper proposed a OQPSK digital modulator's implementation method based on DSP Builder, completed the building and simulation of the model of the scheme. The OQPSK modulator work stably and reliable, satisfies the design request, through software simulation and hardware testing.

Key words: OQPSK; FPGA; DDS; DSP Builder

OQPSK 调制技术是一种恒包络调制技术, 受系统非线性影响小, 具有较高的带宽利用率和功率利用率, 广泛应用于卫星通信和移动通信领域。随着数字调制技术的出现, 在有限的带宽内传输高速的数据已成为可能, 并且比过去使用的模拟调制, 如调幅(AM)和频移键控(FSK)、开关键控(OOK)、脉宽调制(PWM)、脉位调制(PPM)、脉幅调制(PAM)等技术相比有更高的可靠性和抗扰性。目前国内多速率/多制式智能调制解调器已有一些研究成果和芯片问世。但是, 国内的产品大多基于通用 DSP 实现, 支持的速率比较低。由于运算量较大和硬件参数的限制, 采用通用 DSP 或普通算法无法胜任高速率调制解调的任务。而用可编程器件实现的全数字调制器则可以说是一种用户全定制的调制方案, 所有的参数都可以按照每个特定的用户来修改, 做到最优化。此外, FPGA 还具有静态可重复编程和动态系统重构的特性, 使得硬件的功能可以像软件一样编程修改, 极大地提高了电子系统设计的灵活性和通用性。

1 OQPSK 调制原理^[1]

OQPSK 也称为偏移正交相移键控(Offset-QPSK), 是

QPSK 的改进型, OQPSK 信号实际上是两路正交双边带信号, 与 QPSK 有同样的相位关系, 也是把输入码流分成两路, 然后进行正交调制^[2]。与 QPSK 相比, OQPSK 的不同点在于它将同相和正交两支路的码流在时间上错开了半个码元周期, 由于两支路码元半周期的偏移, 每次只有一路可能发生极性翻转, 不会发生两支路码元极性同时翻转的现象。因此, OQPSK 信号相位只能跳变 0° 和 $\pm 90^\circ$, 不会出现 180° 的相位跳变, 具有恒包络特性, 受系统非线性影响小, 所以频带受限的 OQPSK 信号包络起伏比频带受限的 QPSK 信号经限幅放大后频带展宽得少, 故 OQPSK 性能优于 QPSK。

常用的多相制信号的产生方法主要有直接调相法、脉冲插入法、相位选择法等。本设计采用相位选择法, 即直接用数字信号选择所需相位的载波以产生多相制信号。OQPSK 的方框图如图 1 所示。在这种调制器中, 输入码元经串并转换后分为 I、Q 两路信号, 两路共有 00、01、10、11 共四种状态。其中 I 路经过半码元周期的延迟后与 Q 路信号共同作为选相电路的输入。载波发生器产生四种相位的载波, 逻辑选相电路根据输入信

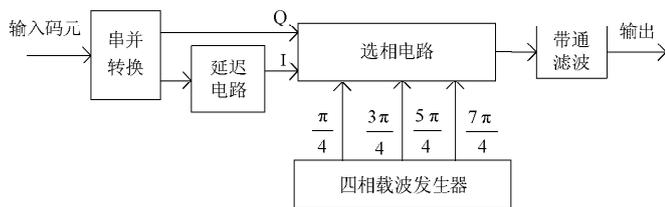


图1 OQPSK调制器框图

息每次选择其中一种相移的载波作为输出, 然后经过带通滤波器滤除高频分量, 得到调制好的信号。该方法更适合全数字调制在FPGA内的实现。

2 OQPSK数字调制器实现

DSP Builder是一个系统级(或算法级)设计工具, 它架构在多个软件工具之上, 并把系统级(算法仿真建模)和RTL(硬件实现)两个设计领域的设计工具连接起来, 都放在了MATLAB/Simulink图形设计平台上, 而将Quartus II作为底层设计工具置于后台, 最大程度发挥了各种工具的优势。除了图形化的系统建模外, DSP Builder还可以自动完成大部分的设计过程和仿真, 直至把设计文件下载至FPGA开发板上。本设计完全基于FPGA实现, 该调制器采用DSP Builder的图形化设计, 通过Simulink的图形化界面进行建模、系统级仿真, 并调用Quartus II进行综合、网表生成和适配, 最后完成向FPGA的配置下载过程。整个设计思路灵活, 图形界面简单直观, 硬件实现部分采用Altera公司开发的Cyclone系列EP1C6Q240C8。系统模型由共分时钟、串并转换、四相制载波产生、相位选择等电路组成, 如图2所示。该模型的系统级仿真结果如图3所示, I、Q对应为串并转换并延迟后的码元, 输出为调制后的载波。

2.1 时钟、串/并转换、相位选择模块的实现^[3]

时钟模块调用Simulink中的锁相环模型, 对输入时

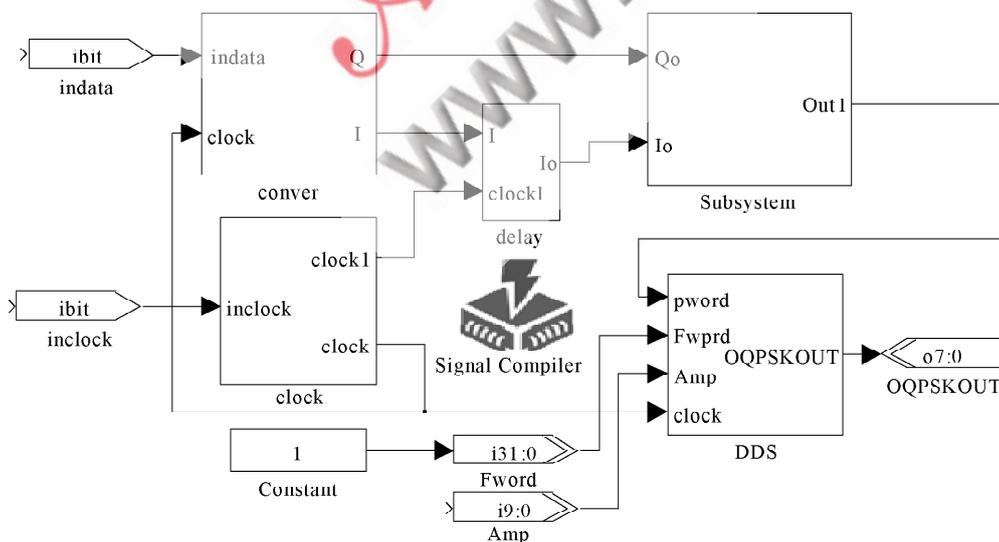


图2 OQPSK调制器DSP Builder模型

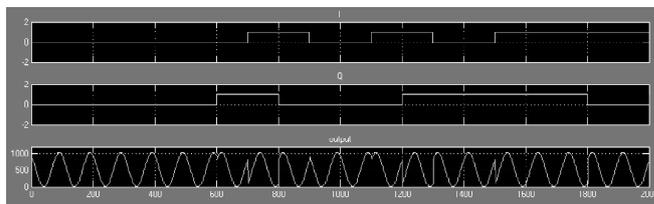


图3 OQPSK调制器系统级仿真图

钟进行分频与倍频。输出两路时钟信号, 分别用作延迟时钟与载波信号产生模块的时钟。在串并转换中输入的信息码元经过串并转换器, 变成速率减半的双比特序列。具体实现是采用计数器对输入时钟计数, 计数输出作为D触发器的使能输入, 通过使能信号控制输入码元在输出端的输出以实现数据的串并转换。

在DDS模块中的相位调制精度设置为10, 所以相位选择器输入代码的宽度也相应设置成10位, 相应的相位调制输入值对应关系为: 相位输出 $\Phi_0 = \pi/4$ 时相位控制字的输入值对应为128, $3\pi/4$ 时对应384为调制输入值, $5\pi/4$ 时对应640为调制输入值, $7\pi/4$ 时对应896为调制输入值, 其计算公式如式(1)所示。相位选择模块采用四路复用器根据输入I、Q两路信号做选通信号, 实现对相位控制字的选择。

$$\Phi_{PM} = \frac{2^N \times \Phi_0}{2\pi} \quad (1)$$

2.2 载波发生器的实现

四相载波发生器采用直接数字合成器实现, 它是采用数字技术的一种新型频率合成技术, 通过控制频率、相位增量的步长, 产生各种不同频率的信号。它具有一系列的优点: 较高的频率分辨率; 可以实现快速的频率切换; 在频率改变时能够保持相位的连续; 很容易实现频率、相位和幅度的数控调制等。

基于DSP Builder的子系统如图4所示, DDS子系统Subsystem有3个输入, 分别为Freqword(32位控制字)、phaserword(10位相位控制字)、Amp(10位控制字); 1个输出, 即10位OQPSK输出。2个累加器分别为相位累加器和相位调制器, LUT为正弦ROM查找表。频率控制字的计算公式如式(2)所示, 在式中fclk是系统时钟, N是相位累加器的数据位宽, 也是频率输入字的数据位宽。相位控制字接收相位选择其提供的输入数据。

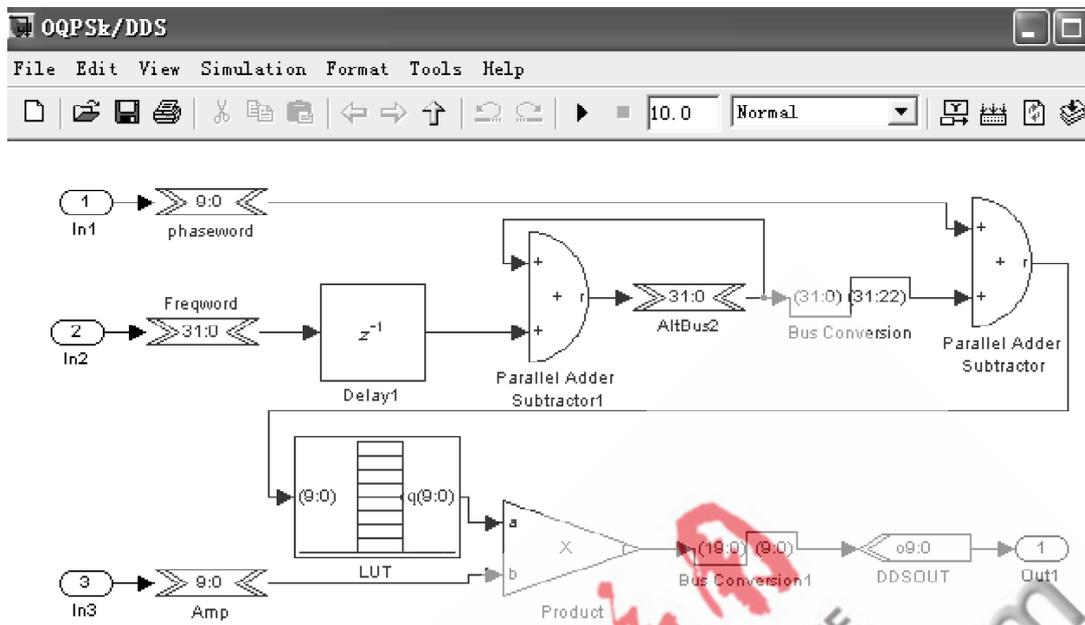


图4 四相载波产生模块 DSP Builder 模型

幅度控制字也可以根据输出幅度的需要进行设定, 在仿真中幅度控制值设定为 1。

$$B_{\Delta 0} = 2^N \cdot \frac{f_{\text{out}}}{f_{\text{clk}}} \quad (2)$$

2.3 OQPSK 的 FPGA 实现^[4]

通过 Matlab/Simulink 对已经设计好的 OQPSK 模型进行编译, 再调用 DSP Builder 的 Signal Compiler 工具直接生成 Quartus II 工程文件, 再调用 Quartus II 完成综合、网表生成和适配, 直至完成 FPGA 的配置下载过程。

本设计方案采用的 FPGA 芯片是 Altera 公司的 Cyclone 系列芯片 EP1C6Q240C8, 其容量 6000 个逻辑宏单元 (LE), 等效于标准 15 万逻辑门电路, 速度为 -8, 可通过单片芯片电路实现 DDS, 相位累加和相位调制器分别为 32 位和 10 位, 正弦 ROM 查找表存储 1 024 × 10 Bit 波形数据, 利用 FPGA 可以根据需要方便地实现 OQPSK 全数字调制, 且具有浪费的实时性。在转换后的源代码通过功能仿真与时序仿真测试后, 再经过 Quartus II 软件综合生成 EDF 格式的网表文件, 得到的波形如图 5 所示。图中, clock 为系统时钟, Fword 为频率控制字, Datain 为输入码元, Sel 为串并转换后的两路码元信号, OQPSK 为调制后输出信号。Quartus II 中的仿真结果与 Matlab/Simulink 中的仿真结果在相位, 频率和幅度上基本一

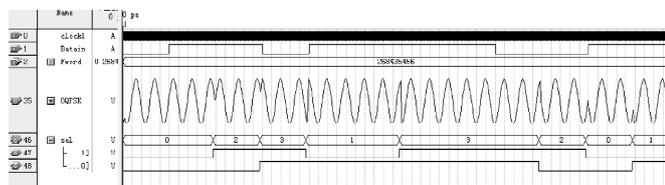


图5 内部模块功能仿真图形

致。利用 FPGA 能输出较高质量的信号, 虽然内部数字信号有一定的抖动, 但通过采用抖动注入技术、延时叠加法等方法, 通常也能将误差保持在允许范围之内。

通过 Matlab 对调制后数据进行频谱分析, 分析结果如图 6 所示。由图可以看出, OQPSK 信号具有恒包络特性, 没有出现 180° 的相位跳变; 对其做 1 024 点 FFT, 并进行谱运算, 得到信号频谱, 带宽为 1.2 MHz, 载波频率为 2.8 MHz (采样频率为 9.6 MHz), 达到设计要求。

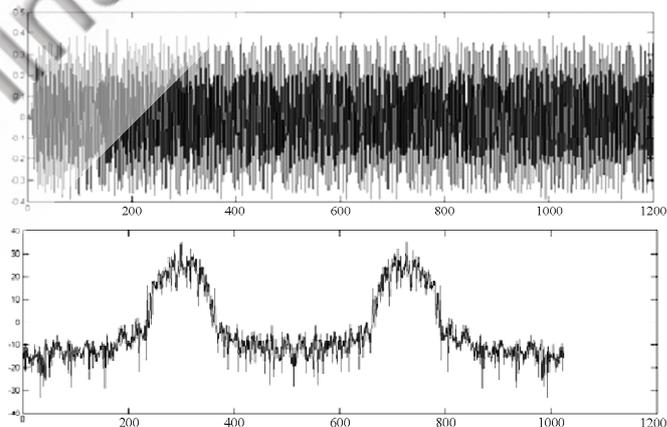


图6 调制输出信号波形和频谱

本文利用 Quartus II 和 Matlab/Simulink 之间的接口工具 DSP Builder 来设计整个 OQPSK 系统, DSP Builder 具备一个友好的开发环境, 并且和 Quartus II 交互性强, 易于使用。设计者只需简单了解 VHDL 描述语言, 就可以直接调用已经建立好的 Matlab 和 Simulink 设计流程, 通过 Simulink 的图形化界面进行建模、系统级仿真, 并于对调用 Quartus II 进行综合、网表生成和适配, 最后完

(下转第 44 页)

$$t_p = \frac{\text{两站点的距离 (m)}}{\text{信号传播速度 (200m/\mu s)}} \quad (2)$$

设 A、B 是系统中的两台呼叫分机，它们之间的传播时延是 t_{pab} 。分机 A 检测到信道空闲后，就发送数据；分机 B 在分机 A 开始发送数据的 $(0, t_{pab})$ 的时间内检测信道，由于信号还没有传播到分机 B，因此分机 B 检测到信道状态仍处于空闲状态，分机 B 也发送数据，造成通讯冲突。分机检测到通讯冲突后，立即停止发送，并向总线上发一串阻塞信号，用以通知总线上其他各有关站点退避。冲突退避时延采用式(3)计算：

$$t_j = t_{p\max} (j+1 - E \times j) \times [\text{rand}(0,1) + 1] \quad (3)$$

上式中， t_j 为第 j 台分机时延检测时间， $t_{p\max}$ 为任意两个站之间的最大传播时延，由公式(2)计算得到。 E 、 $\text{rand}(0,1)$ 的含义同式(1)。

无论是(1)式还是(3)式， $i(j)$ 值小的分机先检测信道，在数据传输比较繁忙的时段， $i(j)$ 值大的分机总是要持续一个较长的时延才能检测信道，这就会造成系统中各分机竞争不均衡的现象。为了避免这种现象，我们将 $i(j)$ 设置为分机检测总线的优先级别，并把系统设置成优先级循环的工作方式。初试状态， $i(j)$ 的值为分机编号，优先级分别为 1、2、……、 n 。当优先级为 k 的分机传输数据后，系统主机将原来优先级为 $k+1$ 至 n 的分机的优先级分别设置为 1 至 $n-k$ ，将原优先级为 1 至 k 的分机的优先级设置为 $n-k+1$ 至 n 。

2.3 退避算法性能分析

医院护理呼叫系统的信息传输量很小，追求的是呼叫响应时间。为此，我们假设出现最不利的情况来分析本文算法的性能：系统共有 64 台分机，设在一台分机刚开始传输数据时，其它 63 台分机同时申请传输数据。那么，传输 64 台分机的数据的总时间 t 为：

$$\begin{aligned} t &= n \times T + \sum_{i=1}^n \max(t_i) + \sum_{j=1}^n \max(t_j) \\ &= n \times T + \sum_{i=1}^n \max\left(\frac{T}{n}(i+1 - E \times i) \times \text{rand}(0,1)\right) \\ &\quad + \sum_{j=1}^n \max(t_{p\max} (j+1 - E \times j) \times [\text{rand}(0,1) + 1]) \end{aligned}$$

(上接第 41 页)

成向 FPGA 的配置下载过程。整个设计思路灵活，图形界面简单直观，开发周期短。仿真结果表明，该设计方案原理正确，行之有效。根据 Nyquist 定律，只要输出信号的最高频率分量小于或等于 $f_{clk}/2$ ，就可以实现。而实际中由于受 LPF 设计及杂散分布的限制，仅能做到 40% 左右。所以采用 DDS，可合成几乎从直流到 $0.4 f_{clk}$ 的频率。且在系统晶振频率一定的情况下，系统时钟可用 FPGA 内部的锁相环进行倍频、分频，以实现载波频率的任意调整。

$$= n \times T + \sum_{i=1}^n \frac{T}{n}(i+1) + \sum_{j=1}^n t_{p\max} (j+1) \times 2 \quad (4)$$

上式中，第 1 项为 n 台分机的数据传输时间，第二项为每台分机检测总线延时退避空闲间隔的最大值之和，第 3 项为每台分机冲突退避空闲间隔的最大值之和。

设 $t_{p\max} = \frac{1200\text{m}}{200\text{m}/\mu\text{s}}$ ，将相关的数据带入(4)式，得 $t = 0.3\text{s}$ ，完全能满足医院护理呼叫的时间响应要求。

CSMA/CD 技术及相应的退避算法能有效地解决普通网络信道占用冲突的退避问题，从而提高信道的使用率和信息的吞吐量。但小型的自组织网络的信息吞吐量往往不大，因而信道的使用率和信息的吞吐量不是系统追求的主要目标。对于一些信息传输实时性要求比较高的自组织网络，如何及时传输信息是提高系统性能的关键因素。医院护理系统中的通讯系统采用 RS485 总线结构，参考 CSMA/CD 构建载波监听多路访问/冲突检测工作原理，设计基于“错时退避”策略的延时退避算法和冲突退避算法，有效地降低信道争用的冲突问题。特别是处理信道争用二次冲突方面，与一般的 CSMA/CD 退避算法比较，有着明显的优势，从而大大提高了信息传输的实时性。论文中的算法已应用于多家医院和养老院的护理呼叫系统中，性能可靠，达到预期的技术指标要求。

参考文献

- [1] 黎琼,徐海峰.智能家居中红外控制系统通讯协议分析[J].微计算机信息(测控自动化),2007(1).
- [2] 刘宏立,段正华.具有动态分配重传策略的CSMA/CD访问协议性能分析[J].通信学报(计算机通信专集),1998.
- [3] 郑德华,陶继伟.RS-485通讯协议在集散控制系统中的应用[J].中国仪器仪表,2005(9).
- [4] 刘宏立,童调生,段正华.CSMA/CD/RR协议模型分析及其在以太网中的应用[J].长沙湖南大学学报(自然科学版),2000(6).

(收稿日期:2008-12-31)

参考文献

- [1] 张学平,王应平,邹传云.基于FPGA的OQPSK解调器的设计与实现[J].微计算机信息,2005,23(1).
- [2] 郭培源,李焕杰.基于FPGA的QPSK调制设计与实现[J].北京:北京工商大学学报(自然科学版),2004,24(03).
- [3] 王亮兴,达新宇.数字通信原理与技术.西安:西安电子科技大学出版社,2003.
- [4] 潘松,黄继业.EDA技术与VHDL.北京:清华大学出版社,2007.

(收稿日期:2008-12-01)