

CAT1025 在 I²C 总线控制下的应用*

单承刚

(枣庄学院 计算机科学系, 山东 枣庄 277160)

摘要: 一种具有 I²C 串行总线的微控制器系统存储器和电源监控的完全解决方案。结合 CAT1025 芯片给出了 LPC2103 微控制器系统的电源监控复位电路, 介绍了基于 I²C 总线的 2Kb EEPROM 存储器的读写过程, 给出了相关应用程序流程图与部分软件程序。

关键词: I²C 总线; 电源监控; CAT1025; EEPROM

中图分类号: TP274 **文献标识码:** A

Application of CAT1025 in I²C bus control

SHAN Cheng Gang

(Computer and Science Department, Zaozhuang College, Zaozhuang 277160, China)

Abstract: This paper introduces the complete solution CAT1025 of microprocessor memory system and power source monitoring with I²C serial bus, puts forward of reset circuit of power source monitoring based on CAT1025, and puts emphasis on describing the read-write process on the basis of 2 Kb EEPROM with I²C bus, with the corresponding program flowchart and certain software programs.

Key words: I²C bus; power source monitoring; CAT1025; EEPROM

I²C BUS (Inter Integrated Circuit BUS) 是 NXP 半导体公司推出的芯片间串行传输总线, 它以 2 根连线实现了完善的全双工同步数据传送, 可以极方便地构成多机系统和外围器件扩展系统。I²C 总线采用了器件地址的硬件设置方法, 通过软件寻址完全避免了器件的片选线寻址方法, 从而使硬件系统具有最简单而灵活的扩展方法。该总线由 1 条串行时钟线 SCL 和 1 条串行数据线 SDA 组成, 在同一组 I²C 总线上, 可以挂接多个 CPU 及被控芯片, CPU 既可以作为主器件, 控制 I²C 总线的工作模式, 也可以作为从器件, 在其他 CPU 的控制下发送或接收数据^[1]。

1 LPC2103 中的 I²C 总线接口

LPC2103 是一个基于支持实时仿真的 16/32 位 ARM7 TDMI-S CPU 的微控制器, 内部集成了两路高速 I²C 总线, 与 I²C 总线接口有关的专用寄存器有: (1)I2CONSET 控制置位寄存器。当向该寄存器写入 1 时, I²C 控制寄存器中

相应位置位, 写 0 到 I²C 控制寄存器的相应位没有影响; (2)I2STAT 状态寄存器。在 I²C 操作中, 该寄存器提供详细的状态码使软件确定所需的下一步操作; (3)I2DAT 数据寄存器。发送接收的数据都可从该寄存器写入或读取; (4)I2ADR 从地址寄存器。包含从机模式下 I²C 接口操作的 7 位从地址; (5)I2SCLH 占空比寄存器高半字和 I2SCLL 占空比寄存器低半字。分别用来确定 I²C 时钟的高时间和低时间; (6)I2CONCLR 控制清零寄存器。当向该寄存器中的位写 1 时, I²C 控制寄存器中相应位被清零。

1.1 I²C 电气连接

I²C 总线接口均为开漏或开集电极输出, 因此需要为总线增加上拉电阻 R_p 。总线速率越高, 总线上拉电阻就越小, 100Kb/s 总线速率通常使用 5.1 K Ω 的上拉电阻^[2], 如图 1 所示。

1.2 I²C 总线时序

I²C 总线上每传输 1 个数据位必须产生 1 个时钟脉

* 基金项目: 山东省教育厅科技计划项目(J07WJ29)

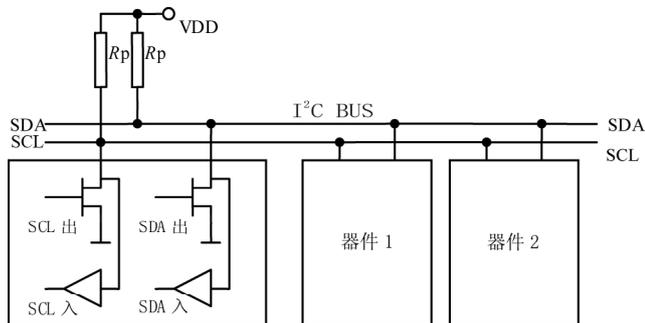


图 1 I²C 总线连接图

冲。SDA 线上的数据必须在时钟线 SCL 的高电平期间保持稳定，数据线的电平状态只有在 SCL 线的时钟信号为低电平时才能改变，如图 2 所示。

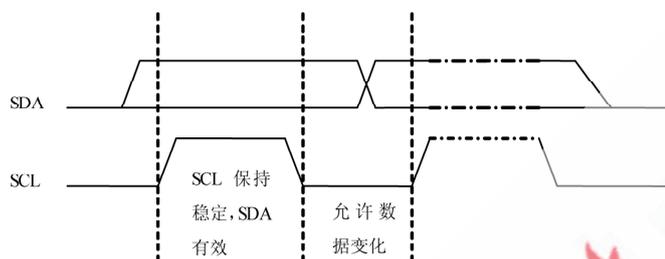


图 2 I²C 总线时序图

其中数据发送起始信号和停止信号较为特殊，在 SCL 为高电平时，SDA 从高电平向低电平切换表示起始信号；在 SCL 为高电平时，SDA 由低电平向高电平切换表示停止信号。起始和停止信号一般由主机产生。起始信号作为一次传送的开始，在起始信号后总线被认为处于忙状态。停止信号作为一次传送的结束，在停止信号的某段时间后，总线被认为再次处于空闲状态。重复起始信号既作为上次传送的结束，也作为下次传送的开始。如图 3 所示^[3]。



图 3 I²C 总线的起始信号和停止信号

发送起始信号后传送的第 1 字节数据具有特别的意义，其中前 7 位为从机地址，最后 1 位为读写方向位（0 表示写，1 表示读）。结合本系统，为实现 I²C 总线方式下对 CAT1025 的读写，发送起始信号第 1 字节前 7 位为从器件 CAT1025 的地址，如图 4 所示。

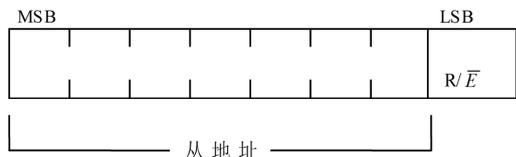


图 4 起始信号后的第 1 个字节

I²C 总线数据传送时，每传送 1 个字节数据后都必须有应答信号(A)。主控器接收数据，如果要结束通信时，将在停止位之前发送非应答信号(\bar{A}),如图 5 所示。

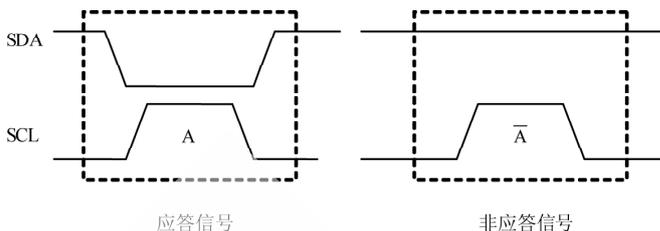


图 5 应答与非应答信号时序图

LPC2103 在 I²C 通信中可以配置为主控器也可以作为被控器，它具有 4 种操作模式：主发送模式、主接收模式、从发送模式和从接收模式。在本系统中为了实现对 CAT1025 内 EEPROM 存储器读写，采用了主发送模式和主接收模式。

2 与 CAT1025 的 I²C 总线配置

CAT1025 是基于微控制器系统的存储器和电源监控的完全解决方案。它利用低功耗 CMOS 技术将 2Kb 的串行 EEPROM 存储器和带掉电保护的电源监控电路集成在一起。存储器采用 400 kHz 的 I²C 总线接口。由于 ARM 芯片的高速、低功耗和低工作电压的工作特性，导致其噪声容限低，对电源纹波、瞬态响应性能、时钟源的稳定性和电源监控的可靠性等诸多方面有很高的要求。采用 I²C 接口的专用电源监控复位芯片 CAT1025 设计复位和 I²C 电路，保证了系统可靠性，其电路原理如图 6 所示^[4-5]。

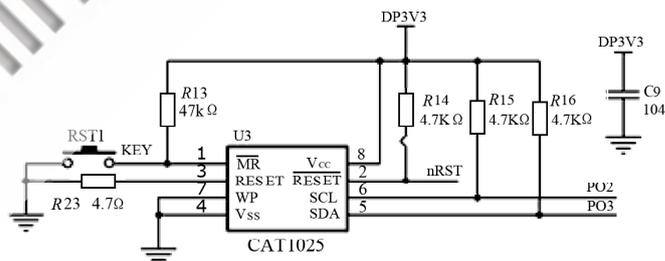


图 6 复位电路和 I²C 电路

CAT1025 包含 1 个精确的 V_{cc} 监测电路和 2 个开漏输出：RESET 和 $\overline{\text{RESET}}$ 。当 V_{cc} 低于复位阈值电压时，RESET 引脚将变为高电平， $\overline{\text{RESET}}$ 将变为低电平。CAT1025 还含有 1 个写保护输入 (WP)，如果 WP 连接高电平，则写操作被禁止。LPC2103 的 P0.2 和 P0.3 口若工作在第二功能模式下为 I²C 0 路的时钟线和数据线，分别与 CAT1025 的 SCL 与 SDA 相连。V_{cc} 电压监控电路提供了硬件数据保护功能，防止在 V_{cc} 降低到低于复位阈值电压或上电时 V_{cc} 上升到复位阈值电压之前对存储器执行写操作。I²C 总线对 CAT1025 进行读写操作的过程介绍如下。

2.1 I²C 接口的配置

图7为I²C总线操作初始化流程图。

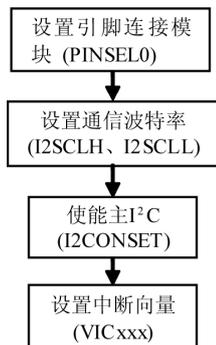


图7 I²C总线操作初始化流程图

使用LPC2103的I²C 0路总线实现对CAT1025的读写。

设置P0.2和P0.3口工作在第二功能模式下：

```
PINSEL0 = (PINSEL0 & (~0xF0)) | 0x50; /* P0.2: I2SCL,
P0.3: I2SDA*/
```

为了控制I²C通信的波特率，需要设置I2SCLH、I2SCLL寄存器。其中I2SCLH定义SCL高电平所保持的PCLK周期数，而I2SCLL定义SCL低电平所保持的PCLK周期数。

```
I2SCLH = (Fpclk / uiFi2c + 1) / 2; /* 设定I²C时钟*/
```

```
I2SCLL = (Fpclk / uiFi2c) / 2;
```

对I2CONCLR、I2CONSET寄存器进行设置，清零I²C通信的相关标志位，使能I²C接口功能。

```
I2CONCLR = 0x2C;
```

```
I2CONSET = 0x40; /* 使能主I²C*/
```

I²C总线采用中断方式来检测每个字节的传送是否成功，因此需要定义中断处理程序，并且使能中断。设中断处理程序入口地址为IRQ_I2C，则程序语句为：

```
/* 设置I²C中断*/
```

```
VICIntSelect = 0x00000000; /* 设置所有通道为IRQ中
断*/
```

```
VICVectCntl0 = (0x20 | 0x09); /* I²C通道分配最高优
先级*/
```

```
VICVectAddr0 = (int32)IRQ_I2C; /* 设置I²C中断向量*/
```

```
VICIntEnable = 1 << 9; /* 使能I²C中断*/
```

2.2 软件设计^[6]

2.2.1 主模式下向CAT1025发送数据程序流程

```
/* 从起始地址0x00写入10个数据*/
```

```
I2C_WriteNByte(CAT1025, ONE_BYTE_SUBA, 0x00,
uiDataBuf, 10);
```

I2C_WriteNByte实现了向CAT1025器件起始地址0x00处写入10个数据。ONE_BYTE_SUBA表示单字节地址，0x00表示从器件CAT1025起始地址，uiDataBuf表示写入数据缓冲区指针，10表示写入数据的个数。图8为写入过程程序流程图。

2.2.2 主模式下从CAT1025读取数据程序流程

```
/* 读回刚才写入的数据*/
```

```
I2C_ReadNByte(CAT1025, ONE_BYTE_SUBA, 0x00,
```

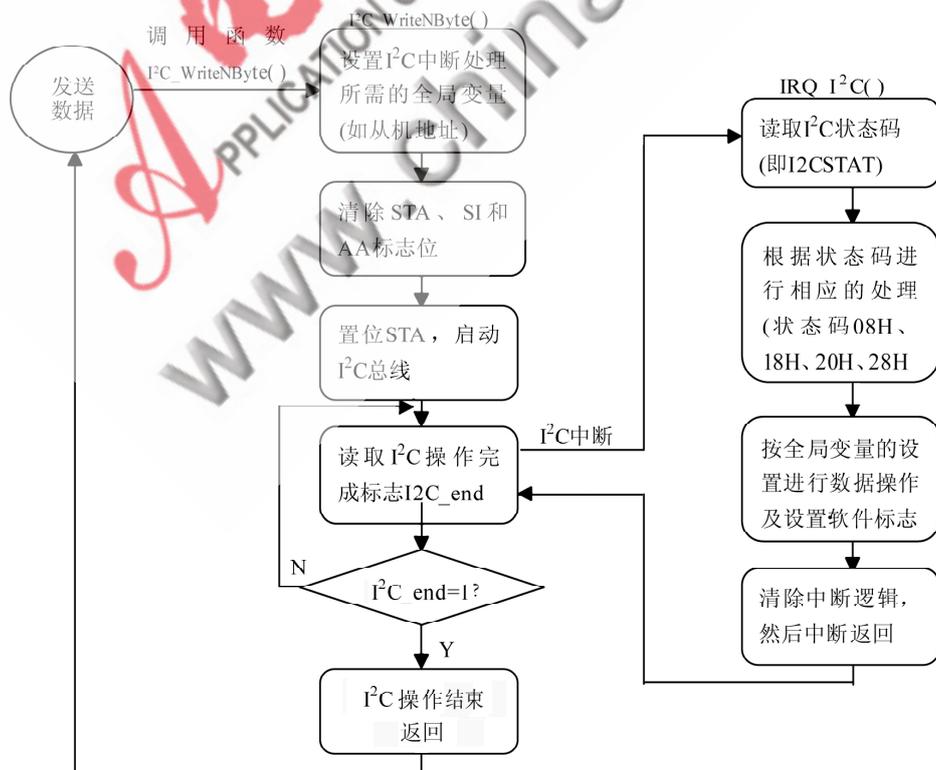


图8 写入过程程序流程图

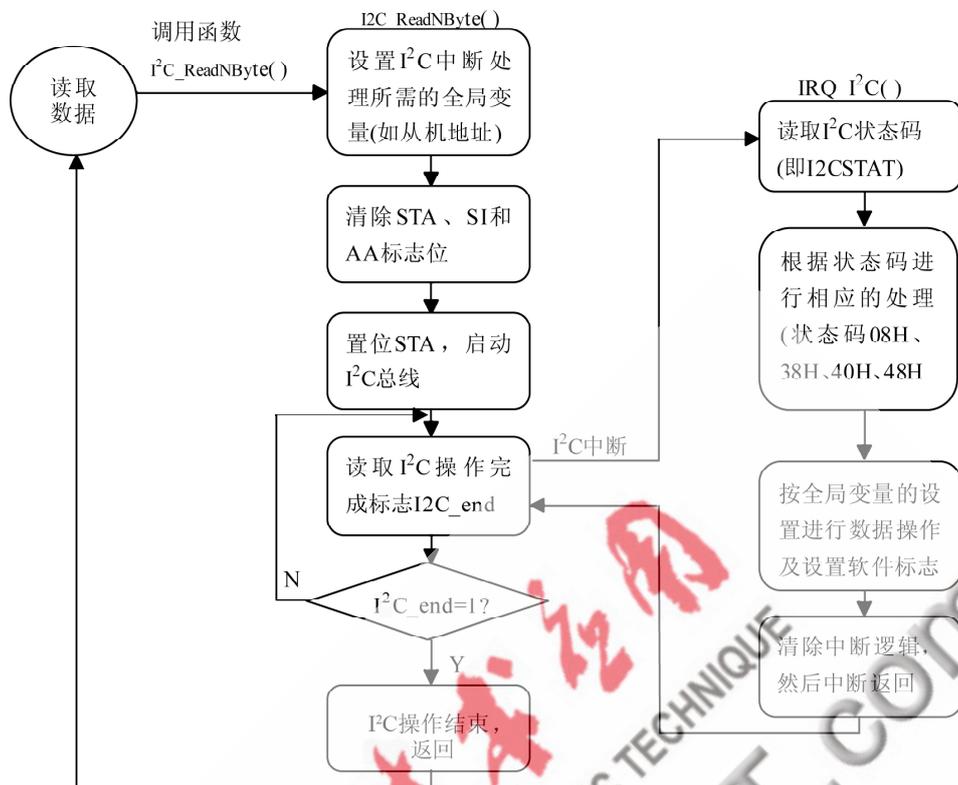


图9 读入过程程序流程图

uiDataBuf, 10);

I2C_ReadNByte 实现了向 CAT1025 器件起始地址 0x00 处依次读入 10 个数据。ONE_BYTE_SUBA 表示单字节地址，0x00 表示从器件 CAT1025 起始地址，uiDataBuf 表示读入数据缓冲区指针，10 表示要读入数据的个数。图 9 为读入过程程序流程图。

2.2.3 I²C 中断处理过程

对于硬件 I²C 接口，通常都使用中断的方式进行操作。当 I²C 的状态发生变化时，就会产生中断，因此，发生 I²C 中断时，必须要读取 I²C 状态寄存器，根据当前的状态采取相应的措施。主模式下 I²C 总线读写操作步骤：

(1) 通过软件置位 STA 进入主发送、接收模式，I²C 逻辑在总线空闲后即发送一个起始条件。

(2) 当发送完起始条件后，SI 会置位，此时 I2STAT 中的状态代码为 08H，该状态代码用于中断服务程序的处理。

(3) 把从地址和读写操作位装入 I2DAT（数据寄存器），然后清零 SI 位，开始发送从地址和 R/W 位。

(4) 当从地址和 R/W 位已发送且接收到应答位之后，SI 位再次置位，根据 I2STAT 寄存器中的状态码分别执行接收、发送数据动作。

基于 I²C 总线的 CAT1025 存储器 and 电源解决方案已经广泛应用在各种微控制器系统中。本文给出的

LPC2103 微控制器系统的电源监控复位电路，保证了系统的高可靠性。利用 I²C 总线方式对 CAT1025 内 2Kb EEPROM 存储器进行读写准确性高、速度快，可以满足许多具有存储性能的系统掉电后数据不丢失的要求。

参考文献

- [1] 广州周立功单片机发展有限公司.EasyARM2103 教材.2007: 172-190.
- [2] 梁建华, 肖伸平.基于 S3C44B0X 的 I²C 总线设计.微计算机信息, 2006(5-2): 143-144.
- [3] 范应辉, 张雷, 阳富民.基于 Linux 的 I²C 总线驱动研究与实现[J].计算机工程与设计, 2007: 28-16: 3953-3956.
- [4] 王立平, 王新梅. Linux 环境下基于 I²C 总线的 EEPROM 驱动程序.国外电子元器件, 2007(1): 4-7.
- [5] 姚亚峰, 陈建文, 黄载祿.嵌入式系统中 EEPROM 接口及控制电路设计.半导体技术, 2007, 32(4): 328-331.
- [6] 徐柳茂, 黄永强, 蒋念东, 等.嵌入式 Linux 中 I²C 驱动程序的应用设计[J].国外电子元器件, 2007(2): 21-25.

(收稿日期: 2008-11-20)