

一种基于 FPGA 的多通道数据采集系统设计

简志景^{1,2}, 梁昊^{1,2}

(1. 中国科学技术大学 核探测与核电子学国家重点实验室, 安徽 合肥 230026;

2. 中国科学技术大学 近代物理系, 安徽 合肥 230026)

摘要: 设计并实现了一种基于 FPGA 的四通道数据采集系统。系统由 65 MS/s 的模数转换器 AD9219 实现对信号的高速采样。为满足采集数据实时存储的要求, 设计了高速、大容量的 DDR2 硬件电路和接口逻辑。采集数据可通过 USB 接口上传至上位机, 上位机负责数据的保存、处理和显示, 同时控制数模转换器以直接数字合成的方式输出波形。测试结果表明, 系统运行稳定可靠, 可灵活控制。该系统为高性能数据采集提供了一套包括软硬件的整体解决方案, 可以满足低温等离子诊断的要求。

关键词: 现场可编程门阵列; 多通道数据采集; 模数转换器; DDR2 SDRAM

中图分类号: TP216

文献标识码: A

DOI: 10.19358/j.issn.2096-5133.2020.09.002

引用格式: 简志景, 梁昊. 一种基于 FPGA 的多通道数据采集系统设计[J]. 信息技术与网络安全, 2020, 39(9): 6-11.

Design of multi-channel data acquisition system based on FPGA

Jian Zhijing^{1,2}, Liang Hao^{1,2}

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: A four-channel data acquisition system based on FPGA is designed and implemented. The system uses 65 MS/s Analog-to-Digital Convert(ADC) AD9219 to realize high speed sampling. In order to meet the requirements of real-time storage of collected data, a high-speed and high-capacity DDR2 hardware circuit and interface logic are designed. ADC data can be uploaded to the host computer through the USB interface. The host computer is responsible for the data storage, processing and visualizing. It can also control the Digital-to-Analog Convert (DAC) to output waveforms in the way of direct digital synthesis. The test results show that the system is stable, reliable and can be controlled flexibly. The system, including software and hardware, provides an overall solution for high-performance data acquisition, which can meet the requirements of low-temperature plasma diagnosis.

Key words: FPGA; multi-channel data acquisition; ADC; DDR2 SDRAM

0 引言

在低温等离子体诊断领域, Langmuir 单探针方法由于结构简单、测量范围大和结果可靠而被广泛应用。目前以单片机为主控芯片的传统诊断设备采样率较低, 一般不超过 400 kS/s^[1], 甚至只有 38 kS/s^[2], 这些设备的 ADC 数据接口通常采用 SPI 或 PC, 数据传输能力有限, 而且数据处理大多依赖软件设计, 难以满足现在高速、高精度、长时间和大容量的测量要求^[3]。准确高效地获取这些数据对等离子体特

性的研究有重要意义。

为了提高诊断结果的准确性, 需要采集大量的实验数据。本文提出了一套基于 FPGA 的四通道数据采集硬件系统, 每通道采样率为 65 MS/s, 硬件中的 ADC 与 FPGA 之间采用高速 LVDS 信号进行数据传输, 并且完成了基于 .net 框架下 WPF 技术的上位机可视化软件开发, 实现了高速、大容量的数据采集、处理和显示。该系统可以由上位机灵活控制并长期稳定运行。

1 系统总体架构设计

FPGA 作为主控芯片控制数模转换器(DAC)输出激励波形如三角波、锯齿波和正弦波等,波形的幅度、频率和相位等均可由用户在上位机设置。DAC 产生的波形信号经过电压放大和功率放大后施加在等离子体上进行扫描。通过采样电阻将微弱的电流信号转换为电压信号,放大后的电压信号被模数转换器(ADC)采集、传输给 FPGA 并缓存在 DDR2 中,当缓存达到所要求的数据量时,上位机控制 FPGA 将 DDR2 中的数据通过 USB 上传、保存、处理和显示。系统总体结构如图 1 所示。

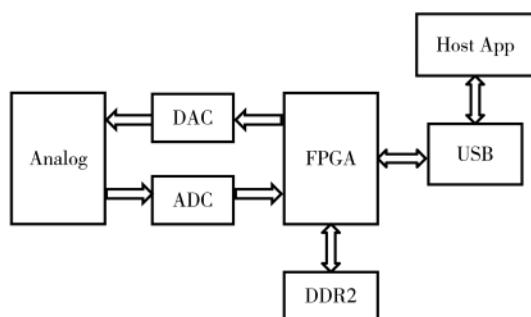


图 1 系统总体框图

2 器件选型

2.1 FPGA 选型

FPGA 作为系统控制的核心,为系统提供了足够强大的可重构能力,选型时需要兼顾性能与成本。本设计选用了 Intel 公司 Cyclone III 系列的 EP3C25F324C6 芯片^[4],该芯片成本低,具有丰富的逻辑资源,包括 24 624 个逻辑单元,608 256 bit 片上存储空间,4 个锁相环,215 个可用 I/O,其中高速差分引脚 83 对,最高数据速率 875 Mb/s,C6 系列速度等级最高,可支持最高 200 MHz 时钟频率的 DDR2,完全能够满足系统的要求。

为 FPGA 设计了 JTAG 和 AS 两种配置接口,JTAG 可以将配置逻辑下载到 FPGA 并使用 SignalTap 读回数据,方便调试,但由于 SRAM 工艺的 FPGA 掉电后数据不能保存,因此需要 AS 方式将配置逻辑烧录到非易失性的 EPCS 中存储。

2.2 ADC 选型

为了实现对等离子体数据的高速数字化,系统采用了 ADI 公司的 AD9219 模数转换芯片^[5],AD9219

是内置 4 个独立通道的 ADC,采样率为 65 MS/s,分辨率 10 bit。AD9219 的模拟输入和数字输出都是差分信号,输出为 650 Mb/s 的高速 LVDS 信号,差分输入范围为 2 V_{pp}。

2.3 其他器件选型

DAC 采用了双通道 12 位的 AD5405,刷新频率可以达到 21.3 MS/s。DAC 电路设计为单极性输出,输出电压符合:

$$V_{\text{out}} = -\frac{V_{\text{REF}} \times D}{2^n - 1} \quad (1)$$

其中 V_{REF} 为 DAC 的参考电压, D 为从 0 到 4 095 的数字码值,分辨率 n 为 12。

DDR2 SDRAM 存储芯片选用了 Micro 公司的 MT47H32M16NF 颗粒。DDR2 在与 FPGA 进行连接时,应将 DDR2 的 DQS 管脚和 DM 管脚与 FPGA 中相关管脚相连,因为通过这些管脚的信号工作频率较高,对信号完整性要求也比较高。FPGA 不同 Bank 所能支持 DDR2 的最大工作频率不同^[6],使用底部或顶部 Bank 可以支持到 200 MHz,而左右 Bank 仅能支持到 167 MHz。本设计选择了底部 Bank 放置相关接口,在 200 MHz 工作频率下理论带宽可达 6 400 Mb/s,可以满足四通道 ADC 共计 2 600 Mb/s 的数据传输要求。容量为 512 Mb,用来缓存获取的大量数据。

3 FPGA 逻辑

本设计采用 Verilog 语言在 Quartus II 13.0 上实现了 ADC 数据采集、DDR2 控制和直接数字合成(DDS)等功能,在完成仿真、综合、布局布线后,生成了下载文件。FPGA 总体逻辑框图如图 2 所示。

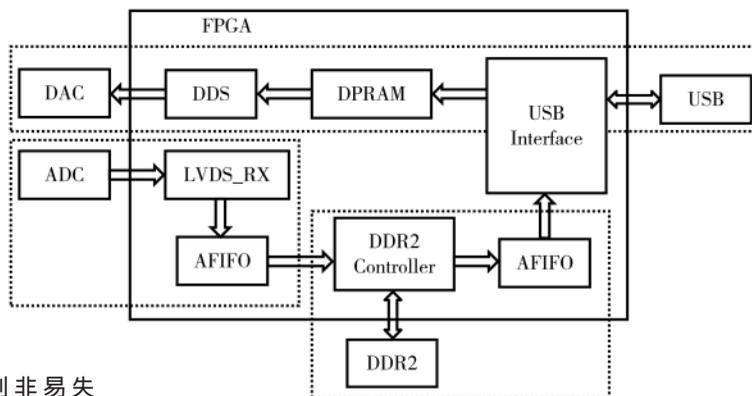


图 2 FPGA 总体逻辑框图

3.1 ADC 数据采集逻辑

FPGA 在接收 ADC 输出的高速 LVDS 串行信号时,需要考虑数据输出时钟(Data Clock Output, DCO)

边沿与数据边沿所存在的相位差,这种相位差主要来自 ADC 自身,AD9219 中约为 770 ps,此外不同的电路板走线长度也会产生延时差,在硬件布局布线设计中可以对板上走线延时设置约束,本设计中时钟和数据走线延时差小于 5 ps。知道了时钟与数据间的相位关系,便可以设置合理的时序约束,以满足建立时间和保持时间,消除亚稳态。Intel 提供了串并转换 IP 核 LVDS_RX,只需要确定通道数、串并比例、输入时钟频率和相位关系等参数即可调用,极大地提高了开发效率。

除了需要与数据确定相位关系,DCO 也要和帧输出时钟(FCO)确定相位关系,因为仅靠 DCO 采集到的数据虽然是正确的,但只是一串比特流,而不能确定数据的最高位(MSB)或最低位(LSB),只有通过 FCO 进行比特序列调整才可以恢复数据。比特调整的原理依据如图 3 所示^[5],数据与 FCO 的相位基本同步,FCO 的上升沿与数据的 MSB 对应,上升沿是指 FCO 由 0 转 1 的比特位,此时采集的数据就是 MSB。对 FCO 的各寄存器进行比特序列调整如图 4 所示,将图中寄存器 fco_reg 打拍得到寄存器

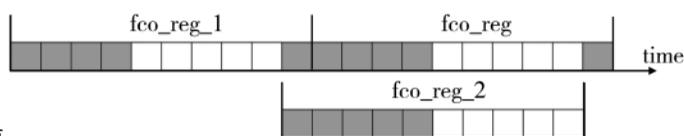


图 4 FCO 各寄存器比特序列调整

fco_reg_1,然后拼接得到的寄存器 fco_reg_2 就符合要求的正确序列。对数据比特流进行同样的序列调整和拼接操作,得到的就是从 MSB 到 LSB 依次排列的数据。

数据进行比特序列调整的驱动时钟为 65 MHz,而 DDR2 控制模块工作在 100 MHz,因此需要异步 FIFO 进行跨时钟域处理,以防止因亚稳态产生的数据错误或数据丢失。

3.2 DDR2 控制逻辑

DDR2 内存读写控制逻辑包括 DDR2 控制器 IP 核和用户驱动模块。控制器 IP 核负责 DDR2 内存初始化,完成预充电、刷新和 Bank 激活等操作,并提供读写命令和数据接口给本地用户,以方便调用。用户驱动模块则根据读写需求向 IP 核下发命令和数据。IP 核的工作方式有全速或半速两种,前

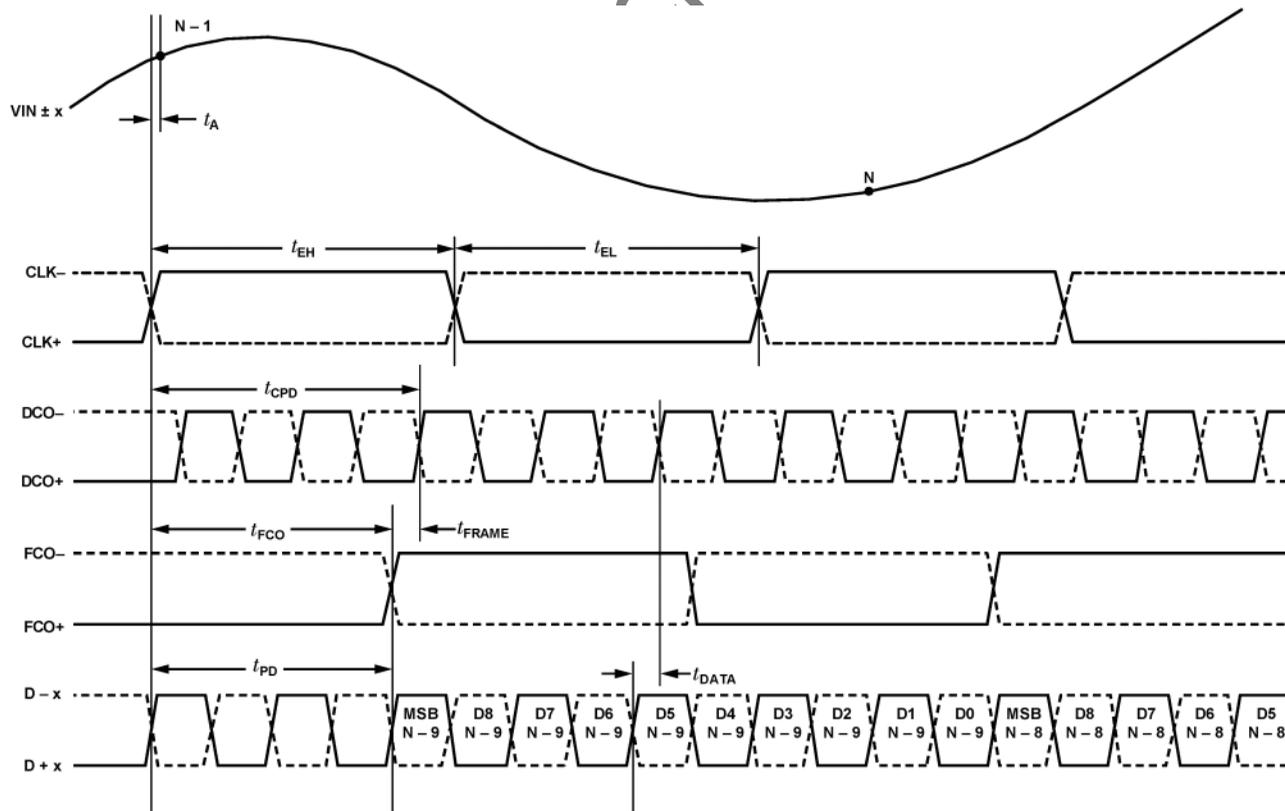


图 3 数据流与时钟相位关系

者工作频率为 200 MHz, 用户接口位宽为 32; 后者 100 MHz, 位宽 64, 所以半速工作方式是将时钟减半而数据位宽加倍。两者不会产生读写效率的差异, 但半速工作方式因为工作频率低, 时序要求更容易满足, 故本设计采用了半速工作方式。

3.3 DDS 逻辑

该系统在数据获取时, 需要产生扫描电压信号。模拟合成产生波形的的方法只能针对特定几种波形, 而且每种波形都需要特定的电路设计, 不仅结构复杂而且难以实时控制。因此数字化的方法逐渐得到越来越多的应用, 其中 DDS 是一种常用的产生波形的的方法^[7]。DDS 主要由相位累加器、波形存储器、数模转换器和波形重建滤波器组成。工作时, 上位机通过 USB 将波形数据下发, 存储在由双端口 RAM 组成的波形存储器中。相位累加器会在每个时钟周期更新, 其值作为地址在波形存储器中进行查询, 查得样本数据通过数模转换器生成模拟波形, 再经过重建滤波器得到所需波形。

4 上位机软件开发

上位机的主要功能是控制波形输出、数据读回、保存和显示等。在 Visual Studio 平台上开发了一套基于 Windows 客户端程序框架 (Windows Presentation Foundation, WPF) 的软件平台。WPF 包含大量文本、图形和布局控件, 可支持 2D/3D 图形动态渲染, 控件的功能可用 C# 语言实现, 软件界面则由可扩展应用程序标记语言 (eXtensible Application Markup Language, XAML) 进行描述, 上位机界面如图 5 所示。

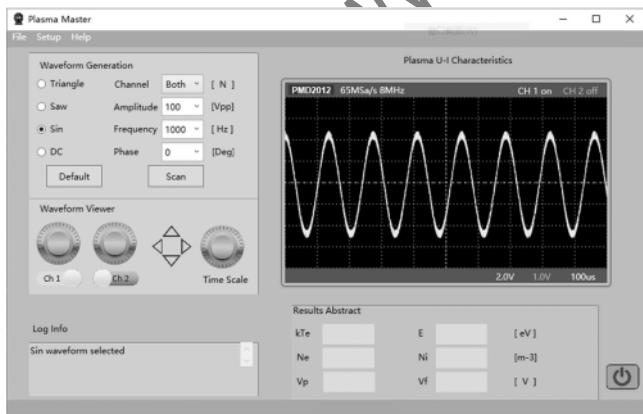


图 5 上位机软件界面

上位机工作流程如图 6 所示, 用户首先在软件界面设置波形的类型、频率、幅度和相位等参数, 据此生成波形数据并通过 USB 下发至 FPGA; 其次将

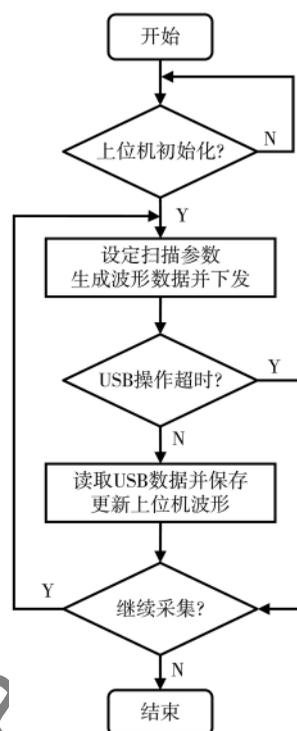


图 6 上位机工作流程图

ADC 采集的数据读回, 当读回一定量的数据之后, 进行存盘; 最终将最近一次读回的数据作图并显示在屏幕上。

5 系统测试

系统在完成硬件装配、逻辑调试下载之后, 进行了上板测试, 包括 DDR2 读写测试、USB 通信测试、ADC 性能测试和 DAC 输出测试。

5.1 DDR2 读写测试

DDR2 读写测试包括数据读写正确性测试和读写速度测试, 测试原理如图 7 所示。

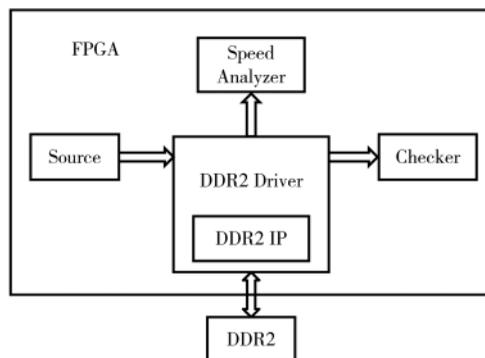


图 7 DDR2 读写测试原理框图

数据读写正确性测试由数据源、DDR2 驱动器和检测模块构成。数据源持续写入 DDR2 驱动器直

到写满,然后将 DDR2 中数据依次读出,送至检测模块确认数据正确性。在连续读写超过 680 Gb 数据后,即将容量 512 Mb 的 DDR2 反复读写 1 300 余次,未发现错误。

读写速度测试是在正确性测试的基础上进行计时,同时统计读写数据量和工作时间,得到长时间工作的平均速度。测试结果如表 1 所示。DDR2 写入速度大于 ADC 需求速度是因为中间采用异步 FIFO 缓存,减少了 DDR2 写入的等待时间。

表 1 DDR2 读写速度测试结果

	数据量/MB	时间/s	速度/(Mb/s)
写入	4 630.6	11.95	3 100.8
读出	4 630.5	12.17	3 043.4
写入	85 278.5	220.02	3 100.8
读出	85 278.5	224.17	3 043.4

5.2 USB 通信测试

USB 通信测试^[8]包括上位机下发波形数据测试和数据读回测试。上位机下发的波形数据通过 SignalTap 在线抓取,经过连续多次下发测试,验证了数据在经过 USB 芯片后可以被 FPGA 正确接收。数据读回测试是在 FPGA 中构建测试源并将数据传输到上位机,在上位机中进行数据对比检测,经过约 100 Gb 数据读回测试,没有发现错误。

5.3 ADC 性能测试

ADC 的性能基本决定了整个系统的性能,其测试包括静态性能测试和动态性能测试^[9]。静态性能指标包括微分非线性(DNL)和积分非线性(INL),测试信号源为 490 kHz 的正弦波,由泰克 AFG3252C 提供,连续采样点数 1 228 800,非线性测试结果如图 8 所示,DNL 范围为 -0.3 LSB 到 0.2 LSB,INL 范围为 -0.4 LSB 到 1.3 LSB。ADC 采集的波形与频谱如图 9 所示。

常用的动态性能指标包括信噪比(SNR)、无伪峰动态范围(SFDR)和有效位(ENOB)等,测试结果如表 2 所示,整体性能符合要求。

表 2 ADC 性能测试结果

频率/kHz	SNR/dB	SFDR/dB	ENOB/bit
30	59.3	59.4	9.01
490	59.5	58.9	8.96
1 100	60.0	60.9	9.08

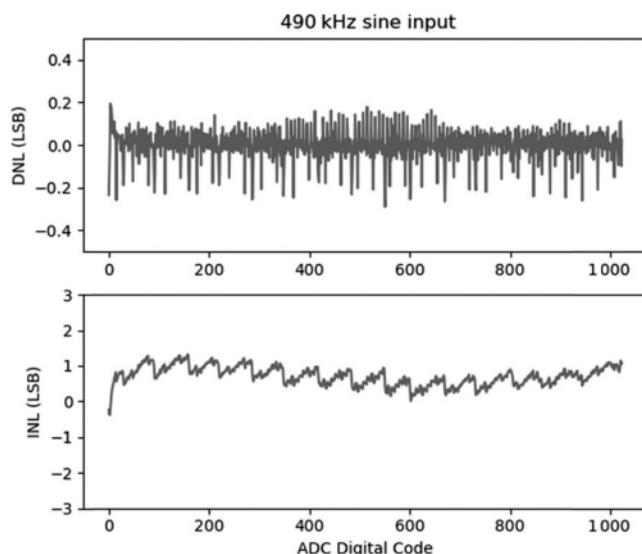


图 8 ADC 微分非线性与积分非线性测试结果

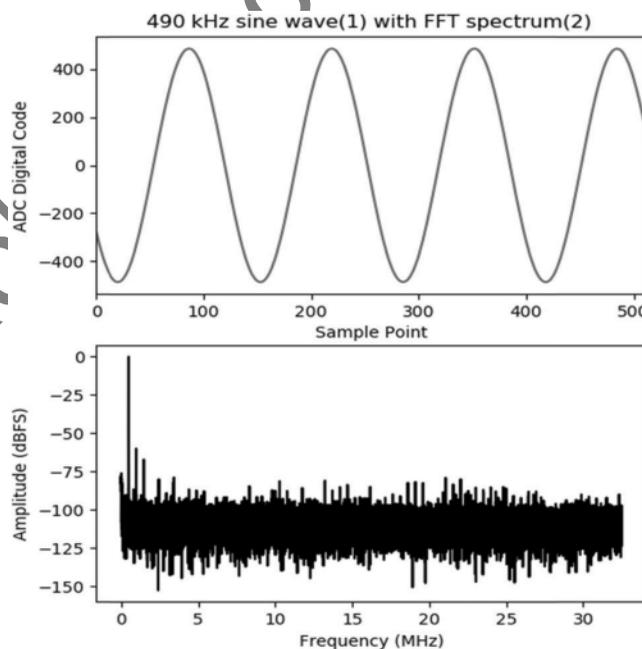


图 9 ADC 采集的 490 kHz 正弦波形与频谱图

5.4 DAC 输出测试

DAC 输出测试由上位机依次给定要转换的数字码值,并由安捷伦 34 401 A 万用表测量 DAC 输出的直流电压和噪声(RMS)。测量直流电压与式(1)计算的理论值进行比较计算误差,参考电压为 -2.037 V,最大直流误差小于 0.1%,噪声电压(RMS)6.6 mV,可以满足要求。

6 结论

本文设计了一种多通道数据采集系统,包括硬件

表 3 DAC 输出测试结果

数字 码值	理论值/V	测量值		DC 误差/%
		DC/V	Noise(RMS)/mV	
0	0.000	0.000	3.2	0.000
1 024	1.019	1.018	1.8	0.098
2 048	2.037	2.038	3.4	0.049
3 072	3.056	3.056	5.1	0.000
4 095	4.073	4.075	6.6	0.049

和上位机软件。经过长时间连续板上测试,得到 DDR2 写入速度为 3 100.8 Mb/s,读出速度为 3 043.4 Mb/s,ADC 的 ENOB 可达 9.08,SNR 为 60.0 dB,典型 DNL 小于 0.3 LSB,INL 小于 1.3 LSB,DAC 输出直流误差小于 0.1%。整个系统运行稳定,可由用户灵活控制,证明了设计方案的可行性。

参考文献

- [1] 许旺,陈政,李福龙,等.基于 ARM7 的静电探针测量仪的设计[J].天津理工大学学报,2011(3):28-31.
- [2] 陈柱,程健,刘汉斐.基于单片机的静电探针自动测量系统[J].自动化仪表,2009,30(2):65-67.
- [3] 易志强,韩宾,江虹,等.基于 FPGA 的多通道同步实时高速数据采集系统设计[J].电子技术应用,

2019,45(6):70-74.

- [4] Intel.Cyclone III Device handbook volume 1[Z].Altera Corporation,2012:13-18.
- [5] AD9219.Quad,10-Bit,40/65 MSPS Serial LVDS 1.8 V ADC[Z].Analog Devices,2011:1-9.
- [6] Intel.Design guidelines for implementing DDR and DDR2 SDRAM interfaces in cyclone III devices[Z].Altera Corporation,2009:1-2.
- [7] 付宝仁,王超,高鸿儒.基于 FPGA 的高精度信号发生器[J].信息技术与网络安全,2020,39(1):87-91.
- [8] 李超,梁昊,薛俊东,等.基于 USB 的 LVDS 信号传输误码率测试系统[J].核电子学与探测技术,2004,24(6):772-774.
- [9] 郭晓宇.一种用于高速 ADC INL/DNL 测试的新方法[J].电子与封装,2015(12):12-15.

(收稿日期:2020-03-25)

作者简介:

简志景(1993-),男,硕士研究生,主要研究方向:物理电子学。

梁昊(1970-),通信作者,男,博士,副教授,主要研究方向:核电子学、数据获取与处理。E-mail:simonlh@ustc.edu.cn。

(上接第 5 页)

分析了基础软硬件生态体系建设发展的现状和存在的问题,提出了针对基础软硬件生态建设的若干建议和措施。希望本文的研究成果能够为基础软硬件生态体系建设提供一些有益的参考和借鉴。

参考文献

- [1] 王超.国内外信息技术产品生态体系现状对比分析[J].中国计算机报,2018年12月24日第012版.
- [2] 刘昌伟.自主可控生态建设需要解决的关键问题[J].信息安全研究,2018,4(8):748-754.
- [3] 徐顺杰.加快推动网信领域核心技术生态圈建设[J].

网络空间安全,2018(9):1-5.

- [4] 陈硕颖,杨扬.我国基础软硬件产业的“生态”瓶颈及突破.经济纵横,2018(11):103-110.

(收稿日期:2020-07-14)

作者简介:

谢劲松(1970-),男,博士,工程师,主要研究方向:计算机体系结构、基础软硬件生态建设等。

符兴斌(1978-),男,博士,高级工程师,主要研究方向:软件工程、软件体系结构、基础软硬件生态建设等。

赵文辉(1972-),男,博士,高级工程师,主要研究方向:软件工程、国产化软硬件生态建设等。

版权声明

经作者授权，本论文版权和信息网络传播权归属于《信息技术与网络安全》杂志，凡未经本刊书面同意任何机构、组织和个人不得擅自复印、汇编、翻译和进行信息网络传播。未经本刊书面同意，禁止一切互联网论文资源平台非法上传、收录本论文。

截至目前，本论文已经授权被中国期刊全文数据库（CNKI）、万方数据知识服务平台、中文科技期刊数据库（维普网）、JST日本科技技术振兴机构数据库等数据库全文收录。

对于违反上述禁止行为并违法使用本论文的机构、组织和个人，本刊将采取一切必要法律行动来维护正当权益。

特此声明！

《信息技术与网络安全》编辑部
中国电子信息产业集团有限公司第六研究所