

基于 FPGA 的 PN 码捕获和跟踪技术的研究与实现

张 展,龙海南

(河北大学 电子信息工程学院,河北 保定 071000)

摘 要: 研究了在直接序列扩频通信中基于 FPGA 的基带 PN 码(扩频码)的捕获跟踪技术。在 PN 码解调中,介绍了串并混合的捕获方案和基于迟早门的跟踪方案。以 Quartus II 作为平台采用 Verilog HDL 的硬件描述语言进行设计,并进行了 Modelsim 的仿真测试,最终下载到具体 FPGA 器件进行了基带的传输测试。

关键词: FPGA;PN 码;捕获;跟踪;Modelsim

中图分类号: TN914

文献标识码: A

文章编号: 1674-7720(2014)04-0053-03

Research and implementation of the PN code acquisition and tracking technology based on FPGA

Zhang Zhan, Long Hainan

(College of Electronic and Information Engineering, Hebei University, Baoding 071000, China)

Abstract: Studying baseband PN code (spread spectrum code) acquisition and tracking technology based on FPGA in the direct sequence spread spectrum communication. In PN code demodulation, introducing the serial and parallel hybrid acquisition scheme and tracking scheme based on door sooner or later. This design by Quartus II as a platform, using Verilog HDL hardware description language to carry on the design, and has carried on the Modelsim simulation test. Finally downloaded to the FPGA device specific transmission test.

Key words: FPGA; PN code; acquisition; tracking; Modelsim

在扩频通信中直接序列扩频方式是常用的扩频方式之一。关于对传输速率要求较高的扩频通信来说,码元的快速捕获和良好的跟踪性能就显得至关重要^[1]。而 FPGA 芯片由于其出色的数据高速处理能力、保密性好、开发方便灵活、开发工具智能化等特点在现代数字通信中得到越来越广泛的应用。在基带扩频解调中 PN 码的捕获和跟踪是原始信号能否正确解扩的关键,扩频码的捕获一般有串行捕获、并行捕获和匹配滤波器捕获方式。匹配滤波器的方式由于受到码元周期的限制,随着 m 序列周期的增加匹配滤波器的复杂度将会急剧增加。串行捕获方式虽然实现简单但耗费时间,而并行捕获方式虽然捕获时间短但耗费硬件资源。所以本文结合串行捕获方式和并行捕获方式各自的优点,采用串并混合的捕获方式。而码元跟踪采用的是“迟早门”的跟踪方式。

1 直接序列扩频解调输出

1.1 直接序列扩频解调框图

直接序列扩频解调模块为直扩系统的重点也是难

点,本次设计 PN 码基带解扩包括 4 个主要模块:本地 m 序列发生器、PN 码捕获模块、PN 码跟踪模块和解调输出模块^[2]。其解调功能框图如图 1 所示。

本次设计采用的 m 序列为 15 位 m 序列,并且特征多项式为 $y=x^{15}+x+1$,m 序列的主要性质有:n 级 m 序列具有周期性,周期 $p=2^n-1$;在 m 序列一个周期中“1”和“0”的数目基本相等(严格说 1 的总个数比 0 多一个);m 序列具有很好的自相关性。

由于两个相同 m 序列稍有相位差相关性就会急剧下降^[3],所以可以利用 m 序列很好的自相关性和均衡性对其进行解调。

1.2 PN 码捕获模块

在 PN 码捕获模块中本地 m 序列发生器产生的 15 路 PN 码分别送入捕获模块的 15 路通道,每个通道中首先进行 PN 码和接收信号的相关运算。

(1) 相关器

在数字信号中相关器由乘法器和积分器共同组成,

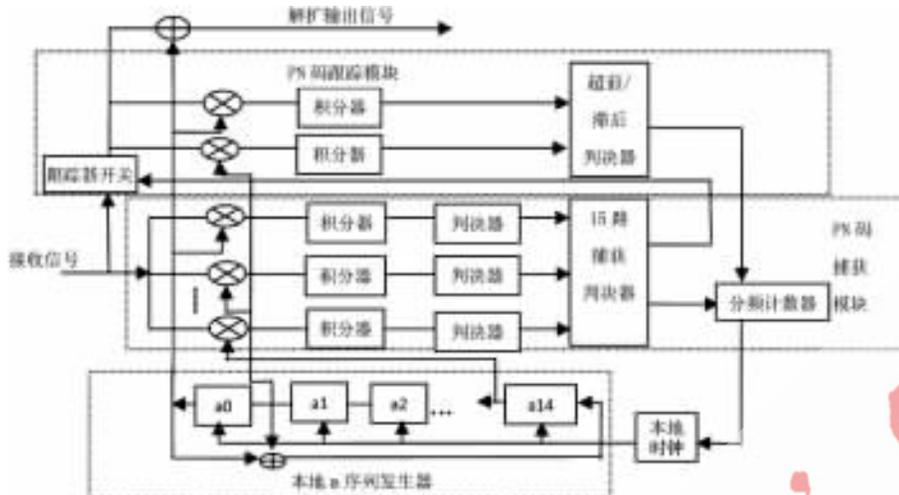


图1 直接序列扩频解调功能框图

乘法器完成本地 PN 码和接收信号的乘法运算, 当本地 PN 码和接收信号同为高电平时输出“1”, 当其中之一为低电平时即为“0”。

积分器的作用是对乘法器输出的“1”做累加。采用系统时钟 sys_clk (50 MHz) 对积分器进行控制。为了时序的可控性, 定义一个计数器 $counter$, $counter$ 用于记录本地 PN 码输出个数, PN 码每输出一个, $counter$ 加 1, 计满一个周期清零。

(2) 判决器

15 路判决器分别对本路积分器输出数据进行判决, 在积分器清零前进行相关性判决, 在一个周期 (32 767) 码元内进行 4 次判决, 这样就节省了捕获时间和运算量。如果积分值大于预设值, 则认为此路与接收信号相关性最好, 完成捕获。

(3) 15 路捕获判决并时钟调整

本模块完成信号的最终捕获, 需要 15 路捕获判决器、分频计数器和本地时钟的协同配合。15 路捕获判决器主要用于判断哪一路与接收信号最相关, 完成了捕获。为了便于接下来的信号的跟踪, 要求最终接收信号要与第 0 路相关性最大。如果捕获判决器检测到非第 0 路的其他路信道捕获到信号, 将会控制分频计数器的计数, 从而控制时钟的频率。如果 15 路捕获判决器检测到第 0 路捕获到信号, 则 $cnt0=0$; 如果检测到第 1 路捕获到信号, 则 $cnt0=1$; 依此类推, 如果第 14 路捕获到信号, 则 $cnt0=14$; 如果没有检测到某一路相关, 则 $cnt0=15$ ^[4]。分

频计数器将根据送出的 $cnt0$ 的值调整计数方式, 从而调整时钟频率。如图 2 所示, 第一次判决第 4 路与接收信号相关, 分频计数器调整本地时钟, 在下次判决时 $cmp0$ 为高电平完成捕获。

图 2 中, sys_clk 为全局时钟; clk 为本地 PN 码发生器时钟; $cmp0 \sim cmp5$ 为积分判决器输出; $cnt0$ 为 15 路捕获判决器输出。

1.3 PN 码跟踪模块

在完成 PN 码捕获后, 系统进入跟踪状态, 在跟踪模块中采用的是“迟早门”^[5]位同步法。关于“迟早门”

的原理如图 3 所示, 采用 8 倍于码元信号的速率对信号进行跟踪采样。每个采样脉冲出现时, “接收信号”与“本地滞后信号”、“本地超前信号”分别进行相乘。以一个码元来说明, 如图 3 中的两条实线之间, 在此码元期间进行乘加操作后, 如果码元接收信号与本地时钟同步, 则乘加后超前和滞后两路信号的值应该都为 4。但如果接收信号滞后本地时钟 (如图 3 虚线所示), 则在一个码元周期后, 本地滞后信号的累加值为 5, 而超前信号的累加值为 2。这样在经过一定的码元周期后进行超前通道和滞后通道的累加值判断, 如果滞后信号通道累加值大于超前通道累加值, 则接收信号滞后本地时钟; 反之, 则接收信号超前本地时钟。PN 码的跟踪就是采用上面的同步方法, 在本地时钟的控制下分别采用第 0 路和第 1 路作为本地滞后信号 $behind_clk$ 和本地超前信号 $ahead_clk$ 。

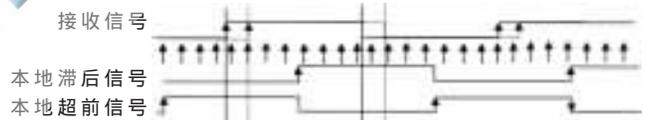


图3 “迟早门”位同步法

分频器计数器根据接收到的 $ahead_clk$ 、 $behind_clk$ 信号状态调整本地时钟频率。当 $behind_clk$ 为“1”时, 说明本地时钟频率太快, $cnt1$ 不再累加计数; 当 $ahead_clk$ 为“1”时, 说明本地时钟频率太慢, $cnt1$ 快速计数; 当 $behind_clk$ 和 $ahead_clk$ 都为“0”时, 说明本地时钟与接收信号同步, $cnt1$ 正常计数^[6]。

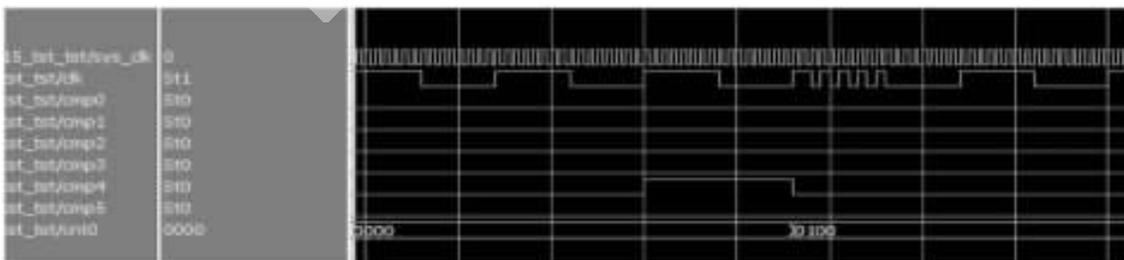


图2 15 路捕获判决并时钟调整局部仿真图

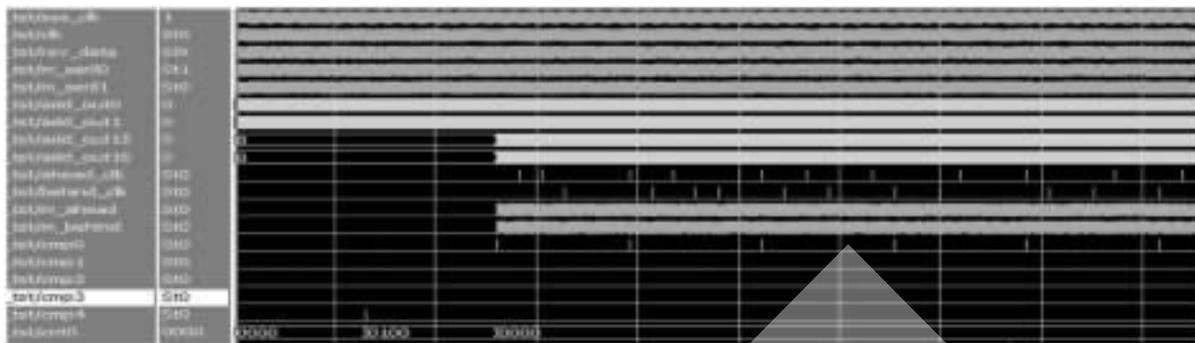


图4 捕获跟踪仿真全局图

如图4的捕获跟踪全局图所示,由上到下,sys_clk为系统时钟;clk为本地时钟;rev_data为接收信号;m_seril0、m_seril1为本地15路相干PN码中的第0路和第1路;add_out0、add_out1为15路积分累加器中的第0路和第1路累加器;add_out15为超前路累加器;add_out16为滞后路累加器;ahead_clk为判决点超前标志信号;behind_clk为判决点滞后标志信号;m_behind为滞后信号;m_ahead为超前信号;cmp0~cmp4为第0路到第4路积分判决器输出,cnt0为15路判决器输出。在cmp0输出为高电平后系统完成捕获,进入跟踪模块,在超前滞后时钟的控制下对本地信号进行微调从而实时对输入信号进行跟踪。在系统进入跟踪后,还会一直监视系统是否有大的波动导致失跟踪,一旦失跟踪,就重新进入捕获模块。如果捕获完成就进入解调模块,本地同步PN码与接收信号异或即可完成解调。

2 下载测试

最后将0~F共16个数据从一端循环发送至另一终端接收,并数码管显示。

首先将16个数据以自定义帧数据格式进行传输,一帧数据为10位:1位帧头位,8位数据位,1位帧尾。每帧数据发送时间间隔为1.44256ms,码元周期为15680ns(码元传输速率为 $R_s=63.775\text{ kb/s}$)。然后在系统时钟的控制下,用PN码进行调制,PN码传输速率 $R_m=3.125\text{ Mb/s}$,信号的调制就是PN码和信号码元相异或,接收端在码元严格同步情况下用相同PN码与接收信号异或,即可得到原始信号。图5为信号解调的Modelsim仿真图。

sys_clk为系统时钟,rev_data为接收信号,m_seril0为



图5 信号解调输出

第0路本地相干信号,data为解调后信号,send_data为发送的原始信号。

将经过Verilog HDL编写的调制和解调代码经过编译、布局布线、引脚分配后分别下载至两个终端电路板器件,并进行两个终端间数据传输,结果正确工作稳定。

参考文献

- [1] 郭黎利,李北明,窦峥.扩频通信系统的FPGA设计[M].北京:国防工业出版社,2013.
- [2] 李振宇.基于FPGA的扩频信号发生器的研究与设计[D].哈尔滨:哈尔滨工程大学,2007.
- [3] 樊昌信,曹丽娜.通信原理[M].北京:国防工业出版社,2007.
- [4] 宫二玲,王跃科,杨俊.直序扩频通信中码元同步的快速捕获[J].通信学报,2003,24(11):34-39.
- [5] 瞿俊杰.基于模糊控制的迟早门同步器及其FPGA实现[J].电子技术应用,2003,29(8):37-38.
- [6] 杨迪.直接扩频接收机的码捕获与跟踪技术研究[D].昆明:昆明理工大学,2007.

(收稿日期:2013-10-26)

作者简介:

张展,男,1988年生,硕士,主要研究方向:数字通信工程。

龙海南,男,1954年生,副教授,主要研究方向:数据通信及程控交换网络。