

# 基于 FPGA 的监测接收机中 DDC 的设计与实现

曾建,冯晓东

(重庆邮电大学 电信业务支撑系统研究所,重庆 400065)

**摘要:** 设计了一种基于 FPGA 的数字监测接收机中数字下变频的设计方案,详细介绍了数字下变频器中数控振荡器、积分级联梳状滤波器、半带滤波器和 FIR 滤波器的设计方法,并编写 Verilog HDL 程序实现各个模块,最后将程序下载到 FPGA 中测试,得到 I/Q 信号波形和频谱,能够满足微波数字监测接收机的功能需求。

**关键词:** 数字下变频;数控振荡器;积分级联梳状滤波器;FPGA

中图分类号: TN925+.1

文献标识码: A

文章编号: 1674-7720(2014)01-0081-03

## Design and realization of DDC for the monitor receiver based on FPGA

Zeng Jian, Feng Xiaodong

(The Telecom Services Support Systems Research Institute, Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

**Abstract:** The theories about digital down conversion (DDC) are researched, and a DDC scheme based on field programmable gate array (FPGA) for the digital monitoring receiver is presented, and the detail design of each component of DDC, including numerically controlled oscillator (NCO), cascaded integrator comb (CIC) filter, half-band filter and FIR filter are presented. Each modules of DDC are realized by Verilog HDL program, finally the DDC program is downloaded to FPGA device, and the I/Q signal waveforms outputted by DDC and their frequency spectrum are given. the result shows that the DDC is meted the needs of the microwave digital monitoring receiver.

**Key words:** digital down conversion; NCO; CIC filter; FPGA

随着通信技术的发展,无线电监测在军事和民用上都显示了其重要作用。数字下变频 DDC (Digital Down Conversion) 是无线电数字监测接收技术中的一种关键性技术,传统 DDC 大部分采用专用芯片来实现,而专用 DDC 芯片存在兼容性差、灵活性低等缺点<sup>[1]</sup>。由于软件无线电 SDR (Software Defined Radio) 技术的快速发展,通过引进软件无线电技术来设计开发覆盖多频段、兼容多个通信体制的无线电数字监测接收机是未来无线电监测的主流<sup>[2]</sup>。本文根据某微波数字监测接收机功能需求,设计一个数字中频带宽可灵活设置的 DDC 方案。

### 1 数字下变频的设计方案

数字下变频器主要包括数控振荡器 NCO (Numerically Controlled Oscillator)、数字混频器和数字滤波器 3 部分<sup>[3]</sup>。根据某微波数字监测接收机的功能需求,基于 Spartan-6 系列 XC6SLX150T 型号的 FPGA 芯片,设计一个模拟中

频输入为 75 MHz、采样频率为 60 MHz、数字中频带宽最大为 20 MHz 的可灵活设置的数字下变频器。文中 DDC 数字滤波器组由 3 类数字滤波器以级联的方式组合起来,分别是积分级联梳状 CIC (Cascaded Integrator Comb) 滤波器、半带 HB (Half-Band) 滤波器和 FIR 滤波器<sup>[4]</sup>,DDC 结构如图 1 所示。

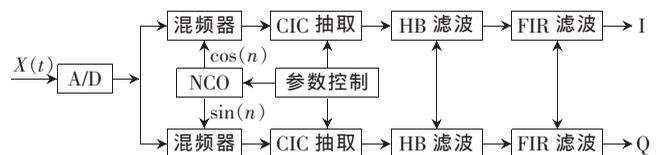


图 1 数字下变频原理结构示意图

### 2 数字下变频设计

#### 2.1 数控振荡器设计

数控振荡器(NCO)是 DDC 中的复杂模块,也是影响 DDC 性能的重要因素之一。NCO 的目标是产生一对频

## 技术与方法 Technique and Method

率可变的数字正弦或余弦信号,如式(1)所示:

$$S(n) = \cos\left(2\pi \times \frac{f_{lo}}{f_s} \times n\right) \quad (1)$$

其中,  $f_{lo}$  是 NCO 的本地振荡频率,  $f_s$  是 ADC 的采样频率。

在 FPGA 中, NCO 可以采用查表法、实时计算法和CORDIC 法等多种方法实现。由于 FPGA 中的资源有限, 本文采用资源利用率较高的查表法来实现 NCO, 其工作原理是根据 NCO 的相位计算出相应的正弦值, 然后以该相位值作为地址将对应的正弦值存到 ROM 中, 当 DDC 中每输入一个待下变频的采样数据, NCO 就自动增加一个  $\frac{f_{lo}}{f_s} \times 2\pi$  的相位增量, 然后以相位累加值为地址, 并将存放在该地址的正弦信号值送到数字混频器中与采样信号相乘, 得到 I/Q 两路相互正交的信号<sup>[5]</sup>。

根据采样定理可知, ADC 采样时会将 75 MHz 的中频信号左右搬移 60 MHz 的整数倍, 即产生频率为  $(75 \pm 60 \times N)$  MHz 的镜像信号, 此时可以选择其中任意一个镜像信号来完成解调。文中选择 15 MHz 的镜像信号, 即 NCO 产生一个频率为 15 MHz 的正弦信号与频率为 15 MHz 的镜像信号在混频器中混频, 得到的差频信号就是基带信号。

在实现 NCO 时, 影响 NCO 性能的主要因素有 NCO 的相位截尾误差和正弦信号的幅度量误差, 产生这两种误差的原因是正弦信号的相位和幅度在 FPGA 中是由宽度有限的存储单元来保存的, 因此 NCO 中相位增量的有效数据位数有限, 正弦信号的幅度在量化时也会产生一定的误差。为了降低误差对 NCO 性能的影响, 本文设计的 NCO 相位增量的有效数据位数为 32 位, NCO 输出有效数据位数为 20 位的正弦和余弦信号, NCO 的频率分辨率为 0.05 MHz, 线性动态范围为 120 dB。

### 2.2 积分级联梳状滤波器设计

随着现在无线通信中数据的传输速率越来越高, CIC 滤波器在该领域中的应用显得更加重要。CIC 滤波器的结构比较简单, 占用的 FPGA 资源较少, 工作速度快, 因此它适合工作在高速采样的情况中, 而且 CIC 滤波器的灵活性好, 所以 CIC 滤波器常作为 DDC 滤波器组中的第一级滤波器。

单级 CIC 抽取滤波器包括积分部分和梳状部分<sup>[6]</sup>, 积分部分是一个反馈系数为 1 的单极点 IIR 滤波器, 其传输函数如式(2)所示:

$$H_I(z) = \frac{1}{1-z^{-1}} \quad (2)$$

梳状部分是一个 FIR 滤波器, 其传输函数如式(3)所示:

$$H_C(z) = 1-z^{-DM} \quad (3)$$

式中  $D$  为延迟因子,  $M$  为抽取因子。因此单级 CIC 滤波

器的传输函数的幅频响应如式(4)所示。

$$|H(e^{j\omega})| = \left| \frac{\sin(\omega DM/2)}{\sin(\omega/2)} \right| \quad (4)$$

其中, 主瓣范围为  $[0, 2\pi/DM]$ 。根据式 4 可知, 随着频率的增大, 旁瓣电平不断减小。当  $DM \gg 1$  时, 第一旁瓣的电平为  $2DM/3\pi$ , 其与主瓣电平的差值  $\alpha$  为:

$$\alpha = 20 \lg \left( \frac{DM}{2DM/3\pi} \right) = 13.36 \text{ dB} \quad (5)$$

由式(5)可知, 单级 CIC 抽取滤波器的旁瓣电平较高, 阻带衰减较小。为了满足接收机的大动态范围的性能要求, 实际中常采用多个单级 CIC 滤波器级联起来降低旁瓣电平, 以获得较高的阻带衰减。根据单级 CIC 抽取滤波器的原理结构可知, 包含  $N$  级 CIC 滤波器级联的系统的传输函数可以用式(6)来表示:

$$H(z) = \left( \frac{1-z^{-DM}}{1-z^{-1}} \right)^N \quad (6)$$

本文将 5 个单级 CIC 抽取滤波器级联起来构成 5 级 CIC 抽取滤波器, 并将该 5 级 CIC 抽取滤波器抽取因子  $M$  设置为 25。实际应用中, 当数据速率较高时, 微分延迟因子  $D$  一般设置为 1 或者 2<sup>[6]</sup>, 文中将  $D$  设置为 1。则 5 级 CIC 抽取滤波器的系统传输函数如式(7)所示:

$$H(z) = \left( \frac{1-z^{-25}}{1-z^{-1}} \right)^5 \quad (7)$$

该 CIC 滤波器的幅频特性如图 2 所示。

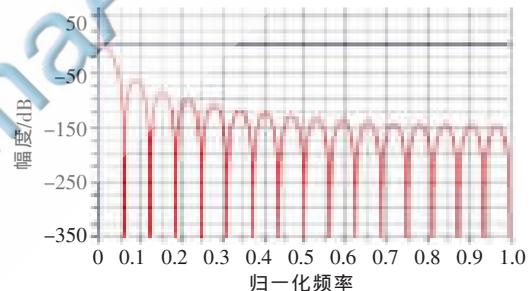


图 2 5 级 CIC 抽取滤波器幅频特性

根据式(7)可知, 5 级 CIC 抽取滤波器的阻带衰减为 66.8 dB。

当 DDC 的数字中频带宽为 6 kHz 时, 此时对 I/Q 信号做 2 次 CIC 抽取滤波处理, 即数字混频器输出数据率为 60 MS/s 的 I/Q 信号进行 625 倍抽取滤波, 则 CIC 抽取滤波器组输出信号的数据率为 96 kS/s。当 DDC 的数字中频带宽为 20 MHz 时, I/Q 信号不进行 CIC 抽取滤波处理, 即数据率仍为 60 MS/s。

### 2.3 半带滤波器设计

半带滤波器用于将离散系统的工作频率分成两个对等的部分, 它的运算复杂度低, 适用于实现  $M=2^N$  倍抽取, 而且效率较高。由于接收机在处理通信信号时对线性相位的要求较高, 所以本文采用线性相位特性相对较好的 FIR 半带滤波器。

## 技术与方法 Technique and Method

为了使半带滤波器具有线性相位特性,其系数必须具有偶对称性,即它的系数要满足  $h(n)=h(N-1-n)$ ,其中  $N$  为 FIR 半带滤波器的阶数,除中心点  $n=\frac{N-1}{2}+1$  外,所有  $h(n)$  的偶数次系数都必须为零<sup>[6]</sup>。正因如此,在实现 FIR 半带滤波器时,它所占用的 FPGA 资源少,利于实时高效地实现数字信号处理。

当 DDC 的数字中频带宽为 6 kHz 时,半带滤波器输入数据率为 96 kS/s 的 I/Q 信号。为了进一步降低信号的数据率,文中将两个抽取率 2 的半带滤波器级联起来,以实现信号的 4 倍抽取,此时 I/Q 信号经半带滤波器组抽取处理后,数据率变为 24 kS/s。

当 DDC 的数字中频带宽为 20 MHz 时,根据监测接收机的功能需求,文中将 I/Q 信号通过一个抽取率为 2 的 FIR 半带滤波器,则半带滤波器输出 I/Q 信号的数据率为 30 MS/s。

### 2.4 FIR 滤波器设计

由于半带滤波器的过渡带较宽,矩形系数较差,不适合作为 DDC 中多级滤波器的最后一级,因此本文设计了一个矩形系数较好的 FIR 滤波器,使 DDC 能够输出较好的波形。

当 DDC 的数字中频带宽为 6 kHz 时,FIR 滤波器实现 2 倍抽取和波形整形功能。为实现该功能,文中设计一个 67 阶的 FIR 滤波器。经 FIR 滤波器处理,I/Q 信号的数据率变为 12 kS/s。

当 DDC 的数字中频带宽为 20 MHz 时,为进一步降低 I/Q 信号的数据率,文中设计一个实现 64/75 倍抽取的 2 048 阶 FIR 滤波器,数据率为 30 MS/s 的 I/Q 信号经过高阶 FIR 滤波器处理后,其数据率变为 25.6 MS/s。

### 3 DDC 测试及结果

使用 ISE14.3 工具将 DDC 的 Verilog HDL 程序进行综合、布局布线得到 DDC 中各个模块的资源使用情况,如表 1 所示。

表 1 DDC 中各模块的资源使用情况

模块	使用的资源数			
	LUTs	LUT-FF	DSP48	RAM/FIFO
NCO	87	87	2	0
CIC	2 080	1 447	20	0
HB	2 866	2 441	52	0
FIR	1 628	1 008	52	5

测试环境:用 R&S 公司 SMA100 型号的信号源产生 75 MHz 的中频模拟正弦信号,信号源输出模拟信号的功率为 0 dBm。用模数转换器 AD9265 以 60 MHz 的频率对中频模拟信号进行采样,该 ADC 的采样精度为 16 bit<sup>[7]</sup>。上位机与 FPGA 是通过网口通信,上位机发送指令设置 DDC 参数,然后对采样数据做 DDC 处理后发送给上位机,具体测试结果如下:

当 DDC 的数字中频带宽为 6 MHz 时,得到 I/Q 两路信号的波形以及对 I/Q 信号做 1 024 点快速傅里叶变换 FFT (Fast Fourier Transform) 运算得到的频谱如图 3 所示。其中上部分是频谱,下部分是 I/Q 信号,此时 I/Q 信号的无杂散动态范围 SFDR (Spurious Free Dynamic Range) 为 91.26 dB。

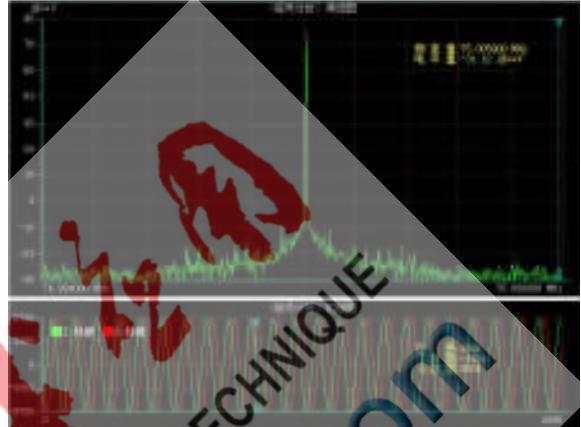


图 3 6 kHz 带宽时的 I/Q 信号波形及频谱

当 DDC 的数字中频带宽为 20 MHz 时,采样信号做 DDC 处理后得到 I/Q 两路信号的波形以及对 I/Q 信号做 1 024 点 FFT 运算后得到的频谱如图 4 所示,此时 I/Q 信号的 SFDR 为 83.26 dB。

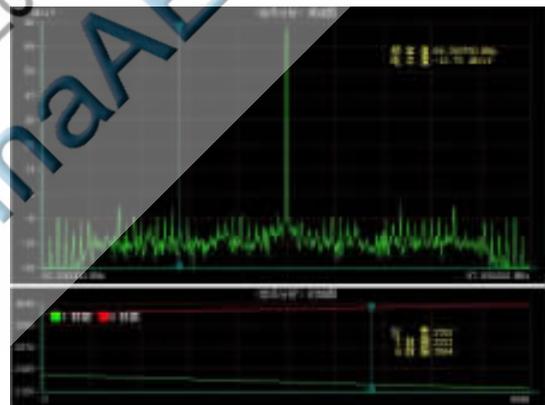


图 4 20 MHz 带宽时的 I/Q 信号波形及频谱

综上所述,本文设计的数字下变频方案具有数字中频带宽、可灵活配置以及可处理宽带信号和窄带信号,并且能获得较大的线性动态范围的特点,可代替传统的专用 DDC 芯片,能够满足无线电数字监测接收机的频谱管理和无线电测向等功能需求,为现代无线电监测提供了一种高性能的数字监测接收机数字下变频的解决方案,具有广泛的应用前景。

### 参考文献

- [1] 赵远鸿,宋学瑞.基于 FPGA 的数字下变频设计与实现[J].电子技术应用,2009,35(2):54-56.
- [2] 粟欣,许希斌.软件无线电原理与技术[M].北京:人民邮电出版社,2010.

[3] 陈斌,杜仲,周世君,等.一种基于 FPGA 的数字下变频算法设计[J].电视技术,2011,35(13):22-24.

[4] 冯振伟,武小冬.基于 FPGA 的数字中频接收机设计与实现[J].通信技术,2010,43(4):17-19.

[5] 严家明,李瑾,胡楚锋.基于正交混频的数字下变频技术研究[J].计算机测量与控制,2009,17(1):200-202.

[6] 西瑞克斯(北京)通信设备有限公司.无线通信的 MATLAB 和 FPGA 实现[M].北京:人民邮电出版社,2009.

[7] REV A. Analog Devices,16-Bit,125MSPS/105MSPS/80MSPS 1.8V Analog to Digital Converter AD9265[R]. 2009.  
(收稿日期:2013-09-25)

作者简介:

曾建,男,1988年生,硕士研究生,主要研究方向:数字接收技术,数字信号处理。

冯晓东,男,1970年生,高级工程师,主要研究方向:射频微波接收技术。

