

基于 FPGA 的 FIR 滤波器设计与实现

马维华, 谢虎城, 梁赫西

(湖北师范学院 文理学院 信息工程系, 湖北 黄石 435002)

摘要: 采用并行分布式算法和 MAC 算法给出了 FIR 滤波器的 FPGA 实现。以 32 阶 FIR 滤波器的设计为例, 采用 Altera 公司 Cyclone II 系列的 EP2C35F672C8 FPGA 作为硬件平台, 通过 Modelsim、Quartus II、MATLAB 软件平台对设计进行了联合仿真测试分析及验证。结果显示, 该设计达到了指标要求, 功能正确, 资源占用及处理速度均得到了优化。

关键词: FPGA; 分布式算法; FIR 滤波器

中图分类号: TN91

文献标识码: A

文章编号: 1674-7720(2013)23-0013-03

FIR filter design and realization based on FPGA

Ma Weihua, Xie Hucheng, Liang Hexi

(Department of Information Engineering, College of Arts & Science, Hubei Normal University, Huangshi 435002, China)

Abstract: This paper puts forward the implementation of FIR filter adopting parallel computation mechanism and MAC algorithm based on FPGA. For example, the 32 order FIR filter uses EP2C35F672C8 of Altera Cyclone II series as the hardware platform, and has been tested and checked through Modelsim, Quartus II and MATLAB by joint simulation. The result shows that the design achieves the index requirements and functions correctly, and the resource occupation and operating speed also get optimized.

Key words: FPGA; distributed arithmetic; FIR filter

现场可编程门阵列 FPGA (Field-Programmable Gate Array) 在器件密度、处理速度等达到片上系统的要求后, 其具有系统内可重构的特性成为实现 DSP 应用的优选方案之一。而且国外有许多院校和科研机构都在研究 FPGA 与 DSP 的应用, 实现了 FPGA 在电机转子控制设备^[1]、三相数字信号处理^[2]、宇宙射线射频干扰^[3]等研究上的突破。FPGA 的 DSP 解决方案为数字信号处理开创了新的领域, 使得构造的数字信号处理系统既能够保持基于软件解决方案的灵活性, 又能接近 ASIC 的性能。数字滤波器是数字信号处理的重要组成部分, 其实质是用有限精度算法实现的离散线性时不变系统对数字信号进行滤波处理^[4]。数字滤波器根据其单位冲激响应函数的时域特性可分为无限冲激响应 (IIR) 滤波器和有限冲激响应 (FIR) 滤波器两类。FIR 滤波器是有限长单位冲激响应非递归型滤波器。它可以在幅度特性随意设计的同时, 保证精确严格的线性相位, 广泛应用于数字信号处理系统中。

1 FIR 滤波器基本原理

FIR 滤波器是数字信号处理系统中最基本的元件, 它可以在保证任意幅频特性的同时具有严格的线性相频特性, 同时其单位抽样响应是有限长的, 其具有以下特点。

(1) 系统的单位冲激响应 $h(n)$ 在有限个 n 值处不为零。

(2) 系统函数 $H(z)$ 在 $|z|>0$ 处收敛, 极点全部在 $z=0$ 处 (因果系统)。

(3) 结构上主要是非递归结构, 没有输出到输入的反馈, 但有些结构中 (例如频率抽样结构) 也包含有反馈的递归部分。

设 N 阶 FIR 数字滤波器的单位脉冲响应为 $h(n)$, 其传递函数可表示为:

$$H(z) = \sum_{n=0}^{N-1} h(n)z^{-n}, 0 \leq n \leq N-1 \quad (1)$$

它有 $N-1$ 阶极点在 $z=0$ 处, 有 $N-1$ 个零点位于有限平面的任何位置。

由式(1)得出的直接型结构如图1所示。



图1 直接型结构

这种结构也称为抽头延迟线结构,或称横向滤波器结构。从图1可以看出,沿着这条链每一抽头的信号被适当的系数(脉冲响应)加权,然后将所得乘积相加就得到输出 $y(n)$ 。

2 基于MAC实现FIR滤波器结构

由FIR滤波器的输入输出线性卷积表示式(1)可以看到,要实现这个算法,需要 N 次的乘法和 $N-1$ 次的加法,其结构如图2所示。

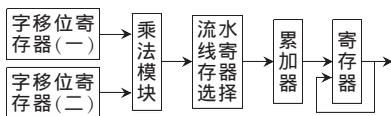


图2 传统结构MAC FIR滤波器

本文设计的FIR滤波器参数与指标如下:采样频率为5 MHz,截止频率为1.5 MHz,类型为I型低通,输入数据宽度为8位,阶数为32阶,系统数据宽度为8位,通带纹波系数为0.1,阻带纹波系数为40。经MATLAB平台仿真获得系统参数 $H(n)$ 。

系统加入频率分别为0.5 MHz和2 MHz的正弦信号,叠加合成后通过滤波器前后的波形如图3所示。由图3中波形对比可知,通过滤波器成功滤除了高频成分2 MHz信号,保留了低频成分的0.5 MHz信号。

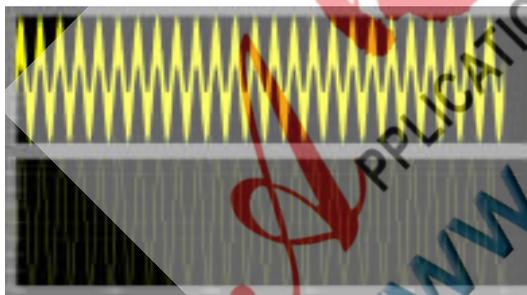


图3 MATLAB仿真

本文基于MAC的FIR滤波器采用了32个寄存器,分别寄存输入的32个8位宽数据,然后通过MAC结构将数据与MATLAB计算的 $H(n)$ 系数进行乘法运算,将结果累加,输出累加和数据并向右移动7位,舍弃后7位,即缩小128倍。出于FPGA不便于处理浮点型数据,在滤波器的参数上扩大了128倍,而使得最终的MAC结构输出的数据都扩大了相同的倍数,于是在这里舍弃后7位数据,从而实现缩小128倍的效果,使得输出正确的输出信号。

通过Modelsim导入在滤波器设计中MATLAB自动产生的Modelsim的通用Testbench文件,利用这个Test-

bench文件作为本文设计的FIR低通滤波器的测试激励文件。仿真结果如图4所示,高频部分被滤除,保留了低频信号部分。

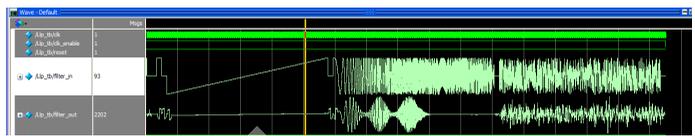


图4 Modelsim仿真结果

通过综合测试可知,在资源占用方面,本FIR滤波器仅占用556个逻辑单元(LE),216个寄存器资源以及203 bit的存储资源。资源占用皆不到5%,占用面积小。同时在速度方面,本FIR滤波器能够工作的最高频率 F_{max} 为195.73 MHz,工作速度也能够达到设计要求。

3 基于并行分布式算法的FIR滤波器

基于分布式算法(DA)的计算最显然而直接的形式是位串行,对基本算法的扩展可消除这一潜在的吞吐能力限制^[5]。位串行处理数据可得到适中的运算速度。若输入变量长度为 N 位,则需要 N 个时钟周期来完成一次内积计算。提高运算速度常见方法是将输入字段分割成 L 个子字段,然后并行处理这些子字段。该方法需要 L 倍的存储查找表,从而导致存储需求和成本的直线上升。通过将输入变量分解为一位子字段可获得最大速度。通过这种分解,每一时钟周期就可计算出一个新的输出采样。采用MATLAB的Filter Design HDL CODER工具箱的数字滤波器设计软件模块FDATool(Filter Design & Analysis Tool)进行设计,设定指标如下:Beta值为0.5的Kaiser窗函数,采样频率为5 MHz,截止频率为1.5 MHz,阶数为32阶。得到FIR的滤波器系数 $H(n)$,将 $H(n)$ 扩大128倍,再表示为8位二进制补码,以便于作为该低通滤波器的系数,同时在滤波器的输出,将输出结果向右移动7位,以缩小128倍,达到正确输出结果。

采用MATLAB平台,对FIR滤波器进行建模,并配置相应滤波器参数。采用频率为0.5 MHz的正弦波和一个随机噪声,通过叠加合成后输入到设计的FIR滤波器,得到输入输出波形,该FIR滤波器能够很好地去除高频部分,保留低频信号,其结构如图5所示。

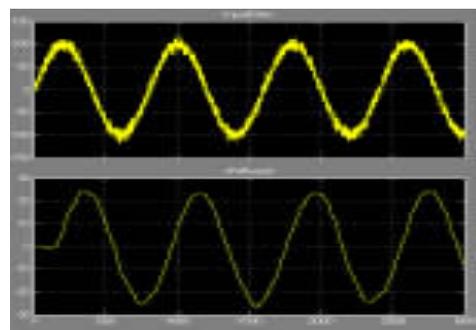


图5 Simulink搭建的FIR滤波器仿真结果

通过 DSP Builder 的交叉编译平台,在经过分析综合、编译仿真等流程后得到本设计的 32 阶 FIR 滤波器在 FPGA 上的具体实现结构。

编译综合后,再次加入两正弦波,频率分别为 0.5 MHz 和 2 MHz,叠加合成后通过实例化后的 FIR 滤波器,滤波结果如图 6 所示。可见,本 FIR 滤波器成功滤除高频信号成分,保留了低频信号。

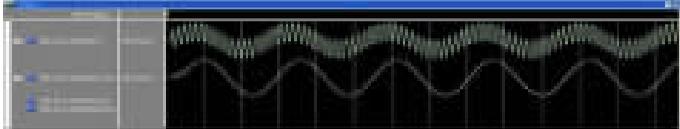


图 6 FIR 滤波器 Modelsim 仿真图

通过 Quartus II 布局布线及综合仿真,FIR 滤波器最终适配到 FPGA 中,系统占用 1 042 个逻辑单元(LE),寄存器为 274 个。可达到的最大工作频率 F_{max} 为 236.13 MHz,设计占用逻辑资源较少,工作频率较高,完全符合设计目标。

本文设计的 FIR 滤波器的两种方案中,滤波器的阶数均为 32 阶,两种方案均在 Altera 公司的 Cyclone II 系列 EP2C35F672C8 FPGA 芯片上实现,采用 Quartus II 11.1 综合布局布线后,所占用的硬件资源总结如表 1 所示。

从表 1 可知,本文与参考文献[6]相比,MAC 结构的硬件资源上要减少约 29%,DA 算法的也减少了约 73%;与参考文献[7]相比,MAC 硬件资源减少约 47%,DA 减少约 9%,而在运行速度方面,MAC 的增加了约 8%,DA 的也增加了约 25%;与参考文献[8]相比,MAC 的硬件资源减少约 13%,DA 的减少约 43%。

本文采用 FPGA 平台实现了 FIR 数字低通滤波器,同一个滤波器,实现结构不同,所耗费的资源和所能够达到的速度完全不同。本文采用流水线技术提高了滤波器的运行速率,同时运用逻辑单元实现乘法运算并复用该模块以达到减少逻辑单元消耗,并通过适当时序约束,对布局布线进行控制,通过手动布局,提高资源运用率。与其他同类型的滤波器相比,本文的 MAC 结构滤波器硬件资源占用减少了约 30%,且运行速度增加了约 19%;DA 算法滤波器也减少了约 41%,运行速度增加了约 25%,不仅节约的硬件资源,而且提高了系统处理速度。

参考文献

[1] MORALES-CAPORAL R, BONILLA-HUERTA E, HERNANDEZ

表 1 资源占用对比表

实现方案	MAC 结构的 FIR 滤波器逻辑 单元(LE)	最高时钟 频率 F_{max}/MHz	并行分布式算法 的 FIR 滤波器逻辑 单元(LE)	最高时钟 频率 F_{max}/MHz
本文	556	195.73	1 042	236.13
参考文献[6]	793	—	3 889	—
参考文献[7]	1 062	180.57	1 154	188.43
参考文献[8]	642	150.1	1 832	—

C, et al. Transducerless acquisition of the rotor position for predictive torque controlled PM synchronous machines based on a DSP-FPGA digital system[C]. IEEE Transactions on Industrial Informatics, 2013,9(2): 799-807.

- [2] NASCIMENTO P S B, NEVES F A S, DOMINGUES M A O. FPGA design methodology for DSP industrial applications A case study of a three phase positive sequence detector[C]. 2012 25th Symposium on Integrated Circuits and Systems Design (SBCCI), 2012:1-6.
- [3] SZADKOWSKI Z, FRAENKEL E D. FPGA/NIOS implementation of an adaptive FIR filter using linear prediction to reduce narrow band RFI for radio detection of cosmic rays[C]. Real Time Conference(RT), 2012 18th IEEE-NPSS, 2012:1-8.
- [4] 史明泉.基于 DSP 的 FIR 滤波器的 C 语言算法实现[J]. 无线电工程, 2011, 41(1): 13-14.
- [5] 岑光.基于 FPGA 的 FIR 数字滤波器研究与设计[D].西安:西安电子科技大学, 2011.
- [6] 崔亮,张芝贤.基于 FPGA 设计的 FIR 滤波器的实现与对比[J].电子设计工程, 2012, 20(20): 168-170.
- [7] 李仙琴,周盛,计建军,等.基于 FPGA 的两种高速高阶 FIR 滤波器的设计与比较[J].国际生物医学工程杂志, 2008, 31(6): 325-329.
- [8] 李飞.低资源高速度 FIR 滤波器设计及其 FPGA 实现[D].湘潭:湘潭大学, 2011.

(收稿日期:2013-08-07)

作者简介:

梁赫西,男,1982 年生,硕士,讲师,主要研究方向:数字集成电路设计。