

云闪定位系统中校正信号源设计*

张广元^{1,2}, 孙秀斌^{1,2}, 肖坤峰^{1,2}, 杨崧令³

(1. 成都信息工程学院 电子工程学院, 四川 成都 610225;

2. 中国气象局大气探测重点开放实验室, 四川 成都 610225;

3. 南充市防雷中心, 四川 南充 637000)

摘要: 简要介绍了云闪探测系统的工作原理。为满足对系统中各通道幅相不一致性测试的需求, 设计了一款精度高、稳定性好的信号源。该信号源以 Altera 公司 FPGA 芯片 EP1C3T100 为控制核心, 以 ADI 公司 DDS 芯片 AD9954 为信号合成器。详细给出了信号源的硬件实现和高速逻辑控制电路设计, 测试结果表明, 该信号源性能良好, 具有很好的应用和推广价值。

关键词: 云闪探测; 校正信号源; FPGA; AD9954

中图分类号: TN911.72

文献标识码: A

文章编号: 1674-7720(2013)22-0017-03

Design of calibration signal generator used in the cloud-lightning direction system

Zhang Guangyuan^{1,2}, Sun Xiubin^{1,2}, Xiao Kunfeng^{1,2}, Yang Songling³

(1. College of Electronic Engineering, Chengdu University of Information Technology, Chengdu 610225, China;

2. CMA. Key Laboratory of Atmospheric Sounding-KLAS, Chengdu 610225, China;

3. Nanchong Lightning Protection Center, Nanchong 637000, China)

Abstract: The principle of the cloud-lightning detection system is introduced. In order to meet the demand for measuring the amplitude and phase differences between channels of the system, the calibration signal generator with high precision and stability is designed, which is controlled by Altera's FPGA chip EP1C3T100, and whose signal synthesizer is ADI's DDS chip AD9954. The hardware implementation and the design of the high-speed logic control circuit of the signal generator are described. Experimental results show that this generator has high performance. It has a good application and spread value.

Key words: cloud-lightning detection; calibration signal generator; FPGA; AD9954

云闪是发生在云内或云际间的闪电。云闪放电过程中辐射的甚高频(VHF)电磁脉冲使航天航空飞行器和通信电子设备等面临巨大威胁, 因此对云闪监测和预警技术的研究得到越来越普遍的重视^[1-2]。

云闪 VHF 辐射源定位技术可分为干涉法(ITF)或到达时间差法(TOA)。在基于干涉法的云闪探测系统中, 需要使用信号源对各通道幅相不一致性进行校正。本文以 DDS 芯片 AD9954 作为信号合成器, 采用 FPGA 芯片 EP1C3T100 对其进行逻辑控制, 再通过对 AD9954 的输出信号进行调理, 实现频率分辨率高、体积小、控制灵活的校正信号源, 满足了云闪探测系统的机内自测试(BIT)需要。

1 云闪探测系统工作原理

如图 1 所示, 探测系统中 5 阵元天线接收 110 MHz~118 MHz 频率范围内的云闪 VHF 辐射信号, 经由限幅器、低噪声放大器(LNA)、带通滤波(BP)、可变增益放大器(VGA)和二级放大后, 输入 ADC 进行带通采样, 并在

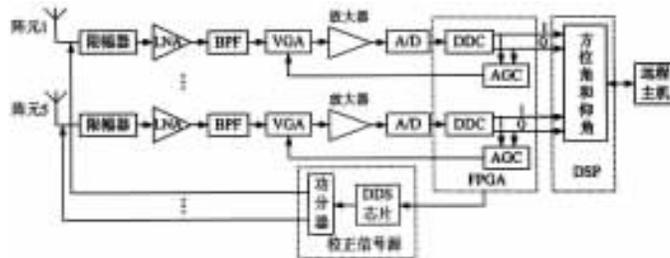


图 1 云闪探测系统原理框图

* 基金项目: 四川省教育厅科技创新重大培育项目(13CZ0011)

硬件纵横

Hardware Technique

FPGA 中作数字下变频(DDC)处理得到 5 路 I/Q 信号,最后在数字信号处理器(DSP)中完成对辐射源方位角和仰角的估计。

为避免因设备内部 I/Q 通道的幅相不一致影响探测精度,系统需定期检修。在测试模式下,将校正信号源产生的 5 路信号加载至各个接收通道,并在 DSP 中求得各 I/Q 通道的幅相不一致性误差,即可实现系统机内自检,大大减少故障诊断所耗费的人力、物力^[3]。

2 总体设计结构

校正信号源的总体结构如图 2 所示。系统由控制单元、信号产生单元、信号调理单元和供电单元组成。控制单元选用 Cyclone 系列 FPGA 芯片 EPIC3T100 作为控制器,通过在其内部搭建逻辑电路模块实现对系统工作时间的控制;PC 通过 JTAG 接口对控制逻辑进行在线调试^[4],将调试完成的可执行文件通过 AS 配置方式下载至 Flash 串行存储器 EPCS1S18N 进行固化存储,消除了 FPGA 芯片 SRAM 结构需对可执行文件重复下载的弊端。信号产生单元选用 ADI 公司的 DDS 芯片 AD9954 作为信号合成器,该芯片频率控制字位宽为 32 bit,频率转换精度高;内置 14 位 DAC,最大内部工作时钟为 400 MSPS,可产生上限值约 160 MHz、频率分辨率为 0.01 Hz 并实现 0.022° 间隔相位调谐的高质量信号^[5],达到输出 110 MHz~118 MHz 频段测试信号的设计指标,其幅度、相位、频率连续可调。

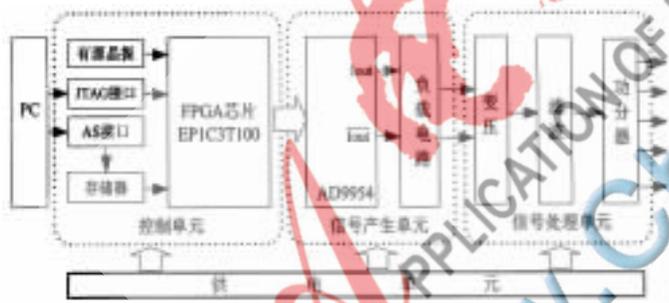


图 2 系统总体结构框图

AD9954 为差分电流型输出,因此需设计对应负载电路转换为电压型输出。在信号调理单元中,变压模块将差分电压信号合成为单端信号,经由滤波、功分器后加载至定位系统各个接收通道。供电单元为系统芯片提供工作电压。

3 系统硬件实现

3.1 电源和时钟设计

供电单元前端接入 220 V 工频电压,用 220 V 转 12 V 交流变压器得到 12 V 交流电压,然后通过桥式整流电路,得到 8 V 直流电压作为转压源,经芯片 LT1764EQ 降为 5 V 稳压源,DDS、FPGA、存储器等芯片所需的 1.5 V、1.8 V 和 3.3 V 工作电压再经由 LT1763EST 系列芯片对 5 V 分别转压获取;芯片工作电源电路通过放置去耦电容和旁路电容滤除杂波干扰。

20

信号源与整个云闪探测系统在测试模式下工作顺序是一体的,为保证信号源与整个系统同步工作,系统接入有源晶振为 FPGA 和 DDS 芯片提供时钟信号;以 MC100LVEL16 芯片为核心的时钟电路将晶振输出的单端信号转为差分时钟信号作为 AD9954 输入时钟;DDS Core 内部时钟乘法器对其进行倍频后使 AD9954 系统时钟达到 400 MSPS,以满足高频信号合成需要。

3.2 信号负载电路设计

AD9954 内嵌数/模转换器(DAC)输出两路差分电流信号,为实现 I/U 信号转换,其输出管脚必须通过一个串联电阻与 AV_{DD} 连接;其输出电流乘以串接电阻的值不应该超过 0.5 V。输出电流的大小根据等式 $I_{OUT}=39.19/R_{SET}$ 求取, R_{SET} 为 24 引脚接入模拟地时的串联电阻值,阻值约为 3.92 k Ω ;另有 4 个分压电阻来抑制共模电压。

3.3 信号调理电路设计

调理电路主要分为变压、滤波、功分三部分,实现步骤如图 3 所示。要实现差分电压转单端电压,首先要考虑怎样对输出共模电压进行偏置,其次还要尽可能避免新增噪声干扰,因此选用 Mini 公司的一款变压器 ADT1-1WT。该变压器为无源器件,引入噪声可忽略,且具有电流隔离能力,工作频段为 1~400 MHz,插入损耗仅为 1 dB;利用其匝数比为 1:1、原副边互换性能不变的特点,将该变压器的副边接 DDS 输出,实现电压偏置的同时在原边输出合成的单端信号。

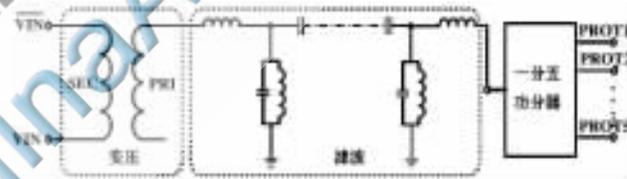


图 3 调理电路原理图

信号源输出固定频段的信号,应对合成的单端信号进行以输出频段为通频带的带通滤波;系统选用 Mini 公司的带通滤波器 BPF-A113+作为滤波实现的核心器件,该滤波器通频带宽 108 MHz~118 MHz,插入损耗约为 2 dB, VSWR 介于 1.14~1.44 之间,满足设计指标。

为保证 5 路测试信号具有较好的幅相一致性,采用功分器将单端信号分为 5 路,Mini 公司型号为 SCP-5-1 的功分器可工作在 2 MHz~200 MHz 的宽频带,插入损耗低,通道之间隔离度好,适合在信号源系统中作为功分器件使用。

4 FPGA 内部逻辑电路设计

FPGA 作为信号源的控制核心,主要功能是上电后自动读取 EPCS 存储器中配置数据,以 SPI 串行通信方式实现对 AD9954 内部寄存器控制字的写入^[5-6],使信号源为云闪探测系统提供测试信号。为保证控制字写入次序的准确性,基于 Quartus II 9.0 软件平台,采用 Verilog HDL 编译实现的 FPGA 逻辑电路设计的顶层结构如图 4

《微型机与应用》2013 年 第 32 卷 第 22 期

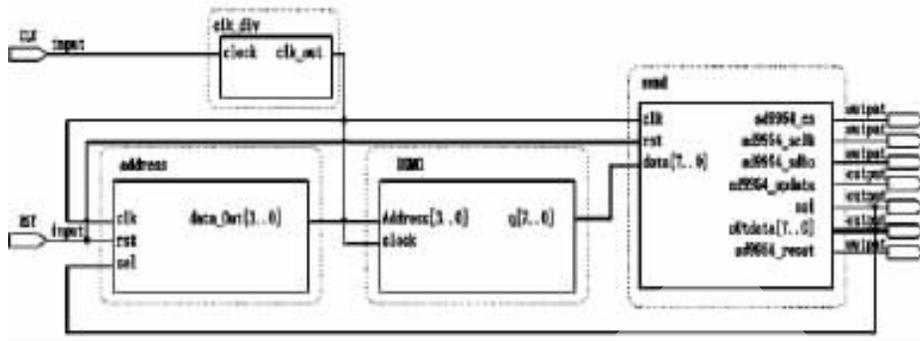


图4 FPGA 内部逻辑电路顶层图



图5 时序仿真图

示。顶层模块主要由时钟分频、ROM 地址位产生、控制字存储 ROM 和控制字发送这几个子模块组成。控制字写入的具体流程为：

(1) 通过 Quartus II 9.0 软件将要写入的控制字存放于借助 Matlab 生成的 *.mif 文件内，然后编译固化在控制字存储模块 ROM0 内；

(2) 根据控制字个数 num 修改 ROM0 地址位产生模块 address 计数位数 n ，满足等式 $2^n \geq \text{num}$ ；

(3) 系统初始化完成后，发送模块 send 从控制字存储模块 ROM0 读取一个 8 bit 控制字节开始对 AD9954 进行 SPI 写操作，每完成一个控制字的写入都会输出给 address 模块一个高电平，address 模块产生地址位加 1，开始进入下一个控制字的读写周期。

信号源选择输出 114 MHz 的正弦波进行结果验证，因此只需对 AD9954 控制功能寄存器 CFR1、CFR2 和频率控制字寄存器 FTWO 写入控制字即可。图 5 是 FPGA 控制 AD9954 产生 114 MHz 正弦波的时序仿真结果，其中 clk 是系统时钟，SCLK 为 AD9954 串行通信时钟，out_data 为依次写入的控制字节，SDIO 为输出数据，sel 为单个控制字写操作完成标志，ad9954_updata 是给管脚 IO_UPDATA 的高电平^[5-7]。

5 系统测试

使用示波器进行系统测试，图 6 所示为校正信号源 1~4 路信号在力科公司 HDO4034 型高精度四通道示波器上的显示结果；图 7 所示为校正信号源第 5 路信号在普源公司 DS5102MA 型示波器上的显示结果。信号源实际输出频率值与预设值误差很小，且波形平滑，稳定度高，效果理想。

校正信号源产生测试信号的质量，在一定程度上影响着云闪探测系统性能的好坏。本文采用 FPGA 控制



图6 校正信号源 1-4 通道输出波形

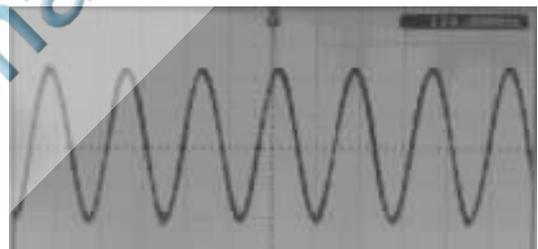


图7 校正信号源通道 5 输出波形

DDS 器件作为信号合成的主体部分，实现调制灵活的信号输出，通过调理电路进一步处理，信号源可为云闪探测系统进行机内自检测时提供符合指标要求的测试信号，以满足实际需要。在 Quartus II 9.0 软件中对顶层文件进行参数重置，使 AD9954 工作在其他模式下，或通过增加外围调理电路输出其他类型信号，便可满足部分设备系统对几十 kHz 到上百 MHz 范围内不同特性 BIT 测试信号的要求，具有较强的普适性。

参考文献

- [1] 李云敏,孙秀斌,杨崧令,等.云闪定位算法及误差分析[J].电子测量与仪器学报,2012,26(10):917-922.
- [2] 余会莲,陈德生,谢君.VHF 闪电定位技术评述[J].气象与环境科学,2008,31(2):55-58.

- [3] 王伟,孙起,许军.鱼类自导系统 BIT 设计与分析[J].鱼雷技术,2010,18(1):31-34.
- [4] 杜占龙,谭业双,姚振亚.基于 AD9954 的信号源设计与实现[J].应用天地,2011,30(2):53-56.
- [5] ADI 公司. AD9954 英文产品数据手册(Rev B)[EB/OL]. (2009-xx-xx)[2013-09-25].http://www.analog.com.
- [6] 刘春梅,邹传云,曹文,等.基于 DDS 芯片的相位相关双通道信号源设计[J].电子技术应用,2013,39(1):43-45.
- [7] 袁辉.基于 FPGA 的数字信号发生器的设计与应用[J].电子技术应用,2011,37(9):67-69.

(收稿日期:2013-09-25)

作者简介:

张广元,男,1989 年生,硕士研究生,主要研究方向:信号与信息处理。

孙秀斌,男,1968 年生,副教授,硕士研究生导师,主要研究方向:雷电科学与防护技术。

肖坤峰,男,1987 年生,硕士研究生,主要研究方向:信号与信息处理。

