

基于 CPLD 的光电编码器快速运算电路设计

刘燕,张会生

(西北工业大学 明德学院,陕西 西安 710124)

摘要: 主要运用 Quartus 5.1 软件开发平台,利用 VHDL 语言编程和仿真,基于 Altera 公司 MAX II 系列 CPLD 芯片 EPM1270T144C5 实现了硬件六十进制压缩 BCD 码加减运算功能。将设计的 CPLD 电路应用到光电编码器电路中,实现光电编码器的快速运算,提升了位置检测系统的动态性能指标。详细介绍了电路的原理、设计思路和软件设计,分析了目前设计中的不足之处,提出了部分改进建议。

关键词: FPGA;光电编码器

中图分类号: TN29

文献标识码: A

文章编号: 1674-7720(2013)21-0026-03

Design of photoelectric encoder operational circuit based on CPLD

Liu Yan, Zhang Huisheng

(Ming De College, Northwestern Polytechnical University, Xi'an 710124, China)

Abstract: The paper introduces a photoelectric encoder circuit for performing sixty arithmetical operation of compressed BCD codes. Using VHDL in programming and simulation, the software is developed on the platform of Quartus 5.1, and the hardware is based on EPM1270T144C5 which is a CPLD of the Altera's MAX II family. The acquired encoder circuit can make the photoelectric encoder do faster arithmetical operation to advance the dynamic performance level of a position detecting system. The paper introduces the principle and design of the encoder circuit and successfully make it work in the system. It also finds out several defects in the current system and proposes some suggestions to make an improvement.

Key words: FPGA; photoelectric encoder

光电编码器是一种通过光电转换将输出轴上的机械几何位移量转换成脉冲或数字量的传感器,是目前应用最多的传感器。光电编码器由光栅盘和光电检测装置组成。光栅盘是在一定直径的圆板上等分地开通若干个长方形孔。由于光电码盘与电动机同轴,电动机旋转时,光栅盘与电动机同速旋转,经发光二极管等电子元件组成的检测装置检测输出若干脉冲信号,其原理示意图如图 1 所示。通过计算每秒光电编码器输出脉冲的个数就能反映当前电动机的转速。此外,为判断旋转方向,码盘还可提供相位相差 90° 的两路脉冲信号。根据检测原理,编码器可分为光学式、磁式、感应式和电容式;根据其刻度方法及信号输出形式,可分为增量式、绝对式以及混合式 3 种。

随着电子设计技术的飞速发展,现场可编程逻辑门阵列(FPGA)的复杂程度越来越高,其所具备的功能也越来越多,芯片也向小型化发展,逐步成为复杂数字硬

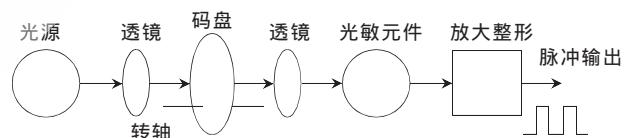


图 1 光电编码器原理示意图

件电路设计的首选。FPGA/CPLD 既继承了 ASIC 的大规模、高集成度、高可靠性的优点,又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点。FPGA/CPLD 的集成度很高,可完成极其复杂的时序和组合逻辑电路功能。本文所设计的系统就是基于 CPLD 芯片实现六十进制压缩 BCD 码加减运算功能。

1 软件设计

1.1 计算原理

系统主要实现六十进制压缩 BCD 码的加减运算的算法,即:根据一个度数 A 的变化量来对另一个度数 B 实现同样的变化,并输出 B 变化后的值,从而实现光电

编码器的快速运算,提升位置检测系统的动态性能指标。具体如图2所示,即 B 随 A 变化而变化,当 A 变化到 A' 时, B 变化到 B' , A 与 B 的变化量相等,即 A 与 B 相差的度数始终相等。

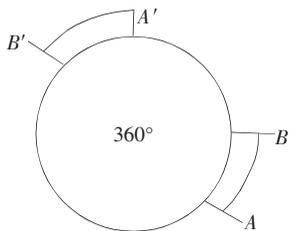


图2 系统计算要求示意图

程序采用分别对度、分、秒进行运算的办法。

(1)实现对输入数据的转换,即从压缩BCD码转化为二进制码。

(2)计算部分。本程序采用对度、分、秒分别进行运算的办法,三者之间存在进位、借位信号 c_2 、 c_3 、 c_4 、 c_5 ,其中 c_2 、 c_3 分别为 A 、 B 初始值作差时 A 度分秒各部分间的进位、借位信号, c_4 、 c_5 分别为 B 变化后的值 C 的各部分间的进位、借位信号。

(3)实现把运算结果从二进制码转化为压缩BCD码。

1.2 算法实现

(1)当时钟 clk 为上升沿时,把输入的压缩BCD码转换为二进制码;

(2)当 $reset$ 有效时,置入 A 与 B 的初始值;

(3)当 $load$ 有效时,开始计算变化量;

(4)把变化后的 B 变为压缩BCD码 C ;

(5)由于本电路时钟频率为5 MHz,输入数据的频率约为 $200 \mu s$ 。为减小毛刺,设计一个300的计数器与一个锁存器,使输出效果更佳。具体为,每当计完300个数时,输出一次程序的运算结果。

(6)设计锁存器,当计数器计完300后输出 C 。

1.3 压缩BCD码向二进制的转换

以度部分为例,算法思路为:个位+十位 $\times 10$ +百位 $\times 100$ 。主要程序实现如下:

$Q00 = "00" \& (Q(9 \text{ downto } 8) * "1100100" + Q(7 \text{ downto } 4) * "1010" + Q(3 \text{ downto } 0))$ 。

1.4 计算B变化后的值C

以分部分为例,算法思路如下。

(1)计算初始值 $A00$ 、 $B00$ 的差量 e , $e = A00 - B00 - c_2$,其中 c_2 为 A 的秒部分的进位或借位信号,若 e 为负则自加60,并输出借位给 A 的度部分;

(2)计算变化后的 B 值 C , $C = A0 + e + c_4$,其中 $A0$ 为变化后的 A 值, c_4 为 C 秒部分的进位或借位信号;

(3)判断输出 C 是否大于60,若 $C \geq 60$,则输出进位给 C 的度部分,并自减60输出结果 C 。

1.5 二进制向压缩BCD码的转换

这一部分采用循环减的办法,以 C 的度部分为例。

(1)判断 C 是否小于10,若小于则对 C 循环减10,直到 C 小于10为止, C 减完后的值为个位数;

(2)对步骤(1)中减的次数 n_2 再进行循环减10, n_2 减完后的值为十位数;

(3)步骤(2)中减的次数 n_1 为百位数。

2 结果分析

2.1 软件仿真结果

图3、图4为当 A 初值为0, B 为 $359^\circ 59' 57''$ 时, A 逐次增加 $1''$,输出结果 C 的变化过程。为方便检查和观看,图3为 A 、 B 、 C 为未压缩BCD码的仿真结果,图4为 A 、 B 、 C 为压缩BCD码的仿真结果。

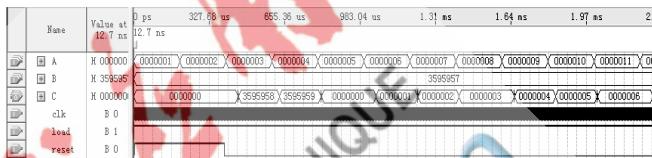


图3 BCD码仿真波形

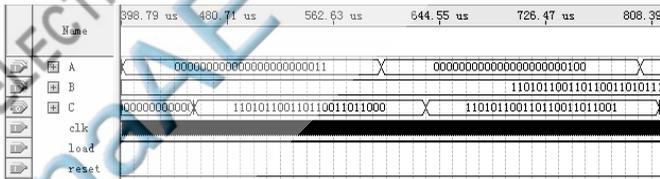


图4 压缩BCD码仿真结果

由图3、图4可以看出,当 A 初值为0, B 为 $359^\circ 59' 57''$ 时, A 逐次增加 $1''$,输出结果 C 的变化过程为由初值0变为 $359^\circ 59' 58''$,之后顺次变为 $359^\circ 59' 59''$ 、 0 、 $1'' \dots$,由结果可验证程序的正确性。

2.2 硬件调试与结果验证

硬件验证就是将编译、综合生成的下载文件下载到指定的CPLD芯片上,然后进行硬件验证。本项目通过一个转盘改变原始输入数据 A ,并用数码管显示出数据 A ,各输入数据、时钟、功能信号都由插头输入,输出数据 C 也由插头输出,并用数码管显示出数据 C 。

当数据 A 输入为 0° , B 为 $359^\circ 59' 59''$, $reset$ 为高电平, $load$ 为高电平时,输出显示保持上一数据;当 A 变为 $1''$, $reset$ 变为低电平,输出显示 0° ;当 $load$ 变为低电平,输出显示 A 的值 $1''$ 。

根据实验数据,验证了该电路功能的正确性与可靠性,达到了预期项目要求,实现了基于 CPLD 实现六十进制压缩 BCD 码加减运算功能。

3 不足之处与改进

本电路的时钟频率为 5 MHz,时钟频率约为数据 A 更新频率的 1 000 倍,当数据 A 的更新频率与时钟频率较接近时,会出现进位滞后的情况,如图 5 所示。

由图 5 可知,当 A 初值为 0, B 为 359°59'57"时, A 逐次增加 1",输出结果 C 的变化过程为由初值 0 变为 359°59'58",以后顺次变为 359°59'59"、359°59'00"、359°00'01"、2"、3"…。可见从 359°59'59"不能直接变到 000°00'00",直到 000°00'02"才恢复正确值,在 359°59'59"与 000°00'02"之间应该存在的两个数为 000°00'00"、000°00'01"实际为 359°59'00"、359°00'01",这里可以看出 359°59'59"到 0°中间存在两次进位,每次进位滞后一个时钟周期,根本原因是由于数据更新相对较快,接近时钟 clk 的频率,在一个时钟周期内计算不完全,从而导致了进位滞后的现象。

可用分频的方法实现进位的同步,比如秒、分、度分别采用时钟频率的 2 分频、4 分频、8 分频。

也可使用秒、分、度各自的计算部分占不同时钟段的方法解决,比如:秒部分从时钟上升沿开始计算,分部分从时钟三分之一周期处开始计算,度部分从时钟三分之二处开始计算。

参考文献

- [1] 吴凡.高精度绝对式光电轴角编码器高质量光电信号的提取方法[D].成都:电子科技大学,2001.
- [2] 王诚.Alterta FPGA/CPLD 设计[M].北京:人民邮电出版社,2005.
- [3] 方艳辉.增量式编码器全数字量相加技术的研究[D].长春:中国科学院长春光学精密机械与物理研究所,2005.
- [4] 周志炜.基于 FPGA 的多路光电编码器数据采集系统[D].哈尔滨:哈尔滨工业大学,2006.
- [5] 俞芳.基于 CPLDFPGA 的 IP 核设计[D].苏州:苏州大学,2005.
- [6] 王蕾.基于 FPGA 的数据传输系统基带处理单元的设计[D].哈尔滨:哈尔滨工业大学,2006.
- [7] 李宗伯,王蓉晖,王蕾.VHDL 设计表示和综合[M].北京:机械工业出版社,2002.
- [8] NELSON V P, NAGLE H T, CARROLL B D, et al. Digital Logic Circuit Analysis&Design[M].北京:清华大学出版社,1997.
- [9] WAKERLY J F. Digit-Principles and Practices [M].北京:高等教育出版社,2001.

(收稿日期:2013-07-11)

作者简介:

刘燕,女,1983 年生,硕士,助教,主要研究方向:光电信号处理。

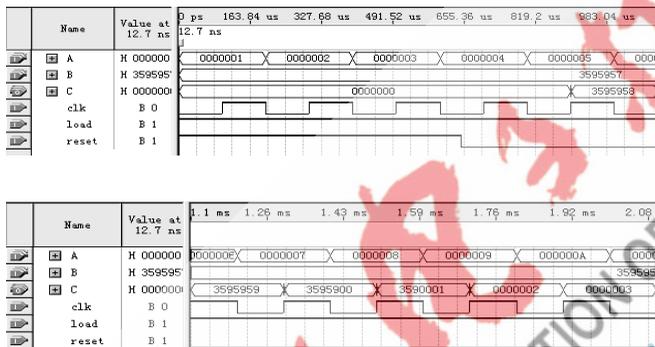


图 5 进位滞后波形