

# 基于 AMBA APB 总线的 Nand Flash 控制器的设计

王新君<sup>1</sup>, 张炜<sup>2</sup>, 冯士维<sup>1</sup>, 胡杰<sup>2</sup>

(1. 北京工业大学 电子信息与控制工程学院, 北京 100124;

2. 北京华芯微特科技有限公司, 北京 100102)

**摘要:** 介绍了基于 AMBA APB 总线 Nand Flash 控制器的设计, 首先简单介绍了 Nand Flash 的一些特点, 然后详细介绍了 Nand Flash 控制器的整体框架、具体功能及其内部的数据通路。该控制器通过 ModelSim 进行了仿真及 FPGA 板级验证, 结果证明能够满足 Nand Flash 时序要求。

**关键词:** Nand Flash; Flash 控制器; AMBA APB 总线; 仿真; 状态机

中图分类号: TN492

文献标识码: A

文章编号: 1674-7720(2013)20-0018-04

## Design of Nand Flash controller based on AMBA APB bus

Wang Xinjun<sup>1</sup>, Zhang Wei<sup>2</sup>, Feng Shiwei<sup>1</sup>, Hu Jie<sup>2</sup>

(1. Electronic Information and Control Engineering College, Beijing University of Technology, Beijing 100124, China;

2. Beijing Synwit Technology Co., Ltd., Beijing 100102, China)

**Abstract:** The design of Nand Flash controller which is based on AMBA APB bus protocol is introduced. The feature of Nand Flash is presented simply followed by the detailed introduction of system architecture and the exact function including internal data path of the controller. The design with ModelSim is simulated and verified with FPGA board. The test result shows that the design can satisfy the timing requirement of Nand Flash.

**Key words:** Nand Flash; controller; AMBA APB bus; simulation; FSM

嵌入式系统的广泛应用使得数据存储和数据管理逐步成为一个重要课题。Flash 存储器越来越多地应用并逐步取代其他存储器, 成为嵌入式系统中重要地数据及程序载体<sup>[1]</sup>。

Flash 主要分为 Nor Flash、Nand Flash、And Flash 三种。Nand Flash 由于其优越的性能, 成为主流内存。Nand Flash 不仅具有存储密度高、读出数据快的优点, 而且价格上也有优势, 适合大数据存储<sup>[2]</sup>。但是应用 Nand Flash 必须提供专用的接口控制时序, 因此目前设计主流的嵌入式 SoC 芯片如果要提供对 Nand Flash 的支持, 就需要设计一个 Nand Flash 控制模块电路。

本文介绍了 Nand Flash 的操作方法, 并基于此操作方法详细介绍了该接口电路的结构及读写数据流。同时介绍了 Nand Flash 的详细操作和状态机控制。最后, 给出了该模块在服务器上的仿真时序图。

### 1 Flash 简介

由 Intel 公司于 1988 年推出的 Nor Flash 技术具有工作电压低、随机读取快、功耗低、稳定性高等优点。东芝

公司于 1989 年发表的 Nand Flash 结构则强调成本和性能, 其容量较大、改写速度快, 适用于大量数据的存储, 在嵌入式产品中得到了广泛的应用, 如数码产品、小体积 U 盘等<sup>[3]</sup>。

随着 SoC 技术的发展, 集成 SoC 的整机系统规模越来越大, 功能越来越强大。在这些整机系统中, Nand Flash 得到了广泛的应用。为了支持 Nand Flash 通信, 在 SoC 中必须设计 Nand Flash 控制器接口。本文设计的 Nand Flash 控制器支持 AMBA APB 接口。经 ModelSim 仿真和 FPGA 验证表明, 本设计完全满足 Nand Flash 的时序和通信功能要求, 并最终成功流片。

### 2 总体结构与子模块划分

该设计是基于 AMBA APB 总线的模块。AMBA2.0 总线为嵌入式微控制器定义了一套片上总线标准, 用户可独立设计基于该规范的外 IP。

总体结构如图 1 所示, 可分为 APB 总线接口模块、Flash 控制模块。APB 总线接口模块控制时序依据 AMBA APB 总线规范, 主要负责与 APB 总线之间的通信与交

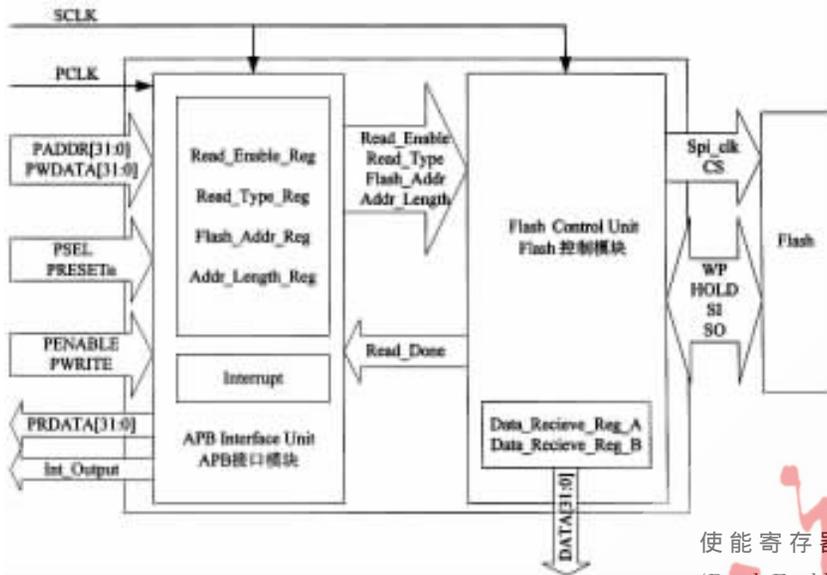


图1 总体结构图

互,如锁存总线来的地址、数据、片选、使能等。Flash控制模块主要负责与 APB 总线接口模块的交互、从 Flash 获取数据,并将 8 bit 数据整合成 32 bit。

Read\_Done 表示读取数据结束,由 Flash 控制模块输出到 APB 接口模块,作为中断触发信号触发中断。APB 接口模块中的中断(interrupt)部分处理中断信号,并输出 Int\_Output 信号。DATA 是 Flash 控制器由 Flash 中读出的数据。Flash\_Addr、Read\_Enable、Read\_Type 和 Addr\_Length 是由 APB 接口模块给到 Flash 控制模块的信号,分别是各自对应寄存器的值。Spi\_clk、CS、WP、HOLD、SI 和 SO 是 Flash 控制模块与 Flash 对应端口的连接。

### 3 AMBA APB 总线接口模块

该 Flash 控制器通过 APB 总线接口模块与 APB 总线接口通信。APB 总线输入信号包括时钟信号 PCLK、片选信号 PSEL、复位信号 PRESETn、地址信号 PADDR[31:0]、写数据信号 PWDATA [31:0],还包括控制信号组:PWRITE 为读写控制信号、PENABLE 为使能信号。APB 总线接口模块返回给总线的信号有读数据信号 PRDATA[31:0]。APB 总线读写按照 APB 总线读写时序要求,如图 2、图 3 所示。

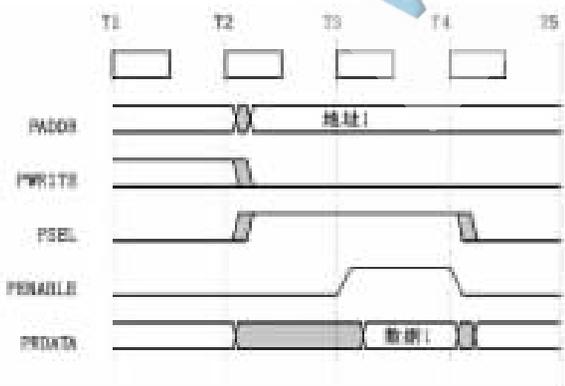


图2 APB 总线读传输时序

APB 接口模块中包含多个寄存器,各个寄存器的功能:Addr\_Length\_Reg 是地址长度寄存器,用于锁存 Addr\_Length 信号(Addr\_Length 是长度信号,表示将要传送的数据长度,该数据长度可以自行定义由 APB 总线输入,较为灵活,可以拷贝不同长度的数据或程序);Read\_Type\_Reg 是读类型寄存器,用于锁存 APB 总线的 Read\_Type 信号(Read\_Type 是读类型信号,标志读取数据时的方式,Read\_Type 为 0 时是单通道读数据,为 1 时是双通道读数据);Flash\_Addr\_Reg 是 Flash 地址寄存器,用于锁存 Flash\_Addr 信号(Flash\_Addr 是 Flash 读操作的起始地址);Read\_Enable\_Reg 是读使能寄存器,用于锁存 APB 总线的 Read\_Enable 信号(Read\_Enable 是使能信号,当 Read\_Enable 置 1 时,开始从 Flash 中读取数据,直到数据长度等于 Addr\_Length\_Reg 中的数据长度值)。

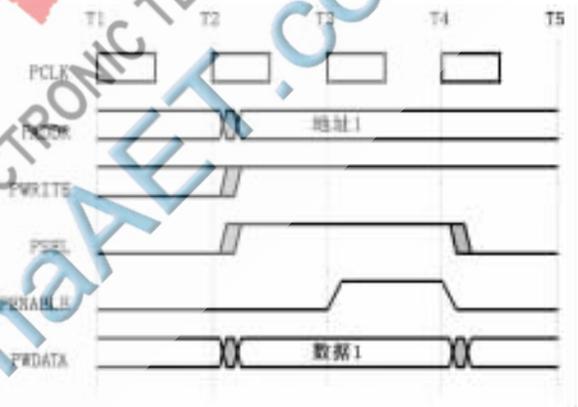


图3 APB 总线写传输时序

### 4 Flash 控制模块

本设计采用的 Flash 支持标准 SPI 接口,最高时钟频率可达 120 MHz。本设计支持对 Flash 的读操作分为单通道方式和双通道方式,分别如图 4、图 5 所示。

Flash 控制器对于 Flash 的读操作通过状态机实现。状态机负责整个模块的状态控制,完成对 Nand Flash 的读、写、发命令字、发地址等状态控制操作。寄存器堆包括当前状态寄存器、下一状态寄存器、命令寄存器、地址寄存器、数据长度寄存器、数据接收寄存器、地址发送状态寄存器、命令发送状态寄存器和数据接收使能寄存器。当前状态寄存器和下一状态寄存器分别寄存当前状

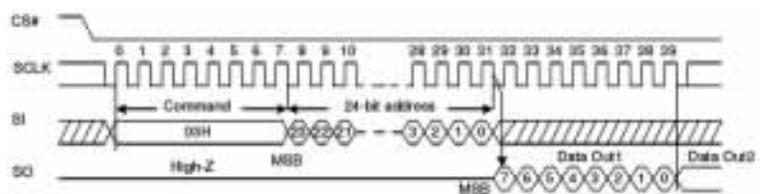


图4 单通道读时序

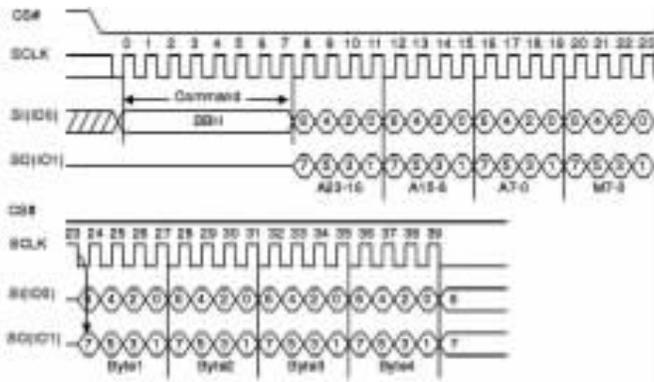


图 5 双通道读时序

态和下一状态;命令寄存器和地址寄存器分别寄存发给 Nand Flash 的命令字和地址;数据长度寄存器寄存当前传输数据的个数;两个 32 位数据接收寄存器轮流交替接收数据;地址发送状态寄存器和命令发送状态寄存器分别标示地址和命令的发送完成与否;两个数据接收使能寄存器标示是否可以接收数据,对应于两个数据接收寄存器。

状态机部分包括 9 个状态,分别是 Idle、Send\_Command、Send\_Address\_S、Receive\_Data\_A\_S、Receive\_Data\_B\_S、Send\_Address\_D、Send\_M、Receive\_Data\_A\_D 和 Receive\_Data\_B\_D,用以发出对 Nand Flash 的控制操作信号。其状态转换关系如图 6 所示。

在有些设计中,会将 FIFO 控制以及时序控制模块做在一起,形成一个大状态机<sup>[3]</sup>。还有一些设计对 FIFO 的控

制构造造成两个协同工作的状态机,再对时序的控制划分成另一个基本上由计数器组成的模块,使得每个模块思路简单清晰,FIFO 利用率高,而且 FIFO 大小可配置<sup>[4]</sup>。但是,这样设计的状态机过于复杂,对 FIFO 的利用率较低或者控制较为烦冗,硬件资源占用较大。本设计对于数据的缓存采取应用寄存器的方法,占用硬件资源较小,而且采用两个 32 位寄存器轮流缓存数据,消除了等待时间且控制简单,提高了传输效率。

5 模块验证

该设计 Verilog 代码编写完成后,编写测试向量 (Testbench)并进行了仿真,证实其功能是完全可以实现的。实际波形如图 7、图 8 所示。

该模块已先后通过了服务器上进行的寄存器级 (RTL) 模拟、后模拟验证和在 FPGA 开发板上的仿真验证,并在实际芯片设计中得到了具体的应用验证,流片后芯片功能达到了预期的设计目的。

软件实现对 Flash 的各种操作的方式很耗费时钟周期,读写速度大大下降。该设计不仅解决了传输速度慢的问题,同时建立了由片外 Flash 到片内存储空间的直通通道,可将数据直接从 Flash 传输到片内,传输操作由 Flash 控制模块完成而不需要 CPU 参与,减少 CPU 占用。与此同时,实现了多种 Flash 数据传输方式,包括单通道读、双通道读,数据传输长度由用户自行定义,根据实际需求自由设置传输长度,增强了该设计的利用范围、灵活性和可移植性。另外,Flash 控制模块内的两个

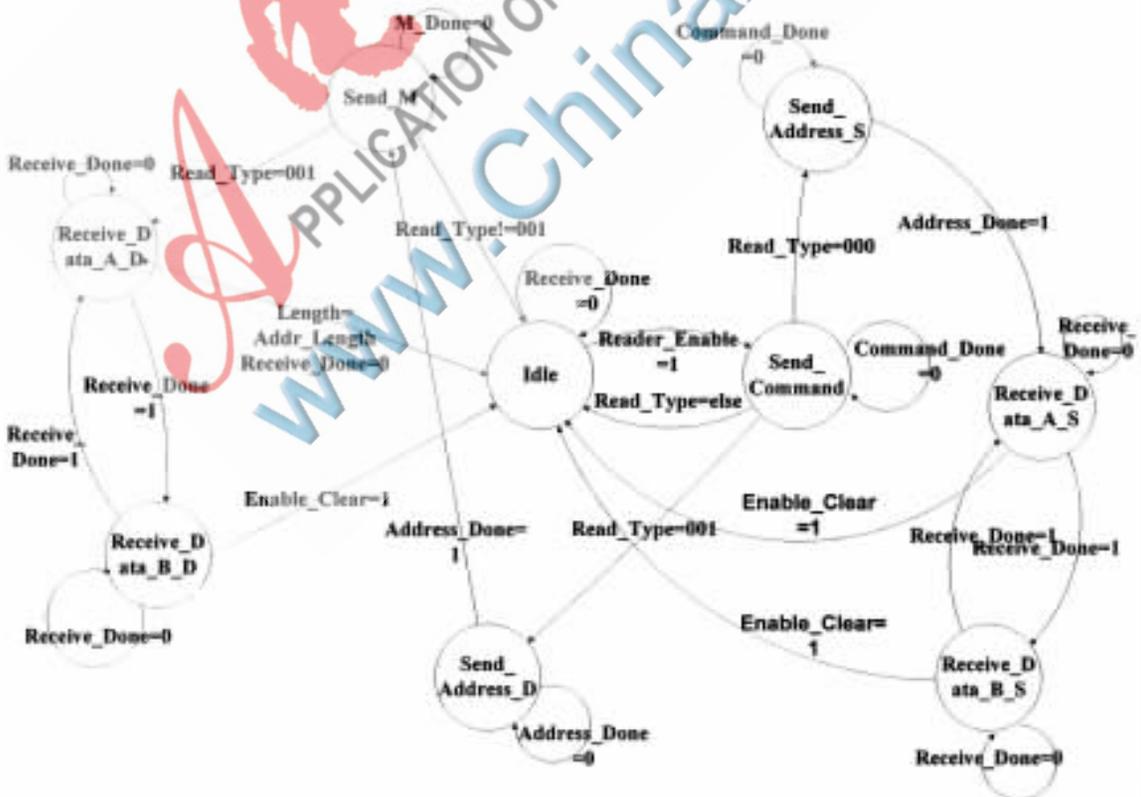


图 6 Flash 控制模块状态转换图

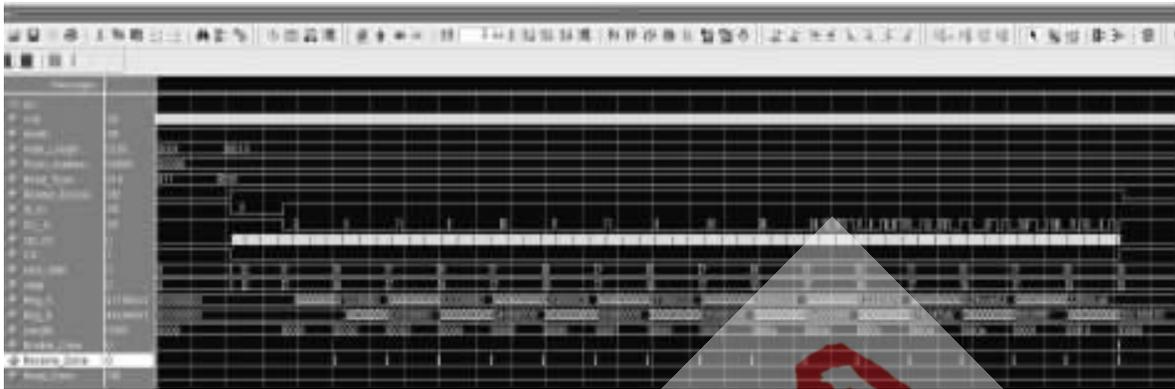


图 7 单通道传输波形图

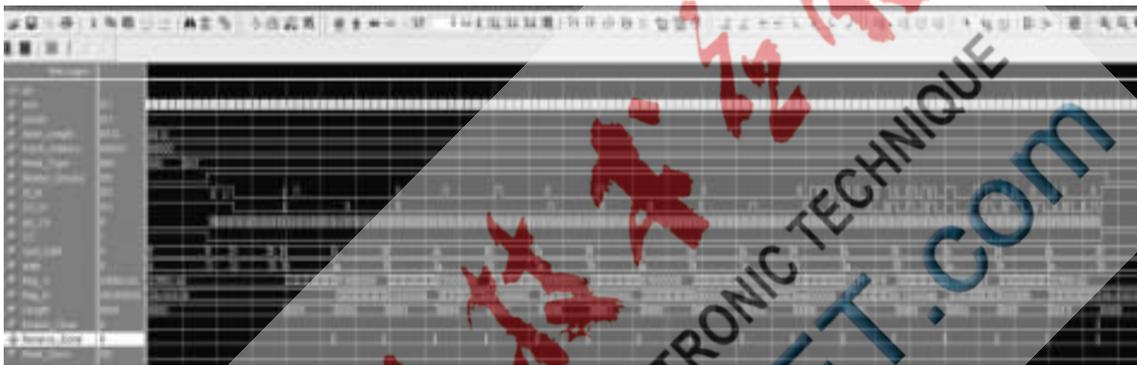


图 8 双通道传输波形图

数据接收寄存器交替接收数据,消除了两次数据接收之间的等待时间,提高了芯片的工作效率。当然因为Nand Flash的操作复杂,该设计还未能完全实现对Nand Flash所有操作的支持,在今后的设计中需进一步完善。

#### 参考文献

- [1] 蔡锦达,王德福,黄小松.大容量Nand Flash在ARM嵌入式系统中的应用[J].工业控制计算机,2004,17(5):43-44.
- [2] 王洋,刘卫东,于岗.基于AMBA APB总线Nand Flash控制器的设计研究[J].电子设计工程,2011,19(20):166-

168.

- [3] 唐宇光,王镇,凌明.一种基于AMBA总线的Nand Flash控制接口电路设计[J].电子器件,2004,27(2):306-311.
- [4] 薛杰,戎蒙恬,刘文江.一种可配置Nand-Flash控制器的设计[J].信息技术,2006(11):1-4.

(收稿日期:2013-06-18)

#### 作者简介:

王新君,男,1987年生,硕士,主要研究方向:集成电路。