

4 路视频合成系统的 FPGA 设计

叶飞¹, 方毅², 李广辉¹

(1. 中国科学技术大学 电子科学与技术系 集成电路实验室, 安徽 合肥 230027;

2. 中国科学技术大学 信息科学实验中心, 安徽 合肥 230027)

摘要: 给出一种 4 路视频合成系统的 FPGA 设计, 介绍了 FPGA 与 AD 芯片 TVP5154 的 I²C 通信配置、有效视频数据的抽取方法、SRAM 乒乓操作以及 FPGA 对于视频的拼接处理方法。

关键词: FPGA; 视频合成; TVP5154; 乒乓操作

中图分类号: TP277

文献标识码: A

文章编号: 1674-7720(2013)14-0041-03

Four-channel video composite system design based on FPGA

Ye Fei¹, Fang Yi², Li Guanghui¹

(1. IC Lab, Department of Electronic Science & Technology, University of Science & Technology of China, Hefei 230027, China;

2. Laboratory Center of Science and Technology, University of Science & Technology of China, Hefei 230027, China)

Abstract: This paper propose a video composition system design based on FPGA. Firstly it describes the configuration of AD chip TVP5154 by FPGA through I²C communication, then introduce the extraction of effective data, SRAM ping-pong operation, and video composition, composite the four channel video signals to one road.

Key words: FPGA; video composition; TVP5154; ping-pong operation

随着人们越来越注重安全问题, 监控开始向小型化、家庭化发展。为了实现全方位多角度监控, 需要采用多路摄像及多个显示器来显示实时信息, 同时多路存储的容量需求比较大。为了在容量有限的情况下存储更多数据, 需要对多路视频进行相关处理, 将多路视频合成一路视频信号再进行压缩存储和显示。

1 系统组成及工作原理

综合考虑视频图像的实时性以及功耗体积等因素, 采取以下方案: 由 4 路并行的视频模数转换芯片 TVP5154 将 4 路视频信号转换成数字格式的视频信号, 并用 FPGA 进行合成处理^[1], 再送给 ARM 模块进行进一步压缩、存储等处理。图 1 为系统的 FPGA 部分的硬件结构图。

采用 Xilinx 公司 Spartan 3E 系列中的 XC3S500E 芯片, 该芯片具有功耗低、成本低等优点。采用 TVP5154 模数芯片主要是考虑到它是 4 路并行的, 可节省板级空间, 也方便控制, 它可以将输入的 4 通道 NTSC/PAL/SECAM 格式的视频数据转换成 4 通道的 8 位 ITU-R BT.656^[2]格式的数字视频输出供 FPGA 进行处理。FPGA 包含 I²C^[3]通信模块、视频采集模块、处理模块、存储控制

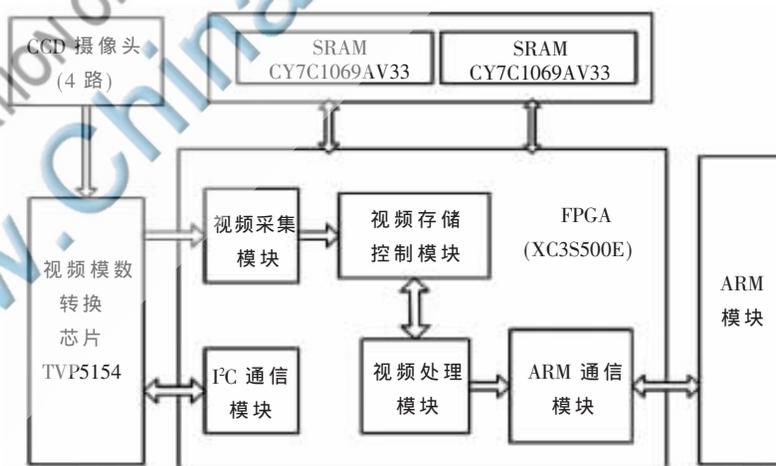


图 1 FPGA 结构图

模块以及 ARM 通信模块。

2 模块设计

2.1 I²C 通信模块

FPGA 通过 I²C 总线^[4]实现对 TVP5154 的配置, 完成 4 路视频的 AD 转换。将 I²CA0 和 I²CA1 接地, 把从机地址设为 B8h。系统上电后, 设备处于一个输出未定义的未知状态, 直到它接收到 RESET 命令。在系统上电或硬件重启后, 遵循以下自检过程:

《微型机与应用》2013 年 第 32 卷 第 14 期

图形、图像与多媒体

Image Processing and Multimedia Technology

个数据设为 8), 其余两个地址 adr_v 和 adr_1 赋值为 0。Flag 出现高时 adr_v 开始计数, 由于两路数据间隔 4 个周期, 所以设置 adr_v 为 3 位, 检测最高位选择对 1、2 两个地址中一个进行 +1 运算, 然后以 $adr_v[2]$ 作为 2 选 1 MUX 控制端, 列地址 $column$ 作为输出, 得到所需的列地址序列。在 flag 下降沿之后行地址 row 加 1, 得到所需的写地址。



图 5 地址产生仿真波形

存储控制模块结构图如图 6 所示。得到数据和相应地址向 SRAM 写入数据, 用两块 SRAM 分别进行乒乓存储, 两块交替工作, 向其中一块写入数据时则从另一块中读出数据。



图 6 存储控制模块结构图

乒乓缓冲的切换逻辑只需检测行地址, 当行地址达到 576 即第 576 行 (对应行地址为 575), 数据已经存入 SRAM, 拉高 ready 信号, 然后将 row 清零。切换两个 SRAM 的操作方向, 将 SRAM1 总线接至后面的合成模块, 而 SRAM2 则接至地址产生逻辑的输出等待写入。

2.4 视频处理模块

视频处理模块主要实现 4 路视频的合成处理。根据 ITU656 格式, 调用一个 IP 生成一个 ROM, 存入视频帧的第一行数据, EAV 和 SAV 为 8 B, EAV 后 280 B 为消隐数据, SAV 后 1 440 B 为消隐数据, 共 1 728 B。其中 EAV 为 FF0000B6h, SAV 为 FF0000ABh。

根据存储模块的切换逻辑送出来的 READY 信号, 检测到上升沿之后开始状态跳转, 从 IDLE 状态跳转到 EVEN_BLANK1 状态, 设置一个模为 22 的计数器, 包含一个模为 1 728 的计数器作为地址来读取 ROM 中的数据。读完 ROM 的数据, 外计数器 +1 输出一行数据, 共输出 22 行数据。然后跳转到 EVEN_VALID 状态, 此时先读取 ROM 中前 288 B, 并改写 EAV 和 SAV 的最后 1 B, 分

别改为 9Dh 和 80h。接着开始读取 SRAM 中的数据, 按照行列地址进行读取, 行基地址为 0, 按列地址递增读取, 读至 1 440 列地址归零, 结束一行读取, 共重复 288 次输出有效数据行。由于是隔行扫描, 每次行地址加 2, 最后一次读取的为第 574 行。接着状态跳转到 EVEN_BLANK2, 输出两行偶场消隐行, 读取 ROM 的数据即可。再跳转到 ODD_BLANK1, 输出 23 行奇场消隐行。读取 ROM 的数据并改变 EAV 和 SAV 的最后 1 B 为 F1h 和 ECh。然后跳至 ODD_VALID 输出奇场有效数据, 同 EVEN_VALID, 改写 EAV 和 SAV 最后 1 B 为 DAh 和 C7h, 行基地址为 1, 每次加 2, 最后一次读取的为第 575 行。奇场有效行输出完成后, 进入 ODD_BLANK2, 输出两行奇场消隐行。最后跳回 EVEN_BLANK1 输出下一帧数据。

EVEN_BLANK1 输出 22 行, EVEN_VALID 输出 288 行, EVEN_BLANK2 输出 2 行, ODD_BLANK1 输出 23 行, ODD_VALID 输出 288 行, ODD_BLANK2 输出 2 行, 一帧共 625 行标准的 ITU656 格式的视频数据, 并根据格式在特定位改写同步信号。

2.5 ARM 通信模块

ARM 通信模块主要将合成所得的视频数据送往 ARM 模块, 进行进一步的处理, 包括压缩、存储等。接口主要有 8 bit 数据 $data[7:0]$, 3 bit 同步信号 F、H、V, 一路时钟信号 clk , 以及握手信号。

本设计采用自顶向下的分析方法, 根据系统的需求划分功能模块, 给出一种视频合成方法的 FPGA 设计, 并详细介绍各模块的具体功能和实现。通过给定已知数据进行仿真验证, 证明了系统可以较好地实现合成操作。

参考文献

- [1] 蔡青青, 龚立群, 黄益新. 基于 FPGA 的视频监控系统[J]. 微型机与应用, 2012, 31(4):37-39.
- [2] Recommendation BT.656-5[EB/OL]. [2007-12]. http://www.itu.int/dms_pubrec/itu-r/rec/bt/R-REC-BT.656-5-200712-1!! PDF-E.pdf.
- [3] 吴厚航. 深入浅出玩转 FPGA(第 1 版)[M]. 北京:北京航空航天大学出版社, 2010.
- [4] 潘利明, 王惠平, 刘春风. 基于 FPGA 视频采集中的 I²C 总线设计与实现[J]. 现代电子技术, 2010(8):80-82.
- [5] 陈文辉, 覃永新. 基于 FPGA 的多路视频合成系统的设计[J]. 制造业自动化, 2010, 32(8):62-65.

(收稿日期: 2013-02-21)

作者简介:

叶飞, 男, 1988 年生, 硕士研究生, 主要研究方向: 电子系统设计。

方毅, 男, 1975 年生, 工程师, 主要研究方向: 电路测试。

李广辉, 男, 1987 年生, 硕士研究生, 主要研究方向: 嵌入式系统。

《微型机与应用》2013 年 第 32 卷 第 14 期