

一种二阶温度补偿的 CMOS 带隙基准电路*

张静¹, 张传武², 陈向东¹, 范楚亮¹

(1.西南交通大学 信息科学与技术学院, 四川 成都 610031;

2.西南民族大学 电气信息工程学院, 四川 成都 610041)

摘要: 提出了一种可用于标准 CMOS 工艺下且具有二阶温度补偿电路的带隙基准源。所采用的 PTAT² 电流电路是利用了饱和区 MOSFET 的电流特性产生的, 具有完全可以与标准 CMOS 工艺兼容的优点。针对在该工艺和电源电压下传统的启动电路难以启动的问题, 引入了一个电阻, 使其可以正常启动。基准核心电路中的共源共栅结构和串联 BJT 管有效地提高了电源抑制比, 降低了温度系数。基于 TSMC 0.35 μm CMOS 工艺运用 HSPICE 软件进行了仿真验证。仿真结果表明, 在 3.3 V 供电电压下, 输出基准电压为 1.225 4 V, 温度系数为 $2.91 \times 10^{-6} \text{V}/^\circ\text{C}$, 低频的电源抑制比高达 96 dB, 启动时间为 7 μs 。

关键词: CMOS 带隙基准源; 温度系数; 电源抑制比

中图分类号: TN432

文献标识码: A

文章编号: 1674-7720(2013)13-0024-03

A 2nd-order temperature compensated CMOS bandgap reference circuit

Zhang Jing¹, Zhang Chuanwu², Chen Xiangdong¹, Fan Chuliang¹

(1.School of Information Science & Technology, Southwest Jiaotong University, Chengdu 610031, China;

2.School of Electrical and Information Engineering, Southwest University for Nationalities, Chengdu 610041, China)

Abstract: This paper proposes a 2nd-order temperature compensated CMOS bandgap reference circuit which can be used with a standard CMOS process. We adopt the PTAT² current circuit, which makes use of the current characteristics of the saturated region of MOSFET and has the advantage of fully compatible with standard CMOS processes. Due to it's difficult to start the circuit for this process and supply voltage, we introduce a resistance start properly. The cascade and serious BJT in the core of reference circuit improves the power supply rejection ratio and reduces the temperature coefficient effectively. We adopt the HSPICE software simulate all the circuit based on TSMC 0.35 μm CMOS process. The simulation results show that the temperature coefficient is $2.91 \times 10^{-6} \text{V}/^\circ\text{C}$ and PSRR at low frequencies is up to 96 dB at 3.3 V power supply and startup time is 7 μs .

Key words: CMOS bandgap reference; temperature coefficient; power supply rejection ratio

带隙基准源通常是模拟混合电路设计中重要的组成模块, 主要应用于存储器、模数/数模转换电路、电源管理、振荡器等电路中, 为其提供高稳定性的参考电压, 对系统的性能起着至关重要的作用。随着半导体技术的发展, 尤其是系统集成 (SoC) 技术的发展, CMOS 工艺^[1-2]具有集成度高和低压、低功耗的优势, 使得标准 CMOS 工艺下的带隙基准源得到了广泛的应用。研究和设计高性能的 CMOS 带隙基准源成为了现今集成电路设计中的

一种发展趋势。

本文设计 CMOS 带隙基准源时引入二阶温度补偿技术。采用了折叠式的共源共栅自偏置二级运放, 核心电路运用双层 PMOS 管叠加结构, 增大电路的 PSRR。通过 PNP 管的串联, 降低了失调电压对 CMOS 带隙基准源输出参考电压的影响。最后通过产生与温度成平方关系的 PTAT² 电流, 在一阶温度补偿的基础上对基准源进行二阶温度补偿, 最终降低了 CMOS 带隙基准源的温度系数。图 1 为带二阶温度补偿的 CMOS 带隙基准电压源的整体电路图。

* 基金项目: 国家自然科学基金 (61171050); 西南民族大学中央高校基本科研业务费专项基金项目 (11NZYQN19)

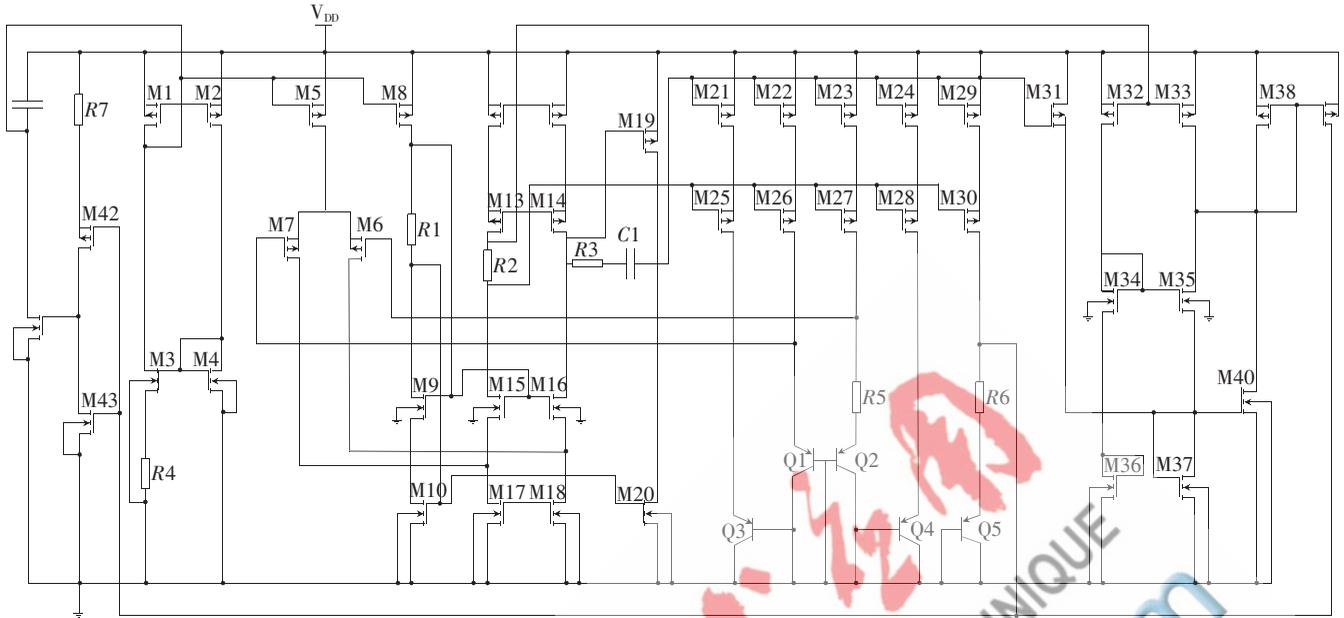


图1 二阶温度补偿的 CMOS 带隙基准电压源电路图

1 带隙基准电路设计

1.1 二级运放与 CMOS 带隙基准核心电路

如图 1 所示,整个二级运放^[3]由 M5~M20 和 R1~R3、C1 构成。它在电路中用来钳制核心电路中两点的电位,从而产生对基准的一阶温度补偿。运放的第一级由 M5~M18 和 R1、R2 组成,M5、M6 管作为运放的差分输入端,除了能够有效地抑制温漂,还能获得优良的噪声。电阻 R1、R2 可为运放的共源共栅管 M11~M18 提供偏置电压,同时折叠式共源共栅结构可有效地增大运放的增益。运放第二级由 M19 和 M20 组成。这种采用 PMOS 管输入电流源负载的共源输出级方式可以增大运放的输出电压摆幅。在两级之间串联了电容 C1 和电阻 R3,对运放所产生的主次极点和零点进行偏移,使系统更加稳定。

CMOS 带隙基准的核心电路是由图 1 中 Q1~Q5、M21~M30、R5、R6 组成的,本文在传统 Kuijk 结构^[4]单排 PMOS 管的基础上,新增加的 M25~M28、M30 的结构^[5]可以有效地增大电路的 PSRR。使用串联的 PNP 管结构^[2]减小了由运放失配引起的失调电压 V_{OS} 对输出带隙基准电压的影响。

根据放大器的虚短虚断^[2]原理,传统 Kuijk 结构经过一阶温度补偿后输出基准电压为^[4]:

$$V_{REF} = V_{BE5} + \frac{(V_T \ln N - V_{OS})R_6}{R_5} \quad (1)$$

其中, V_{BE5} 为三极管 Q5 的基射结电压。串联了 Q3、Q4 后输出电压可表示为:

$$V_{REF} = V_{BE5} + \frac{(2V_T \ln N - V_{OS})R_6}{R_5} \quad (2)$$

其中, V_T 为热电压, V_{OS} 是失调电压, N 为 Q2 和 Q1 的发射结面积之比。式(2)括号内的第一项增大为原来的 2 倍,减小了 V_{OS} 对 V_{REF} 的影响。调节 R_6 和 R_5 的比值以及 N

值,就可以得到在室温下温度系数接近为零的参考电压。

双极型晶体管工作在放大区时,基射结电压可表示为^[6]:

$$V_{BE} = V_{C0} + mV_T - (\eta - \alpha)V_T \ln T \quad (3)$$

其中, V_{C0} 是温度为 0 K 时三极管的基射电压, m 、 η 和 α 都是与温度无关的常量, $V_T \ln T$ 是 V_{BE} 与温度有关的高阶非线性项,在 T_r 点进行泰勒级数展开时, $V_T \ln T$ 可得^[6]:

$$V_T \ln T = \frac{K}{q} \left[(T - T_r) + \frac{1}{2}(T - T_r)^2 - \frac{1}{6}(T - T_r)^3 + \frac{1}{12}(T - T_r)^4 \right] \quad (4)$$

其中, K 为霍尔兹曼带数, q 为电子电荷。由式(4)知,高阶项需要进行温度补偿。因此,本文设计了一种二阶温度补偿电路对 CMOS 带隙基准进行更精确的温度补偿。

1.2 带偏置电路的启动电路

图 1 中的 M1~M4 和 R4 构成了偏置电路^[2],为 M5 提供偏置电压。在偏置电路中, M3 的漏极存在一个“简并”偏置点的问题,为了解决这个问题,引入了启动电路。启动电路由 M41、M42、M43、C2、R7 构成,启动电路中 M42 与 M43 组成了一个反相器,由于电源电压过高,因此引入了一个电阻 R7,有效地降低了 M42 的源极点的电位,从而保证了反相器能够正常工作。当电源刚上电时,对 C2 进行短暂的充电,反相器的输入信号为零时,则反相器输出为高电平,此时 M41 会导通并产生电流,整个电路导通;当整个电路启动完成后,反相器的输出为零, M41 处于截止区,启动电路处于关断状态,不再作用于其他电路,启动过程结束。

1.3 I_{PTAT}^2 产生电路

在图 1 中,所设计的 I_{PTAT}^2 产生电路^[7]是由 M31~M40 组成的, M31 为其提供 I_{PTAT} , M32 和 M33 通过设定管子的宽长比来为 I_{PTAT}^2 产生电路提供成比例的偏置电流, M32~M38 和 M40 产生 I_{PTAT}^2 电路。工作于饱和区的 MOSFET 管的饱和电流可表示为^[2]:

$$I_{DS} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (5)$$

其中, μ 为载流子的有效迁移率, C_{ox} 为单位面积栅氧化层电容, W 为沟道宽度, L 为沟道长度, V_{GS} 为栅极电压, V_{TH} 为阈值电压。根据式(5)和基尔霍夫电流定律, 经过计算导出 M38 可以产生一个与温度成平方关系的 I_{PTAT}^2 , M38 通过电流镜传送一定比例的电流至 M39, 可以通过调节管 M32、M33、M38、M39 的宽长比来调节 I_{PTAT}^2 电流的大小, 再将 M39 的电流接至 CMOS 带隙基准电压源输出端, 使得 I_{PTAT} 与 I_{PTAT}^2 相加进行补偿, 最终将温度系数尽可能地降至最低, 达到二阶温度补偿的效果。

2 电路 HSPICE 仿真

本文设计的 CMOS 带隙基准源电路采用 TSMC 0.35 μm CMOS 工艺, 在 3.3 V 供电电压下, 用 HSPICE 对本文提出的 CMOS 带隙基准电路进行仿真。图 2 所示为运放的仿真曲线。当共模电压为 2 V、温度为 25 $^{\circ}\text{C}$ 时, 电路的直流开环增益为 121 dB, 单位增益带宽为 18.4 MHz, 相位裕度为 60 $^{\circ}$ 。图 3 所示为当在电源端加一阶跃信号时电路的启动时间曲线, 曲线表明, 当电源从在 0 μs 的 0 V 变为 10 μs 的 3.3 V 时, 电路的启动时间为 7 μs 。图 4 所示为电路的电源抑制比曲线, 结果显示, 温度为 25 $^{\circ}\text{C}$ 时, 在 3.3 V 的电源电压下, 此电路的 PSRR 为 96 dB。图 5 为一阶和二阶温度补偿曲线, 结果显示, 在 3.3 V 的电源电压下, 温度从 -20 $^{\circ}\text{C}$ ~120 $^{\circ}\text{C}$ 扫描, 可计算出经过一阶温度补偿后的温度系数为 $10.92 \times 10^{-6} \text{V}/^{\circ}\text{C}$, 经过二阶温度补偿后的温度系数为 $2.91 \times 10^{-6} \text{V}/^{\circ}\text{C}$ 。显然, 经过二阶温度补偿后的温度系数有了大幅度的降低, 提高了基准的稳定性。

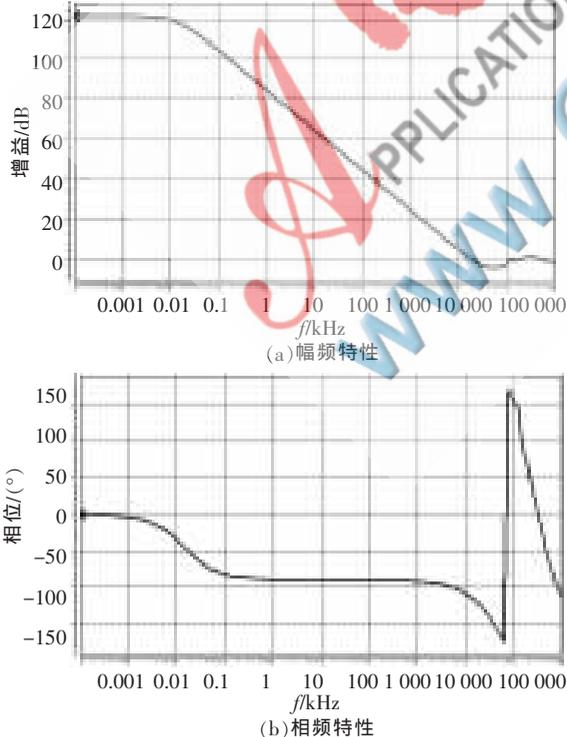


图2 折叠式共源共栅放大器幅-频/相-频特性

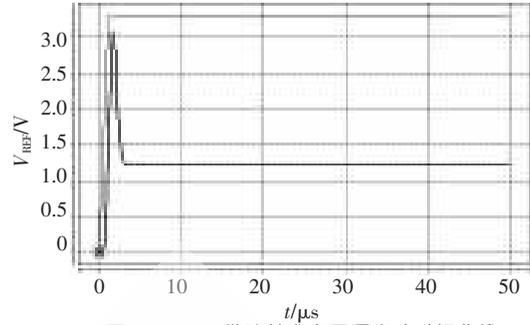


图3 CMOS带隙基准电压源启动时间曲线

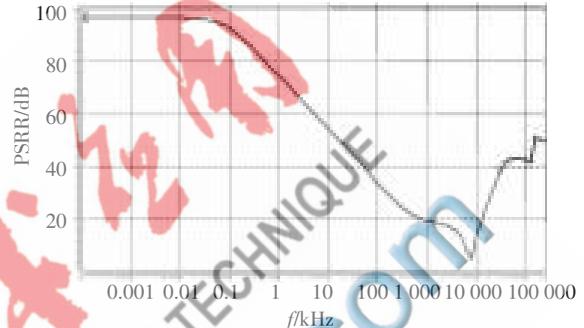


图4 CMOS带隙基准电压源电源抑制比曲线

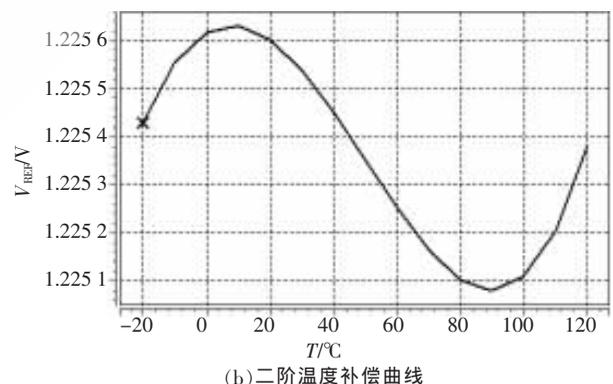
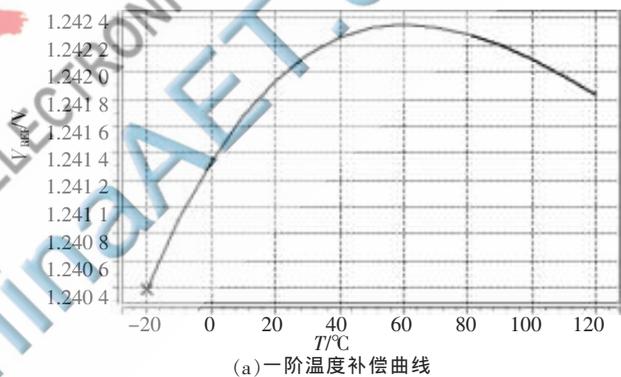


图5 CMOS带隙基准电压源一阶和二阶温度补偿曲线

本文设计了一种产生 $PTAT^2$ 电流的二阶温度补偿 CMOS 带隙基准源电路, 克服了传统二阶温度补偿不能与标准 CMOS 工艺兼容的问题。HSPICE 仿真结果表明, 在 3.3 V 电源电压下, 电路具有较低的温度系数和较高的电源抑制比, 作为基准源电路可应用于系统集成芯片 (SoC) 中。

参考文献

- [1] 幸新鹏,李东梅,王志华.CMOS 带隙基准源研究现状[J]. 微电子学,2008,38(1):58-63.
- [2] 毕查德·拉扎维.模拟 CMOS 集成电路设计[M].陈贵灿,程军,张瑞智,译.西安:西安交通大学出版社,2003.
- [3] 朱治鼎,彭晓宏,吕本强,等.高性能折叠式共源共栅运算放大器[J].微电子学,2012,42(2):146-149.
- [4] KUJIK K E. A precision reference voltage source [J]. IEEE J. of Solid-State Circuits, 1973,8(3):222-226.
- [5] 李新,洪婷,高加亭.高精度低温度系数带隙基准电压源的设计[J].微处理机,2009,30(5):13-15.
- [6] RINCON-MORA G A. Voltage references from Diodes to precision high-order bandgap circuits[C]. IEEE Press, Wiley Interscience, 2002.
- [7] 李沁莲.基于衬底驱动的 CMOS 带隙基准电压源的分析与设计[D].成都:西南交通大学,2011.
(收稿日期:2013-02-05)

作者简介:

张静,女,1987年生,硕士研究生,主要研究方向:模拟集成电路设计。

张传武,男,1971年生,教授,主要研究方向:移动通信。

陈向东,男,1964年生,教授,博士生导师,主要研究方向:微电子技术,信息获取技术及新型传感器等。

电子技术应用
APPLICATION OF ELECTRONIC TECHNIQUE
www.ChinaAET.com