

一种 UWB 的 MAC 缓存设计*

陈泽,傅忠谦,黄鲁

(中国科学技术大学 电子科学与技术系,安徽 合肥 230027)

摘要: 实现了一个脉冲超宽带、高速、短距离无线通信组网工程的 MAC 缓存设计,使用片外 SDRAM 与 MAC 芯片电路中优先级最高的 FIFO 进行数据交互,并在 SMIC 0.18 μm CMOS 工艺下进行了流片。测试结果证明其在 125 MHz 下能正常工作。

关键词: MAC;缓存;SDRAM 控制;FIFO

中图分类号: TN492

文献标识码: A

文章编号: 1674-7720(2013)13-0030-03

Design of MAC buffer storage based on UWB

Chen Ze, Fu Zhongqian, Huang Lu

(Department Electronic Science & Technology, University of Science & Technology of China, Hefei 230027, China)

Abstract: This paper implements a MAC cache design of IRUWB high-speed and short-range wireless communication network engineering. SDRAM makes data interface with the highest priority FIFO in MAC chip. This design finishes tapeout in SMIC 0.18 μm CMOS process. Chip test shows that it works well under 125 MHz.

Key words: MAC; buffer storage; SDRAM control; FIFO

超宽带(UWB)技术在室内短距离无线通信中可支持高达数百兆比特每秒的传输速率而同时功耗较低。物理层上层的 MAC 技术在影响网络吞吐量方面有非常重要的作用,它为上层提供快速可靠的传送支持^[1]。本文根据脉冲超宽带(IR-UWB)短距离组网工程的要求,利用 SDRAM 实现了一个 MAC 大容量缓存设计并与整个 MAC 一起完成芯片流片与测试。

1 MAC 系统设计

1.1 系统设计

在 IR-UWB 通信系统中,PC 通过 USB 控制芯片 CY7C68013(下文简称 68013)与 MAC 芯片建立数据交互。如图 1 所示,MAC 处于基带与 PC 之间,实现接口转换、组帧合帧、节点接入、时隙管理等功能。其中 FD 是 MAC 与 68013 之间的 16 bit 双向数据总线,txdata 是 MAC 送往基带的 8 bit 数据,rxdata 为基带送往 MAC 的 8 bit 数据。



图 1 UWB 系统总体框图

从网络的应用需求和特点出发,系统设计采用中心控制,数据 P2P 传输作为网络组织结构,采用几组可选的固定时隙分配超帧结构作为接入基本规则。将一段时间分为若干个超帧,每一超帧包含 500 个物理帧,若干个连续的物理帧组成一个时隙^[2]。这样可以分配 PNC/DEV 节点在一个超帧的不同时隙发送或接收,即在 PNC 发送时 DEV 接收,DEV 发送时 PNC 接收。一个物理帧长 2 089 个时钟周期^[3],时钟周期为 8 ns,一个超帧时长 8.356 ms。

1.2 缓存方案确定

USB2.0 传输速率最大为 480 Mb/s,对 MAC 的接口是 30 M \times 16 bit。MAC 与基带部分交互的速率为 1 Gb/s(125 M \times 8 bit)。两端数据宽度和速率均不同且跨时钟域。大量的数据跨时钟域交互需要使用异步 FIFO。一种简单方案如下:仅用两个 FIFO,一个 TFIFO 用来接收 68013 的 30 MHz 频率 16 bit FD 输入,以 125 MHz 读出并作 16 bit 转 8 bit 操作,并送往基带;另一个是 RFIFO,接收 rxdata 经 8 bit 转 16 bit 后的 125 MHz 输入数据流,以 30 MHz 读出送至 68013。

当本节点在接收时隙下,接收数据流以 1 Gb/s(125 MHz

* 基金项目: 国家科技重大专项资助项目(2011ZX03004-002-01)

的 rxdata) 灌进 RFIFO 中时, 即使将 68013 仅用于接收也只能达到 480 Mb/s。因高速写入低速读出, 为了在接收数据时隙内 RFIFO 不被写满, 需用超大容量的 FIFO。此外, 当 PC 有要发送的数据时, 将会被阻塞(因 68013 仅接收)而进不了 MAC 中。

为避免 PC 发送被阻塞和 FIFO 深度过大, 使用大容量 SDRAM 作为 MAC 的缓存。如图 2 所示, 通过 4 个 FIFO (512×16 bit) 与 SDRAM 交互数据。将 SDRAM 按地址分成等分的两片, 每片容量 32 MB, 分别作为发送数据和接收数据的缓冲存储区。这样 SDRAM 等同于两个巨大的 FIFO 缓存着发送和接收的数据^[4]。与 SDRAM 交互的 FIFO 列表如表 1 所示。

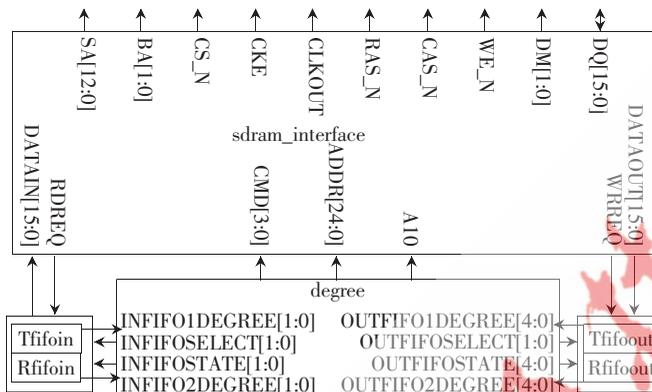


图2 缓存设计框图

表1 与 SDRAM 交互的 FIFO 列表

FIFO 名称	数据输入	数据输出
Tffifo	68013 (30 MHz)	SDRAM (125 MHz)
Rffifo	rxdata 8 转 16 后 (125 MHz)	SDRAM (125 MHz)
Tffifoout	SDRAM (125 MHz)	txdata 16 转 8 前 (125 MHz)
Rffifoout	SDRAM (125 MHz)	68013 (30 MHz)

选用 Micron 公司的 MT48LC32M16A2 (8 Meg×16×4 banks) 型号 SDRAM^[5], 工作时钟 125 MHz, FIFO 与 SDRAM 数据交互速率为 2 Gb/s。如此将大大减小片内 FIFO (芯片内部的 FIFO 是通过双口 SRAM 阵列来存储数据的) 的容量, 节省大量芯片面积, 并且隔离了 Tffifo 及 Rffifoout 写读与超帧时隙分配的关系, 这样 PC 不必等到发送时隙到时才能将数据送入 MAC, 能应对实际业务中数据突发到达。数据流图如图 3 所示。

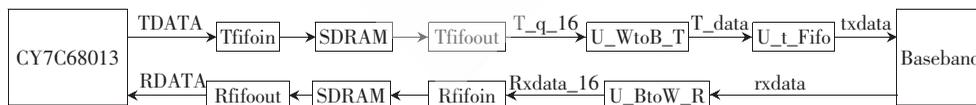


图3 数据流图

缓存设计由 degree、sram_interface、sram_infifo 及 sram_outfifo 4 个模块构成。degree 模块负责全局逻辑, 挑选最高优先级的 FIFO 进行读写操作, 同时变更优先级轮循信号, 产生命令字 (CMD)、外围 FIFO 选通信号、SDRAM 读写标志和 SDRAM 读写地址。sram_interface 通过翻译命令字 (CMD) 信号产生外部 SDRAM 的接口信号

及内部 FIFO 的读写请求。sram_infifo 模块根据 FIFO 选通信号和读请求, 将相应的 infifo 数据写入 SDRAM, 同时根据优先级轮循信号 (infifo_state) 产生新的 infifo 优先级, 本模块例化为图 2 中的 Tffifo 和 Rffifo。sram_outfifo 模块根据 FIFO 选通信号和写请求, 从 SDRAM 读出数据至 outfifo, 同时根据优先级轮循信号 (outfifo_state) 产生新的 outfifo 优先级, 本模块例化为图 2 中的 Tffifoout 和 Rffifoout。

2 主模块实现

2.1 68013 接口模块

与 68013 交互的 FIFO 有 Rffifoout 及 Tffifo。通过固件将 68013 配置成 slave FIFO 模式^[6] (内部一个发送 FIFO, 一个接收 FIFO), MAC 与 68013 通过读写 FIFO 完成数据交互。68013 固件的设计决定了每次读写都是以 256 个 16 bit 宽的数据为粒度进行操作。68013 提供的满标志 FLAGB (低有效, 由 FIFOADDR 选中的 FIFO 有不少于 256 字的数据)、空标志 FLAGC (低有效, 由 FIFOADDR 选中的 FIFO 数据不足 256 字) 至 MAC。68013 接口模块状态机如图 4 所示。

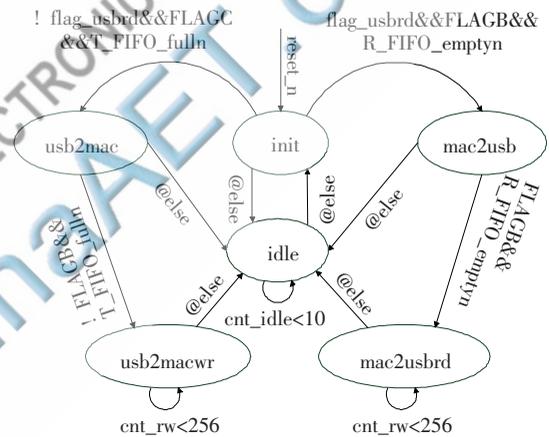


图4 68013 接口模块状态机

通过 MAC 中的状态机, 在 init 态根据内外 FIFO 的标志决定下一状态。在 usb2mac 态, 若 68013 有一个粒度的数据要发送 (FLAGB 为低) 且 MAC 已准备好接收 (Tffifo 非满且已写数据字数小于 257, T_FIFO_fulln 有效), 则状态跳入 usb2macwr 进行 256 字的突发写; 在 mac2usb 态, 若 68013 能接收一个粒度的数据 (FLAGB 为高) 且 MAC 已准备好发送 (Rffifoout 满或可读数据大于 255 字时, R_FIFO_emptyn 有效), 则状态跳入 mac2usbrd 态进行 256 字的突发读。一次突发读或突发写完成后, 状态跳入 idle 对 flag_usbrd 取反并变更 FIFOADDR, 等待 10 个周期确保 FIFOADDR 对应的 FIFO 空、满标志 (FLAGC、FLAGB) 稳定建立后再跳入 init 态进行下一次轮询。

2.2 degree 模块

本设计将 SDRAM 配置成 BL=8 (8 bit 突发读写长度), CL=3 (CAS Latency 为 3 个时钟周期, 即在读命令发出后 3 个时钟周期, DQ 端才出现读出的数据)。degree 模块状态机如图 5 所示。

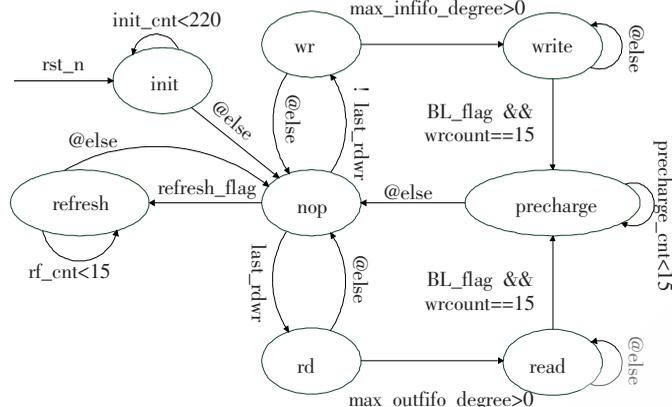


图 5 degree 模块状态机

上电后进入 init 态进行初始化, 根据 init_cnt 计数器值给出对应的初始化命令。完成初始化后跳入 nop 态, 以 last_rdwr 为标志判断跳转 wr 或 rd 态, 并对 last_rdwr 取反, 以此做到 SDRAM 读写状态的轮询。在读写状态下连续 16 次突发读写 (BL=8), 并根据 SDRAM 时序要求给出对应的命令。读写完成后跳入 precharge 状态进行预充电以关闭活动的行, 结束后进入 nop 态。刷新计数器在不停地计数, 当达到 700 (小于刷新间隔) 时给出刷新标志 refresh_flag, nop 态检测到此标志, 立即跳入刷新状态发送自动刷新命令来刷新 SDRAM。

写入 SDRAM 和从 SDRAM 读出操作均有两个 FIFO (见图 2、图 3)。判断两 FIFO 的优先级, 选取高优先级 FIFO 进行读写。以 inififo 为例, 在 wr 态若高优先级 FIFO 的优先级 (max_inififo_degree) 大于零, 则选中该 FIFO 进入写状态 write。选中 FIFO 后, 给出优先级轮询信号 inififo_state: 选中 Tfifoin 后给出 00, 选中 Rfifoin 后给出 01。

FIFO 新的优先级为: 若 FIFO 数据不够一次突发写或 SDRAM 对应存储区已满, 则优先级置零; 若 index 与 inififo_state 的和为 11, 则优先级置 01; 若 index 与 inififo_state 的和不为 11, 则优先级为两者之和。

如表 2 所示, 当两 FIFO 都有数据要传送时, 会选中高优先级的 FIFO。选择 Rfifoin 后, Tfifoin 新优先级为 10 (大于 Rfifoin 的 01), 故下次会选择 Tfifoin; 选择 Tfifoin 后, Rfifoin 新的优先级将高于 Tfifoin, 故下次会选择 Rfifoin。outfififo 的优先级轮询同理。

表 2 inififo 优先级表

状态	T(sum)	R(sum)	T(degree)	R(degree)
复位后	01+00	10+00	01	10
选 Tfifoin 后	01+00	10+00	01	10
选 Rfifoin 后	01+01	10+01	10	11-10

3 芯片测试

本设计在 SMIC 0.18 μm CMOS 工艺下流片, 工作频率为 125 MHz。测试使用 Agilent 16804A 逻辑分析仪。测试子板背面的插针扣到 FPGA 母板的插槽上, 通过 FPGA 将 txdata 数据流自环给 rxdata 来验证接收通道。从 PC 连续发送 0x0100、0x0302……0xFDFC、0xFFFE 再到 0x0100 的循环数据, 使用逻辑分析仪抓取 txdata、SDRAM 数据和接收到的 FD 数据。逻辑分析仪波形如图 6~图 9 所示。

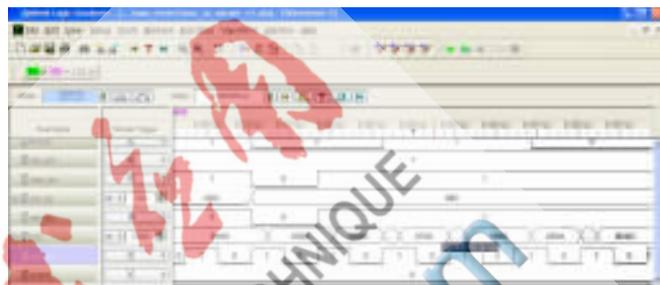


图 6 写 SDRAM 波形



图 7 读 SDRAM 的波形



图 8 txdata 波形



图 9 接收到的 FD 数据波形

对比图 6 与图 7 发现, 写入 SDRAM 数据和从对应地址读出数据一致, 说明 SDRAM 正常工作。

由图 8 可知, txdata 数据为 0x00、0x01……0xFE、0xFF 再到 0x00 的循环, 证明发送通道正常工作。由图 9 可知, 自环回来的 FD 接收数据与 PC 发送的数据相同, 为 0x0100、0x0302……0xFDFC、0xFFFE 再到 0x0100 的循环。将逻辑分析仪抓取的大量数据导入 Matlab 进行分析, 未发现错数据、丢数据现象。

比起使用芯片内的 SRAM 阵列, 利用 SDRAM 构建大容量缓存的方法具有成本低、容量大的特点。选取优先级最高的 FIFO 与片外 SDRAM 进行数据交互, 并动态更新 FIFO 的优先级。设计经流片和芯片测试, 证明异步 FIFO 工作正常, 各时钟域数据流正常, 无错数据、丢数据现象。

参考文献

[1] 徐升.超宽带高速无线个域网的 MAC 协议研究[D].合肥:中国科学技术大学,2010.
[2] 徐明霞.基于参数解析的 Ad Hoc 网络时隙同步方法[J].浙江大学学报(工学版),2005,39(6):901-905.
[3] Yin Huarui. Monobit digital receivers: design, performance, and application to impulse radio[J]. IEEE Transactions on Communications, 2010,58(6):1695-1704.
[4] 黄丛,孟升卫,付平.基于 SDRAM 的海量 FIFO 设计[J].仪器仪表学报,2009,30(6):349-352.
[5] Micron Technology Inc. Micron synchronous DRAM 512 MB

rev.D[Z]. 2000.

[6] Cypress Semiconductor Corporation. CY7C68013 EZ-USB FX2 USB microcontroller high-speed USB peripheral controller[Z]. 2002.

(收稿日期:2013-02-04)

作者简介:

陈泽,男,1988年生,硕士研究生,主要研究方向:数字集成电路设计。

傅忠谦,男,1961年生,副教授,主要研究方向:集成电路设计、复杂网络。

黄鲁,男,1961年生,副教授,主要研究方向:集成电路设计。

