

# UWB 定位系统 FPGA 基带处理设计

朱警怡<sup>1</sup>, 黄鲁<sup>2</sup>, 高睿劼<sup>1</sup>

(1. 中国科学技术大学 电子科学与技术系 集成电路实验室, 安徽 合肥 230027;

2. 中国科学技术大学 信息科学实验中心, 安徽 合肥 230027)

**摘要:** 基于到达时间差(TDOA)算法, 设计了一个脉冲超宽带(IR-UWB)室内定位系统的原理验证样机。主要介绍传感器捕捉标签发送的 IR-UWB 窄脉冲, 进而测出窄脉冲到达传感器时刻的方法。利用 FPGA 中数字时钟管理器(DCM)的相移器功能模块(PS)构成延迟锁相环(DLL), 测得到达传感器的窄脉冲相对于同步时钟的时刻。原理验证系统定位精度优于 40 cm, 达到设计要求。

**关键词:** 超宽带; 定位系统; 数字时钟管理器

中图分类号: TN919; TN79+1

文献标识码: A

文章编号: 1674-7720(2013)13-0020-04

## The baseband design of UWB positioning system with FPGA

Zhu Jingyi<sup>1</sup>, Huang Lu<sup>2</sup>, Gao Ruijie<sup>1</sup>

(1. IC Lab., Department of Electronic Science & Technology, University of Science & Technology of China, Hefei 230027, China;

2. Information Science Laboratory Center, University of Science & Technology of China, Hefei 230027, China)

**Abstract:** This paper designs an ultra-wideband impulse radio (IR-UWB) indoor positioning principle verification prototype system based on time difference of arrival (TDOA) method. It mainly introduces a method of the sensor to capture the IR-UWB pulse sent by label, that means the time IR-UWB pulse reaches the sensor. Using FPGA digital clock manager (DCM) phase shifter module (PS), we form a delay lock loop (DLL) to capture the IR-UWB pulse, and measure the moment of IR-UWB pulse reaches the sensor from the label. The positioning accuracy of the principle verification system is better than 40 cm, that meets the design requirements.

**Key words:** UWB; positioning system; DCM

无线定位系统从信号测量技术上分为 2 大类: 信号强度测量和到达时间测量。RFID 各种技术 (WiFi、ZigBee、Bluetooth) 均采用测量射频信号强度的方法, 而无线信号强度容易受到障碍物等因素的严重影响, 因此 RFID 定位精度较低。而 UWB 采用测量窄脉冲 (1 ns) 到达时间的方法, 定位精度提高了一个数量级。目前 UWB 定位技术主要有: 信号到达角度测量 (AOA) 技术、到达时间定位 (TOA) 和到达时间差定位 (TDOA) 等。其中, TDOA 技术是目前最为流行的一种方案, 它不需要标签 (待定位) 与传感器 (基站) 的时钟同步。

本文介绍利用 FPGA 捕捉 IR-UWB 脉冲的方法, 测出标签发送的脉冲到达传感器的时刻, 得到标签发送的脉冲到达各个传感器的时间差, 从而进行定位。

## 1 UWB 定位原理验证系统设计

### 1.1 定位原理系统方案设计

本系统包含 IR-UWB 脉冲定位和 2.4 GHz RF 通信两部分。采用 2.4 GHz RF 实现传感器与标签的握手通信, 标签发送 1 ns IR-UWB (4 GHz 调制) 窄脉冲到各传感器实现定位功能。

定位系统主要由 4 个 (或以上) 传感器、待定位标签以及进行定位信息计算显示的主机组成, 如图 1 所示。主机与传感器之间用网线连接进行传输数据, 传感器之间用时钟同步线 (超 5 类屏蔽线) 相连, 主机中采用时钟延迟标定技术进行各个传感器的精确同步计算。

定位系统算法采用到达时间差 (TDOA) 算法。TDOA 算法平面定位的原理是: 标签 (TAG) 到两个传感器 (Sensor) 距离之差 (即  $c \times \Delta t$ ) 确定一条双曲线, 3 个传感

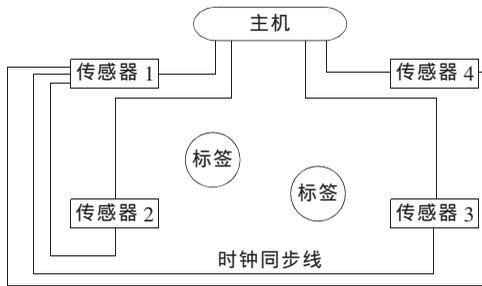


图1 定位系统结构图

器可得到两条双曲线,其交点即为标签位置<sup>[1]</sup>。

$$\sqrt{(x-x_2)^2+(y-y_2)^2} - \sqrt{(x-x_1)^2+(y-y_1)^2} = c \times (t_2 - t_1) = c \times \Delta t \quad (1)$$

其中,  $(x, y)$  为待测标签位置,  $(x_1, y_1)$ 、 $(x_2, y_2)$  为已知传感器 1 和传感器 2 的位置, 如图 2 所示。

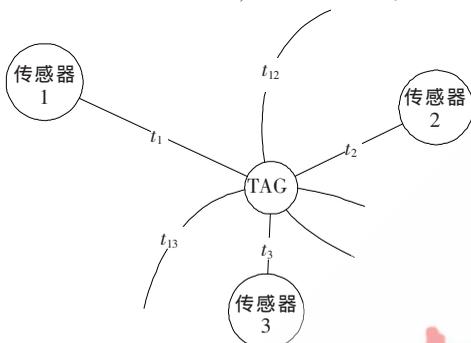


图2 TDOA算法示意图

## 1.2 定位系统简单流程

定位系统算法采用 TDOA 双曲线模型。传感器位置固定且已知, 标签位置为待测。系统工作流程如下:

(1) 主机选择主传感器并给传感器发待测标签 ID。主传感器广播待测标签 ID, 与符合 ID 号的标签完成握手通信。

(2) 待测标签给各传感器发送 IR-UWB 定位脉冲。

(3) 各传感器测出相对于同步时钟 IR-UWB 脉冲到达的时刻, 并将时间信息送给主机。

(4) 主机计算脉冲到达各传感器的时间差, 用 TDOA 算法计算待测标签位置并显示。

传感器与标签的握手采用 2.4 GHz RF 通信, 使用 TI 的 CC2510 通信芯片。采用 2FSK 方式, 通信速率为 2.4 Kb/s。

标签发送的 IR-UWB 脉冲为 1 ns 左右窄脉冲, 中心频率为 4 GHz, 脉冲周期为 2  $\mu$ s<sup>[2]</sup>。

传感器锁定 IR-UWB 脉冲, 采用 30 MHz 的同步时钟在 FPGA 内部 DCM 产生的 32 相延迟锁相环 DLL 来锁定。采样分辨率相当于 960 MHz 的时钟。传感器接收到 IR-UWB 脉冲后先进行射频检波处理, 送给 FPGA 进行脉冲展宽再进行 DLL 锁定。

## 2 FPGA 锁定 IR-UWB 脉冲方法

传感器的射频部分接收到 IR-UWB 定位窄脉冲, 检波后得到 Pulse\_TTL (1 ns 高电平) 送给基带 FPGA 处理。

FPGA 首先对 Pulse\_TTL 进行展宽 (6 ns), 同步时钟 Syn\_CLK 利用 FPGA 中数字时钟管理单元 (DCM) 产生的 32 相均匀延迟的时钟构成延迟锁相环 DLL, DLL 对已展宽的 Pulse\_TTL 锁定, 对锁相环锁定 Pulse\_TTL 的结果进行优先级编码, 即最先锁到脉冲的那一相时钟代表了脉冲到达传感器的时刻, 把该时刻信息通过网络芯片组帧发送给主机处理。基带部分的结构图如图 3 所示。

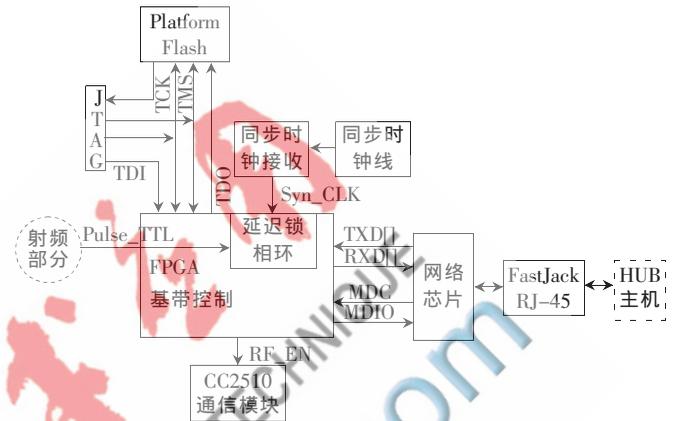


图3 传感器基带处理部分结构

### 2.1 FPGA 数字时钟管理器 DCM

定位系统中, FPGA 采用 Xilinx Spartan3E 系列 XC3S1200E, 包含 8 个 DCM 模块。每个 DCM 由数字延迟锁相环 (DLL)、数字频率合成器 (Digital Frequency Synthesizer)、相移器 DPS (Digital Phase Shifter) 和状态指示器 SL (Status Logic) 4 个功能模块组成, 如图 4 所示。这 4 个功能模块可以独立或者关联操作<sup>[3]</sup>。

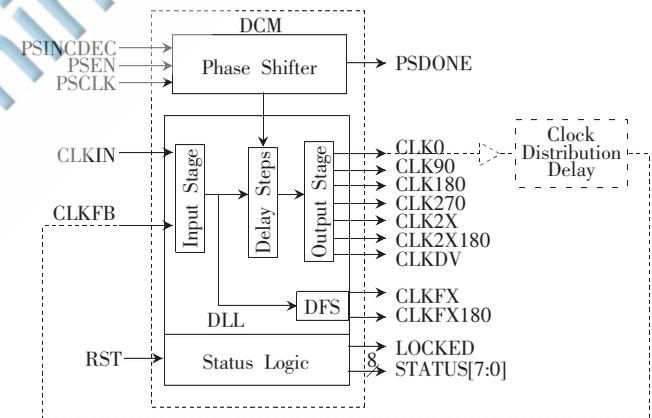


图4 DCM功能模块框图

DCM 的主要功能包括: 消除时钟偏移和时钟分配的延时; 时钟相移、分频、倍频; 时钟调整, 确保 50% 占空比的时钟输出等。

DCM 与全局时钟有着密不可分的联系, 为了达到最小的延迟和抖动, 几乎所有的 DCM 应用都要使用全局缓冲资源。图 5 所示 IBUFG+DCM+BUFG 是 DCM 与全局时钟 buffer 连接的最常用方法。

系统主要利用数字时钟管理器 DCM 的相移器 (PS)

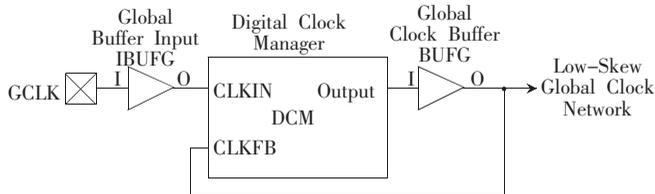


图5 DCM与全局时钟缓冲的连接

功能模块。DCM模块利用CORE Generator&Architecture Wizard工具直接产生IP核并通过例化进行使用。PS调相类型分为动态调相和固定调相,Type设置为Valuable即为动态调相,设置为FIXED即为固定调相。在固定调相模式时,DCM的输出时钟与输入时钟的相位移动值是通过设置Value确定的,Value的取值范围是 $[-255, 255]$ ,则相位移动范围是输入时钟CLKIN周期的 $-255/256 \sim +255/256$ 。相移器对DCM的所有9个输出时钟都进行相位的偏移。DCM的生成及设置如图6所示。

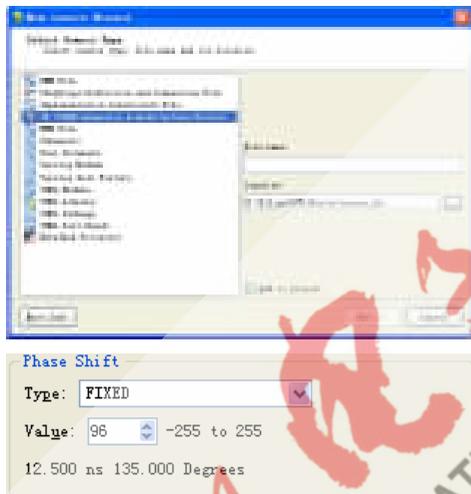


图6 DCM的生成及设置

## 2.2 相移器构成DLL锁定IR-UWB脉冲

如图7所示,利用一块FPGA的8个DCM产生均匀延迟的8相时钟,这8相时钟上升沿和下降沿分别对IR-UWB脉冲采样,等效于16相延迟锁相环采样。16相DLL每相比前一相延迟 $22.5^\circ$ ,DCM[1~8]分别产生延迟 $0^\circ, 22.5^\circ, 45^\circ, 67.5^\circ, 90^\circ, 112.5^\circ, 135^\circ, 157.5^\circ$ 的时钟,这一系列时钟后面各接2个D触发器,分别在上升沿和下降沿采样脉冲。

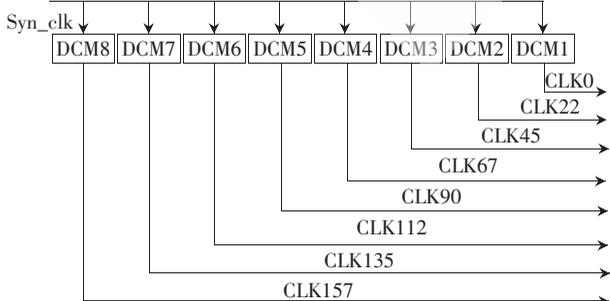


图7 DCM中PS构成DLL原理图

验证系统定位精度要求优于40 cm,即时间分辨率1.3 ns,需要750 MHz的等效时钟。系统采用30 MHz(最大10 m室内定位范围)的时钟作为同步时钟,由于FPGA的DCM资源限制(一块FPGA 8个DCM),验证系统采用2块FPGA(16个DCM)构成32相DLL,等效采样时钟为960 MHz。

## 3 系统测试结果和分析

系统选用Xilinx公司的Spartan3E系列XC3S1200E FPGA。传感器用2块FPGA共16个DCM构成32相DLL锁定标签发送的IR-UWB定位脉冲。

实际测试时,标签每 $2 \mu\text{s}$ 发送一个脉冲,将程序下载到FPGA后,逻辑分析仪观测结果如图8所示,Pulse\_Lock高电平时表示有效捕捉到定位脉冲,Pulse\_Ph[4:0]表示第几相最先锁定IR-UWB脉冲。从图8可以看出, $2 \mu\text{s}$ 捕捉一次脉冲,第14相最先锁定脉冲。

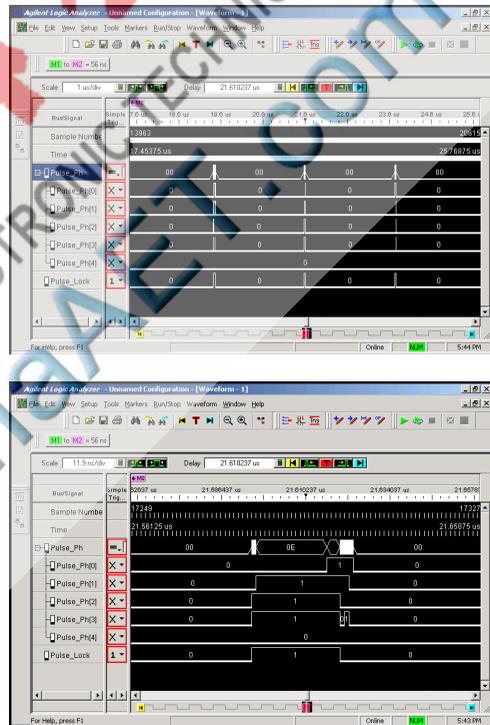


图8 锁定标签脉冲测试图

进行结果验证时,只使用15个DCM做30相DLL,剩下一个DCM用同步时钟做模拟脉冲,脉冲相对同步时钟的延时可自定义。如图9所示,CLK[14:0]为30相DLL的前15相时钟,d为CLK0延时后模拟脉冲,15相时钟上升沿和下降沿分别对d脉冲锁定,对锁定结果进行优先级编码得到第几相时钟最先锁定脉冲,结果表示为Pulse\_Ph[4:0]。将模拟脉冲仿真代码下载到FPGA中,用逻辑分析仪对仿真结果观测,如图10所示,仿真结果得到验证。

本文设计了一个超宽带(IR-UWB)室内定位系统的原理验证样机,为后续ASIC低功耗、高精度定位系统作

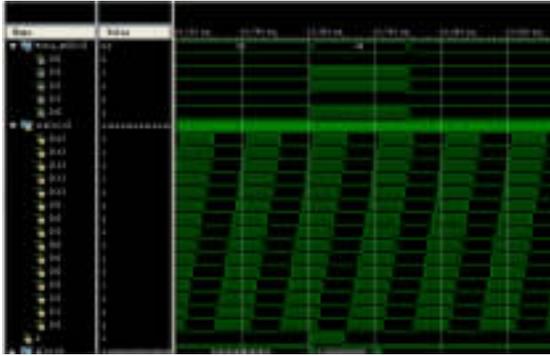


图9 模拟脉冲捕捉仿真图

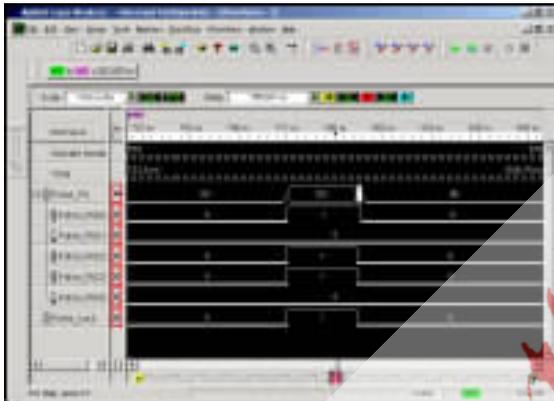


图10 模拟脉冲捕捉观测图

准备。此原理验证系统利用 FPGA 构成延迟锁相环来锁定 1 ns IR-UWB 窄脉冲的方法,能较方便、准确地得到脉冲到达各传感器的时间差。

#### 参考文献

- [1] Xilinx, Inc. Using Digital Clock Managers (DCMs) in Spartan-3 FPGAs[Z]. XAPP462(v1.1) January 5, 2006.
- [2] Zhou Yuan, LAW C L, Xia Jingjing. Ultra low-power RFID tag with precision localization using IR-UWB [C]. Microwave Symposium Digest (MTT), IEEE MTT-S International, 5-10 June 2011.
- [3] 付德龙,黄鲁,蔡力,等. A 3-5 GHz BPSK transmitter for IR-UWB in 0.18  $\mu\text{m}$  CMOS[J]. 半导体学报, 2010, 31(9): 88-93.

(收稿日期: 2013-02-01)

#### 作者简介:

朱警怡,男,1987年生,硕士研究生,主要研究方向:电子系统设计。

黄鲁,男,1961年生,副教授,主要研究方向:集成电路设计。

高睿劼,男,1989年生,硕士研究生,主要研究方向:电子系统设计。