

基于 FPGA 的脉搏信号采集系统设计

全卫泽, 阮军, 黄成

(武汉理工大学 信息工程学院, 湖北 武汉 430070)

摘要: 介绍了一种人体脉搏信号的采集系统, 通过专用的脉搏传感器采集信号, 将得到的信号经过预处理后送到 FPGA, 暂存到 RAM 中, 同时用 FPGA 驱动 VGA 接口实时显示脉搏波形。利用 FPGA 的片内资源 RAM 实现了脉搏波形图像的动态显示, 实时性好、画面清晰, 为后续的生理病理信息提取提供了有效支持。

关键词: 脉搏信号; FPGA; VGA; RAM

中图分类号: TP212.14

文献标识码: A

文章编号: 1674-7720(2013)15-0073-03

Pulse signal acquisition system design based on FPGA

Quan Weize, Ruan Jun, Huang Cheng

(School of Information Engineering, Wuhan University of Technology, Wuhan 430070, China)

Abstract: In this work, a human pulse signal acquisition system is designed. Firstly, the pulse signal is collected by a specific sensor. After preprocessing, the signal is sent to FPGA and stored into the RAM buffer. In the meantime, FPGA drives VGA interface to display the pulse waveform in real time. Fully utilized the on-chip RAM of FPGA, this system can display the dynamic data of pulse waveform in real time with high quality. It can provide effective support for the subsequent extraction of physiological and pathological information.

Key words: pulse signal; FPGA; VGA; RAM

脉搏信号中包含人体重要的生理病理信息, 常作为心血管疾病诊断和治疗的依据。随着信息采集技术以及生物医学的迅速发展, 脉搏信号的获取也有了新的方法。本文提出将脉搏信号实时显示出来, 为诊治医师提供足够的病理信息, 提高传统脉诊的效率。

本系统的脉搏信号显示借助 VGA 接口来实现。以往对于 VGA 显示的研究侧重于 VGA 接口驱动技术, 主要实现 VGA 静态显示^[1-2]。基于此种现象, 本文提出了利用双口 RAM 来实现脉搏采集数据的存储与读取, 从而可以实现实时显示, 结果证明此方案可以很好地满足要求。同时, 本系统充分利用了 FPGA 的硬件资源, 取代了 VGA 的专用显示芯片, 降低了系统的开发成本, 提高了系统的集成度。

1 总体设计

采集到的脉搏信号往往比较微弱, 而且伴随着很多噪声。因此需要滤波、放大等处理电路进行预处理。脉搏信号属于模拟信号, 要想送到 FPGA 处理, 需进行模/数

转换。FPGA 将数字信号存储在内部 RAM 中, 并利用 Verilog HDL 语言编写 VGA 显示控制模块, 驱动显示器显示脉搏波形。整个系统的原理框图如图 1 所示。

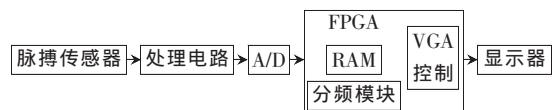


图 1 系统框图

2 系统实现

2.1 信号处理电路

脉搏信号存在频率低、信号弱、噪声严重等问题。脉象频谱分析表明, 脉象能谱中 99% 的能量集中在 10 Hz 以下^[3], 而且正常成人的脉搏跳动次数为 60~100 次/min, 脉率是 1~1.67 Hz。为了滤除噪声, 又不影响脉搏信号的能量, 选择 0.8~20 Hz 作为信号的频带宽度。因此, 本设计的信号处理电路主要由前置放大器、高通滤波器、低通滤波器、主放大器组成。信号处理电路图如图 2 所示。

技术与方法

Technique and Method

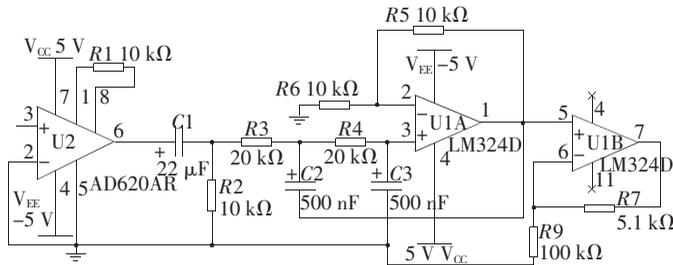


图2 信号处理电路

前置放大器选用的 AD620 是一款低成本、高精度仪表放大器,特别适用于传感器接口、心电图检测仪等应用场合。由于本设计选用 AD620 主要完成脉搏传感器和滤波电路的连接,不需要很大的放大倍数,因此电阻阻值选用 10 kΩ。放大倍数为:

$$G = \frac{49.4 \text{ k}\Omega}{R1} + 1 = 6 \quad (1)$$

高通滤波器采用常用的无源 RC 滤波器,该电路简单实用,而且滤波效果也很不错。截止频率为:

$$f_L = \frac{1}{2\pi C1 R1} = 0.72 \text{ Hz} \quad (2)$$

由于高频噪声的干扰,因此低通滤波器选用滤波效果明显的有源二阶压控型低通滤波器,这种滤波器可以使 $f=f_0$ 在附近的电压增益提高,使 $f=f_0$ 附近的对数幅频特性接近理想的水平线^[4]。其中运算放大器使用 LM324。截止频率为:

$$f_{H1} = \sqrt{\frac{1+\sqrt{5}}{2}} \frac{1}{2\pi C2 R3} = 20 \text{ Hz} \quad (3)$$

主放大器采用由 LM324 构成的同相输入方式的运算放大器。放大倍数为:

$$A_V = 1 + \frac{R7}{R9} = 52 \quad (4)$$

经分析,信号处理电路的频率带宽为 0.72 Hz~20 Hz,放大倍数为 300 多倍,可以完成功能要求。另外,实际中将 R7 用 10 kΩ 的电位器代替,从而实现放大倍数可调的目的,适用更多的场合。

2.2 A/D 转换

A/D 转换芯片主要完成模拟信号到数字信号的转换。ADC0804 是逐次比较型集成 A/D 转换器,分辨率为 8 位,转换时间为 100 μs,输入电压范围为 0~5 V,而且价格便宜、操作简便。基于以上特点,本设计选用 ADC0804 作为 A/D 转换芯片。对经过处理电路处理的脉搏信号进行采样,并将得到的数字信号送到 FPGA 中。

2.3 FPGA 控制

本系统的 FPGA 控制部分主要由分频模块、RAM、VGA 控制模块三部分组成。

根据电视原理有关 VGA 显示的内容可知,VGA 显示采用逐行扫描方式。扫描是从屏幕的左上方开始,从左到右、从上到下。本系统采用 640×480@60 Hz 显示模

式,其中 60 Hz 为场扫描频率。对于一个场扫描频率为 60 Hz、分辨率为 640×480 的显示模式,其典型的 VGA 时序表如表 1 所示。

表1 VGA 时序表

名称	同步脉冲	消隐后沿	显示脉冲	消隐前沿	帧长
行脉冲	96	48	640	16	800
列脉冲	2	33	480	10	525

由表 1 可以计算出 VGA 驱动所需的时钟频率为 $800 \times 552 \times 60 \text{ Hz} = 25.2 \text{ MHz}$ 。而 FPGA 的时钟频率为 50 MHz,因此需要一个分频模块,实现二分频的功能。

VGA 控制部分主要是产生行同步信号(Hsync)和场同步信号(Vsync),模拟 VGA 的显示时序表。此模块的设计思想是模拟逐行扫描的过程,每行 800 个像素点,扫完一行,接着扫第二行,一共有 525 行。因此,可以设计两个计数器,行计数器(h_cnt)和列计数器(v_cnt)。h_cnt 从 0 开始计数,计到 799 后归零;v_cnt 也从 0 开始计数,计到 524 后归零,并且在 h_cnt 计到 799 后,v_cnt 加 1,clk_25m 作为两个计数器的触发脉冲。当 h_cnt=96 时,Hsync=1;当 h_cnt=0 时,Hsync=0。类似的,当 v_cnt=2 时,Vsync=1;当 v_cnt=0 时,Vsync=0。从而实现了行同步信号和列同步信号的产生,并模拟了 VGA 显示时序表。行计数器的程序流程图如图 3 所示。

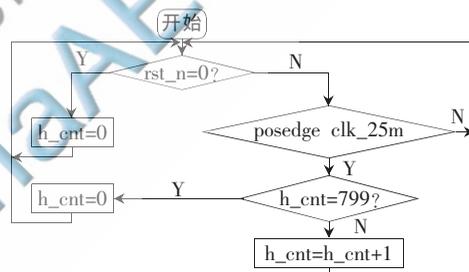


图3 行计数器程序流程图

显示器是由一个个像素点组成的,如果是 640×480 的显示模式,就意味着每行有 640 个像素点,每列有 480 个像素点,一共是 307 200 个像素点。图像在显示器上显示,其实就是点亮相应的像素点。因此,基于这种理解,可以将脉搏波形当作一幅图像,波形走过的地方就是相应的像素点被点亮了。因此对脉搏信号采样,得到的就是相应的像素点。如果将采样值作为列坐标,第几次采样作为行坐标,就可以确定一个像素点,继而可以描绘出一幅脉搏波形图。

通过上面的分析过程,提出一个解决方案,就是寻找一个存储介质,既可以读,又可以写。而 FPGA 正好有这样的资源,于是采用 RAM 来充当这个存储介质。从 VGA 显示原理已经知道,VGA 显示采用的是逐行扫描的方式。如果将采样值作为 RAM 的地址,也是列坐标,而将第几次采样作为相应的存储单元存储的内容,同时也是行坐标。这样既有了行坐标,又有了列坐标。当

技术与方法 Technique and Method

VGA 扫描时,扫描到某一行,就到相应的RAM 存储单元取出其中的内容,并判断是否与当前扫描到的行坐标相同,如果相同则点亮此像素点,否则就不点亮。这就是RAM 部分的设计思想。

3 系统调试

3.1 脉搏采集部分

将处理电路测试完毕,并连接上脉搏传感器,对人体脉搏信号进行采集,利用示波器显示脉搏波形,如图4所示。可见该部分电路工作正常,并且能满足设计要求。



图4 脉搏波形

3.2 VGA 显示部分

利用 Modelsim 对 VGA 时序进行了仿真,得到如图5所示的仿真时序图。



图5 VGA 仿真时序图

图中 clk_50m 为系统时钟输入,频率为 50 MHz; rst_n 为复位信号,低电平有效;clk_25m 为分频器的输出,频率为 25 MHz,用于 VGA 驱动部分;hsync 为行同步信号,vsync 为场同步信号;h_cnt 为行计数器,v_cnt 为列计数器。可以发现 VGA 驱动模块完全可以正常工作。

3.3 系统结果

将各模块调试完毕,组成整个系统,测试结果如图6所示。

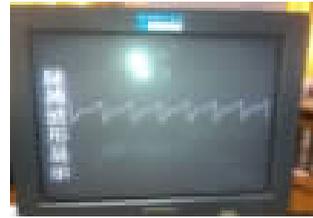


图6 系统结果

从图6看出脉搏波形可以基本实现在VGA显示器实时显示的设计要求。通过分析脉搏波形在一定时间内的变化趋势以及脉搏的跳动次数,为评价测试者的心血管系统的健康状况提供参考信息。

本系统利用了微压脉搏传感器对脉搏信号进行采集,通过处理电路进行滤波、放大以及A/D采样,并利用FPGA驱动VGA显示器显示。实验表明,此系统能够实时采集人体脉搏信号,并且能正常、稳定地显示。

本系统利用RAM实现了采集波形的实时动态显示,对实时性要求高的数据采集系统设计具有很高的参考价值。同时,对本系统可以进行二次开发,将脉搏波形数据通过无线网络发送到医疗中心,以便为就诊专家提供足够的病理信息,在一定程度上提高了医疗救助的效率。

参考文献

- [1] 姜世杰,余红英,洪永学,等.基于FPGA的VGA接口驱动技术[J].电子测试,2012(12):29-32.
- [2] 刘峰.基于FPGA的VGA控制器实现[J].电子元器件应用,2010,12(11):33-35.
- [3] 王国力,赵子婴,白金星.PVdF压电薄膜脉搏传感器的研制[J].传感技术学报,2004(4):688-692.
- [4] 吴友宇.模拟电子技术基础[M].北京:清华大学出版社,2010.

(收稿日期:2013-04-02)

作者简介:

全卫泽,男,1992年生,在读本科生,主要研究方向:电子信息工程。

阮军,男,1976年生,副教授,博士,主要研究方向:人工智能、信息传输与处理。

黄成,男,1993年生,在读本科生,专业方向电子信息工程。