

基于 DSP 和 FPGA 的实时图像采集处理系统的设计*

戴 权¹, 杨应平¹, 贾信庭¹, 陈梦苇¹, 李志强²

(1. 武汉理工大学 理学院, 湖北 武汉 430070;

2. 武汉理工大学 信息工程学院, 湖北 武汉 430070)

摘 要: 针对目前对图像采集处理系统的高速性和便携性的要求, 设计了一套基于 DSP、FPGA 和 ARM9 的实时图像采集处理系统。该系统主要利用 FPGA 的 SoPC 系统定制 Nios II 软核处理器及相关外设 IP 核来完成图像数据的采集和存储。DSP 通过 EMIF 接口和 EDMA 接口完成数据的搬移和图像处理的算法。ARM 作为主机, 通过 HPI 接口与 DSP 进行数据通信。结果表明, 该平台工作性能稳定, 处理能力强, 能完成算法的数据处理并对数据实时显示, 适用于自动循迹、模式识别等高速数据采集的应用场合。

关键词: 图像采集处理; DSP; FPGA; ARM9

中图分类号: TN919.5

文献标识码: A

文章编号: 1674-7720(2013)11-0045-04

Design of real-time image acquisition and processing platform based on DSP and FPGA

Dai Quan¹, Yang Yingping¹, Jia Xiuting¹, Chen Mengwei¹, Li Zhiqiang²

(1. School of Science, Wuhan University of Technology, Wuhan 430070, China;

2. School of Information Engineering, Wuhan University of Technology, Wuhan 430070, China)

Abstract: This paper presents a real-time embedded platform for image acquisition and processing, which is based on DSP, FPGA and ARM9, for the requirements about high-speed and portability. The design main uses SoPC of FPGA to customize Nios II soft processors and IP core to complete image data acquisition and storage. DSP takes charge of the algorithm and the data migration through EMIF and EDMA. ARM, the host, communicates with DSP through the HPI. The results of these experiments show that this architecture can complete the data processing algorithm and real-time display. It is stable and powerful. The system is suitable for the situations requiring high speed processing such as automatic tracking and pattern recognition.

Key words: image acquisition and processing; DSP; FPGA; ARM9

随着电子技术和计算机技术日新月异的发展, 图像信息扮演着越来越重要的角色。图像采集处理系统在产品检测、目标跟踪、自动导航中广泛应用^[1]。传统的基于计算机的图像处理系统因其体积与功耗的限制而不能进一步推广^[2]。随着近 20 年超大规模集成电路的发展, 在嵌入式系统上实现图像处理已成为可能^[3]。FPGA 在时序、逻辑控制和并行处理方面具有很大的优势, DSP 则擅长各种复杂的图像处理算法。采用 FPGA 和 DSP 进行图像采集处理的硬件构架被国内外学者广泛采用^[4-5]。本文在此基础上, 充分考虑成本、速度、灵活性和便携性等因素, 设计了一种基于 DSP、FPGA 和 ARM9 的图像采

集处理平台。该平台采用 DSP 作为主处理器进行复杂算法的运算, FPGA 作为协处理器, 内嵌 Nios II 软核构建可编程片上系统 SoPC (System on Programmable Chip), 完成图像的采集存储。同时, 利用 ARM9 在任务控制方面的优势, 通过主机接口 HPI (Host Port Interface) 与 DSP 进行数据通信并显示图像, 使其成为一个实时便携的嵌入式系统。该系统设计灵活, 扩展和通用性强, 具有较好的实时性和通用性。

1 系统硬件设计

图像采集处理系统主要包括 FPGA 图像采集、DSP 图像处理和 ARM 主机控制 3 大部分。硬件系统结构如图 1 所示。

* 基金项目: 中央高校基本科研业务费专项资金 (2013-Ia-010)

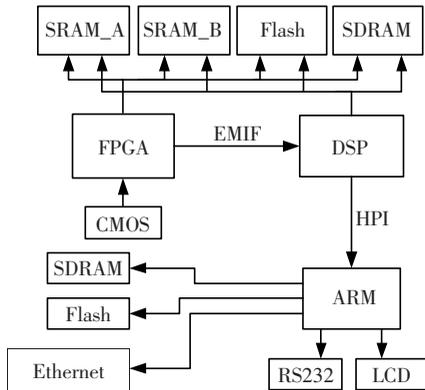


图1 系统硬件结构模块图

FPGA 模块主要负责配置 CMOS 传感器、图像数据的采集存储和图像预处理工作。为了满足 I/O 口的数量及性能,该平台采用 Altera 公司的 EP3C25F324C8N 型号的 FPGA 芯片。FPGA 通过 SoPC Builder 定制 Nios II 软核处理器及外设 IP 核来完成相关工作。SoPC 模块结构如图 2 所示。系统核心是 Nios II 嵌入式处理器核,其他外设模块核通过片上的 Avalon 总线与 Nios II Core 相连,定制灵活,不需要在印制电路板 PCB (Printed Circuit Board) 这个层面上作很多修改。在这些外设模块中,On-Chip Memory 和 JTAG UART 是构成硬件最小系统的必需模块。PIO 用来控制 LED 进行指示工作。Flash 控制器和 SDRAM 控制器挂接在三态桥上来复用地址和数据线,以节约 I/O 口的使用,其他模块可作扩展功能使用。图像传感器则采用 Omnivision 公司型号为 OV7670 的 CMOS 传感器,用户可以自由控制图像质量、数据格式和传输方式;通过串行摄像头控制总线 SCCB (Serial Camera Control Bus) 总线接口编程,还可以控制图像白平衡、饱和度、色度等。OV7670 的采集和总线时序用硬件描述语言直接配置。

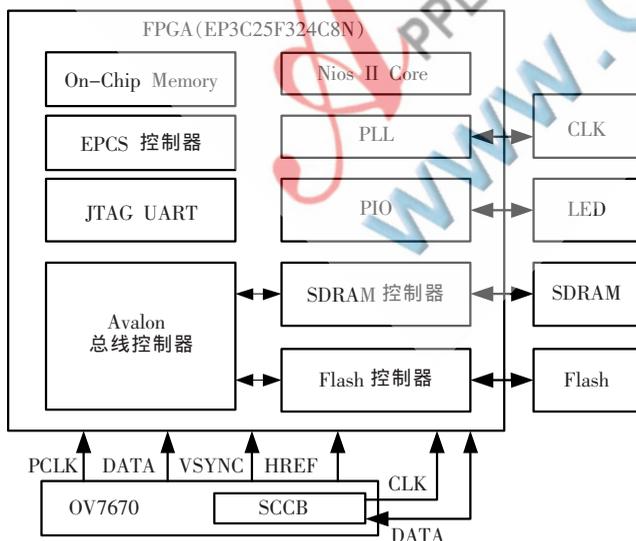


图2 SoPC 系统结构模块图

DSP 模块用来实现复杂的算法以及与 FPGA 和 ARM

模块进行数据交换和搬移。系统选用 TI 公司的 TMS320C6713 型号的 DSP 芯片作为主处理器。这是一款专用于图像处理设计的高性能浮点数字信号处理芯片,它的运行速率最高可达 225 MHz。该芯片集成了大量丰富的外围设备模块,包括 EDMA、EMIF、HPI 等。DSP 模块和 FPGA 模块共享一个 64 MB 的 SDRAM 作为数据存储单元,一个 4 MB 的 Flash 作为程序存储器,两个 16 MB 的 SRAM 用来缓存图像数据。SDRAM、Flash、SRAM 被分别映射到 DSP 的 CE0、CE1 和 CE2 地址空间。

ARM 模块通过 HPI 接口从 DSP 处得到处理后的图像数据,直接显示在 TFT 或 VGA 显示器上。系统选用三星公司型号为 S3C2410 的 ARM9 芯片。ARM 与 DSP 之间的硬件连接如图 3 所示。为了减少因 PCB 走线过长而产生的开关噪声,采用三态缓冲芯片 74LVCH162445 来增强输出端口的电流驱动能力。在 HPI 中,每一次传输由主机发起,HPI 接口的地址线、控制线只有主机到 DSP 方向,所以将缓存芯片方向控制信号接高来定向传输。HPI 的数据线则为双向传输,当 nOE 信号为高电平时,主机空闲或发起一次写数据操作;当 nOE 信号为低电平时,主机发起一次读数据操作。另外,74LVCH162445 的使能信号直接接到 nGCS4 脚防止总线冲突。ARM 的加入使系统的外围扩展性进一步加强,如可通过以太网接口和 RS232 串口与 PC 进行数据通信或嵌入操作系统对整个平台进行便携控制。

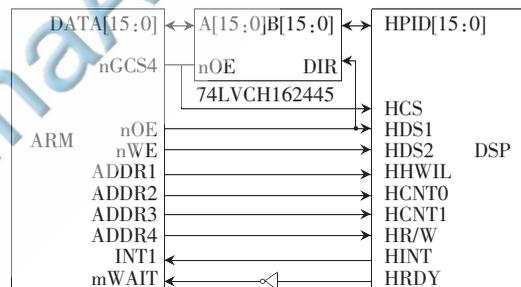


图3 ARM 与 DSP 之间的硬件连接图

2 系统软件设计

2.1 FPGA 对图像数据的采集和存储

Nios II 处理器是 Altera 公司特有的基于通用 FPGA 架构的 CPU 软核,使用者可以根据需要来调整嵌入式系统的特性及性能,使开发更具灵活性^[6]。系统使用 Nios II 来生成 SCCB 协议所需要的时序,达到对 CMOS 传感器配置的目的。SCCB 协议时序如图 4 所示。在 SCL 为高电平期间,SDA 由高电平向低电平的变化视为起始信号,而 SDA 由低电平向高电平的变化视为终止信号。当 SCCB 总线进行数据传送时,在时钟信号为高电平期间,数据线上的数据必须保持稳定,只有在时钟信号为低电平期间,数据线才允许状态变化。OV7670 共有 201 个寄存器来控制图像的输出,这里通过 SCCB 总线配置其中的 167 个,输出格式为 RGB565 的 QVGA 模式,像素大小为

图形、图像与多媒体

320×240。另外, Nios II 还负责 Flash 和 SDRAM 控制器模块的配置, Flash 用来固化程序, SDRAM 则作为程序运行空间。

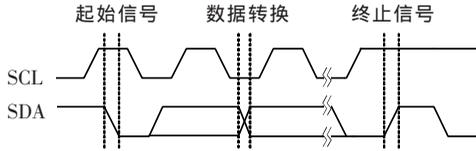


图4 SCCB 协议时序图

CMOS 传感器初始配置完成后, 经测试, 传感器输出的 QVGA 时序如图 5 所示, 帧率为 60 f/s。帧同步信号 VSYNC 每一个上升沿标志着新的一帧到来, 低电平有效, 有效期间包含 240 个行有效周期。图 6 描述的是行时序。行同步信号 HREF 高电平有效, 有效期间采集 640 个数据。由于寄存器格式的设置, 其中 320 个数据有效, 即在一个完整的行同步和帧同步有效期间, 采集一幅 320×240 的图像。传感器被设置为 RGB565 输出格式, 所以每两个 PCLK 代表一个有效像素点。PCLK 的频率为 25 MHz。

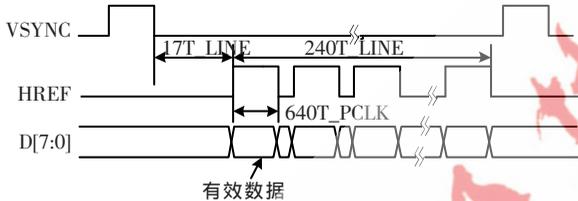


图5 OV7670 输出的 QVGA 时序

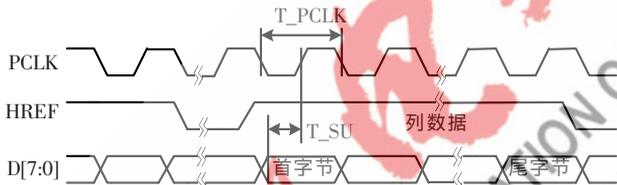


图6 OV7670 的行时序

采集到的图像数据经 FPGA 预处理后缓存在 SRAM 中供 DSP 读取和处理。图 7 描述了型号为 IW61WV1024 的 SRAM 的写时序。显然, CMOS 传感器产生的 QVGA 时序不能满足 SRAM 的写时序, 本文采用 Verilog HDL 硬件描述语言实现一个 SRAM 控制器和地址发生器来作为 CMOS 和 SRAM 的桥梁。图 8 为 SRAM 控制器的仿真结果。为确保图像的实时处理和显示, 两块 SRAM 被配置为乒乓模式。即 DSP 在读取 SRAM_A 的数据同时, FPGA 往 SRAM_B 中写入采集到的数据; 下一个周期, DSP 读取 SRAM_B 中新写入的数据, 而 FPGA 则往 SRAM_A 中写入下一帧数据。这样使得图像数据流水般地由 DSP 读取, 实现快速处理和实时显示。

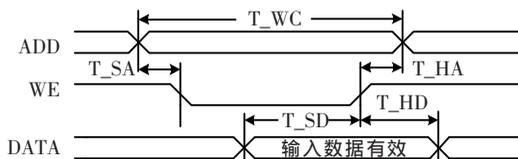


图7 SRAM 的写时序

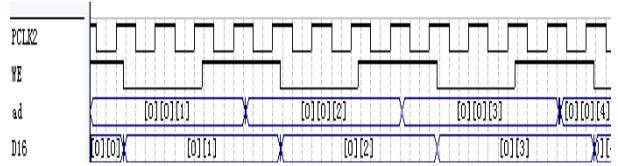


图8 SRAM 控制器仿真结果

2.2 DSP 对图像数据的搬移和处理

DSP 通过外部存储器接口 EMIF (External Memory Interface) 来使用片外的 SRAM 存储器, 所以对 EMIF 寄存器的初始化是必不可少的。接着增强型直接存储器访问 EDMA (Enhanced Direct Memory Access) 接口通道控制器将图像数据从 SRAM 搬移到片内 L2 高速缓冲存储器 Cache 中进行处理。处理后的数据将通过 HPI 通道被 ARM 读取。EDMA 通道控制器基于 RAM 结构, 其通道由一个参数表来配置, 每个参数入口如图 9 所示。

EDMA 通道选项参数 (OPT)	
EDMA 通道源地址 (SRC)	
阵列/帧计数 (FRMCNT)	单元计数 (ELECNT)
EDMA 通道目的地址 (DST)	
阵列/帧索引 (FRMIDX)	单元索引 (ELEIDX)
单元计数重载 (ELERLD)	链接地址 (LINK)

图9 EDMA 事件的通道参数

其中, EDMA 通道选项参数 OPT 在数据传输过程中发挥关键的作用, 它决定了传输优先级、传输单元大小、源数据和目的数据维数、源地址和目的地址更新模式、事件链接使能等。EDMA 通道选项参数 OPT 的配置程序如下:

EDMA_OPT_RMK

(

EDMA_OPT_PRI_HIGH, EDMA_OPT_ESIZE_16BIT,
EDMA_OPT_2DS_YES, EDMA_OPT_SUM_INC,
EDMA_OPT_2DD_YES, EDMA_OPT_DUM_INC,
EDMA_OPT_TCINT_YES, EDMA_OPT_TCC_OF(6),
EDMA_OPT_LINK_NO, EDMA_OPT_FS_YES

),

2.3 ARM 对图像数据的访问和显示

DSP 处理完图像数据后, ARM 通过 HPI 接口访问 DSP 中的图像数据, 具体过程为: 首先, ARM 初始化 HPI 控制寄存器 HPIC 来设置数据传输模式; 然后, 配置地址寄存器 HPIA 来设置目的地址或源地址; 最后, 主机读写数据寄存器 HPID 来实现数据的传输。

利用 S3C2410 内集成的液晶显示器 LCD (Liquid Crystal Display) 控制器来完成图像数据的显示。LCD 驱动程序的关键就是设置 LCDCON1-LCDCON5 寄存器来产生与具体应用相对应的时序。LCDCON1 寄存器设置 VCLK 中信号的频率; LCDCON2、LCDCON3 寄存器的 HOZVAL 域和 LINEVAL 域设置场同步信号和行同步信

号;HOZAL 和 LINEVAL 的值由 LCD 屏的尺寸决定。

3 结果与分析

在整个系统底层驱动调试完成以后,为测试系统的实际性能,通过采集图像并实时显示的实验对系统进行联调。图 10(a)、图 10(b)、图 10(c)、图 10(d)分别是原始采集图像、灰度处理图像、二值化处理图像和负片效果处理后的图像。实验证明,系统整体运行流畅。通过简单算法的处理,验证了该图像采集处理系统具有较好的实时性。



(a)原始采集图像 (b)灰度处理图像 (c)二值化处理图像 (d)负片效果图像
图 10 经过处理后的图片

设计了一个基于 DSP、FPGA 和 ARM9 的高速图像采集处理平台,详述了系统的硬件模块和软件构架。该平台实现了图像的采集和处理并能实时显示,满足高速性和便携性的应用要求。系统硬件可配置,通用性强,适用于实时测量、自动循迹、模式识别等高速数据处理的应用领域。

参考文献

- [1] Duan Jinghong, Deng Yaling, Liang Kun. Development of image processing system based on DSP and FPGA [C]. The Eighth International Conference on Electronic Measurement and Instruments, IEEE, 2007:791-794.
- [2] Yan Lei, Zhao Gang, RYU S H, et al. The platform of

image acquisition and processing system based on DSP and FPGA [C]. International Conference on Smart Manufacturing Application, KINTEX, 2008:470-473.

- [3] Jia Xuedong, Wang Hongxia, Liu Xiaochuan. The design and implementation of a flexible FPGA/DSP based architecture for real-time image processing [C]. Fourth International Symposium on Precision Mechanical Measurements: SPIE, 2008: 71302Z-1- 71302Z-6.
- [4] Yan Luxin, Zhang Tianxu, Zhong Sheng. A DSP/FPGA-based parallel architecture for real-time image processing [C]. Proceedings of the 6th World Congress on Intelligent Control and Automation, IEEE, Dalian,2006:10022-10025.
- [5] BATLLE J, MARTI J, RIDAO P, et al. A new FPGA/DSP-based parallel architecture for real-time image processing[J]. Real-Time Imaging, 2002, 10(8): 345-356.
- [6] 任文平,贾赞,申东娅,等.基于 FPGA 的图像处理电路的设计与实现[J].电子技术应用,2010(2):44-46.

(收稿日期:2013-04-01)

作者简介:

戴权,男,1988 年生,硕士研究生,主要研究方向:光电检测与图像处理。

杨应平,男,1965 年生,博士,教授,主要研究方向:光电信号处理。

贾信庭,男,1983 年生,博士,讲师,主要研究方向:激光技术及应用。