

Huffman 并行解码算法的改进与实现*

周艳娥¹, 葛海波¹, 林 界²

(1.西安邮电大学 电子工程学院, 陕西 西安 710061;

2.西安邮电大学 通信与信息工程学院, 陕西 西安 710061)

摘要: 为了提高 Huffman 解码的效率和实时性, 采用并行处理技术和改进的 Huffman 并行解码算法, 设计基于现场可编程门阵列 FPGA 的 Huffman 并行解码器。在不考虑 Huffman 编码长度的情况下, 解码器通过插入流水线结构的方法将 Huffman 码流的码流头和信息码流分开, 同时进行解码。硬件仿真结果表明, 在一个时钟节拍内解码器处理的数据位数与解码效率成正比, 位数越多, 实时性越好。

关键词: Huffman 解码; 并行解码器; 码流头; 流水线结构

中图分类号: TP391.11

文献标识码: A

文章编号: 1674-7720(2013)11-0084-03

Achieve Huffman algorithm parallel decoding

Zhou Yan'e¹, Ge Haibo¹, Lin Jie²

(1.School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710061, China;

2.School of Communication and Information Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710061, China)

Abstract: In order to improve the Huffman decoding efficiency and real time, it designs and implements Huffman parallel decoder based on FPGA, through the use of parallel processing technology and Huffman parallel decoding algorithm. Through the pipeline structure methods, the decoder is inserted Huffman stream head stream and information stream separately which they are decoding at the same time without considering the Huffman coding length of the case. The simulation results show that the number of data bits the decoder processing in a clock is proportional to decoding efficiency, meanwhile the more digits of the bits, the better real time. With Huffman serial decoder decoding methods, Huffman parallel decoder improved Huffman serial decoding technology of low efficiency and poor real time.

Key words: Huffman decoding; parallel Huffman decoding; head stream; pipeline structure

在静止图像和运动视频的压缩方法中, 由于信息量大、速率快, 使得编解码效率的提高迫在眉睫。最常用的编解码方式是基于可变长编码 VLC (Variable-Length Code) 的 Huffman 编解码^[1]。与编码相比, 并行 Huffman 解码较复杂。其实时性不仅要提高时钟频率, 还需要从算法、硬件优化的角度提高。

通过改进文献的 Huffman 解码算法^[2-3], 在原有基础的解码中加入流水线结构。针对参考文献^[4]中 Huffman 编码方式设计并实现了一种能够节省码字存储空间、可以提高解码速度的并行 Huffman 解码方式。

1 Huffman 并行解码算法改进

Huffman 并行解码方式可以弥补查找表过大引起硬

件开销大的不足。与并行解码算法相比^[5-7], 本算法在解码结构中插入流水线, 在并行解码方式中, 当头码流分析结束时, 输入到解码器中的信息码采用并行多路检测, 得到地址偏移量和最小编码的长度。在每个时钟周期内, 都会输出一个解码信息码。Huffman 并行解码器总的处理过程如图 1 所示。



图 1 Huffman 并行解码处理过程

2 JPEG 中的 Huffman 并行解码设计

在码流分析中可以得到 Huffman 编码时的相关信息, 即相同长度的最小编码、最小编码的个数和 Huffman 编码相关值, 并分别存入对应的存储器中, 再把相应的地址存入 16x8 存储器里, 编码相关值则存入 256x8 的

* 基金项目: 陕西省自然科学基金 (2011JM8038)

技术与方法 Technique and Method

上相应个数的新的待解编码, 补充的位数是由 Size 和 Amplitude 值决定的。由于每次解码码长的不确定性, 本文采用桶型移位寄存器, 但是会占有一定的面积资源。因为每次移位的位数也是不确定的, 所以必须要考虑移位溢出的情况。设计中选用 32 位移位寄存器和 16 位桶型移位寄存器, 前者相当于一个缓存器, 其 [15:0] 的后半段寄存器进行解码操作, [31:16] 后半段寄存器存入桶型移位寄存器中。当最小编码等于 16 时, Amplitude 值从桶型寄存器中移出; 若操作编码流长度大于 16, 需要由 32 位移位寄存器对它进行移位补位, [15:0] 和 [31:16] 共同移位。当移位位数超过 48 时, 设计一个累加器向外输出码流输入允许信号, 继续输入码流到 32 位移位寄存器中。此外, 输入解码器数据位宽在 0~32 范围内变化, 实际输入的待解码数据位宽将取决于该编码数据在 Huffman 编码树中的位置。

3 Huffman 并行解码的实现

将 Run、Size 及 Amplitude 值存入相应的寄存器后, 为 JPEG 后续的解码做准备。同时也就完成了一次 Huffman 并行解码, 所有的解码处理过程都是同步进行的。经过验证, Huffman 并行解码处理过程是在一个时钟周期内实现解一个编码。由于 FPGA 实现, 需采用很多组合逻辑, 因此关键路径的延时必须考虑在内^[8-9]。同时该硬件实现中也用到了许多存储器, 所以会占有一定 FPGA 的面积资源, 与串行解码相比, 在速度上和输出的稳定性上有一定的优势。其中具体环节的硬件实现框架如图 8 所示。

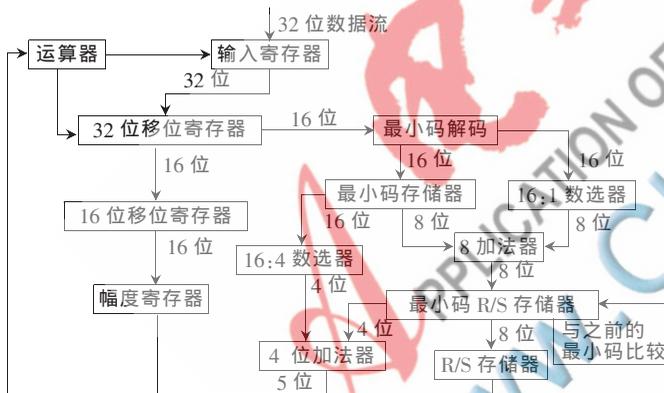


图 8 Huffman 并行解码硬件实现框架

图 8 中各模块的性能为:

- (1) 16 位最小码存储器。存放的是 DC 和 AC 的最小编码。
- (2) 16 位最小码解码模块。输入的 16 位待解码码流与最小编码进行比较, 找到相同长度的最小编码, 输出 Huffman 最小编码到 R/S 存储器, 输出与相应最小编码同等长度的实际码子到数选器^[10]。
- (3) 16:1 数选器。差值=实际编码长度-最小编码长度。
- (4) 16 位最小码存储器。预存的最小编码地址, 16×8 的寄存器。
- (5) 8 位加法器。最小编码的地址+差值=实际编码的地址。
- (6) 最小码 R/S 存储器。预存 R/S 和所有与 Huffman 相

对应的值在 256×8 的寄存器中, 最终解码解出相应的 R/S。

- (7) 16:4 数选器。把 16 位编码的长度换成 4 位表示。
 - (8) 4 位加法器。最小编码的长度+差值 Size=解码时一共处理的位数, 即需要补入数据流的位数。
 - (9) 运算器。累加器是将移位的总位数进行相加, 并向移位器提供当前移位位数。当总数≥16 时, 输出输入数据允许信号, 请求前置模块输入数据, 在输入允许信号有效时, 刷新运算器的值; 当总数≥32 时, 输入允许信号仍未有效, 则终止后续的操作。
 - (10) 32 位移位寄存器。对输入数据进行存储和移位。
 - (11) 16 位移位寄存器。移出幅度的值, 选用桶型移位寄存器的原因是当移出位数>16 时也可以处理。
- 与串行解码相比, Huffman 并行解码算法的优点是在一个时钟周期内, 无论 Huffman 编码的长度是多少, 都可以正确解出编码信息。数据处理速度的提高, 显然会伴随硬件 FPGA 设计的复杂度的增加。本文采用并行处理技术给出了 Huffman 解码算法, 实现了 Huffman 并行解码器的设计。不但能够在时钟节拍内处理多比特数据, 而且节省了存储空间, 克服了 Huffman 串行解码实时性差的不足。显然, 本算法的实现是在提高处理数据速度的同时, 增加了 FPGA 硬件的面积资源。

参考文献

- [1] 宋奇刚, 魏小义. 霍夫曼解码器的设计及在 MP3 解码中的应用[J]. 今日电子, 2005(3): 10-12.
- [2] 李晓飞. Huffman 编解码及其快速算法研究[J]. 现在电子技术, 2009(21): 102-108.
- [3] 陈亚光, 陈少平, 朱翠涛, 等. 并行 Huffman 解码器算法分析[J]. 计算机测量与控制, 2002, 10(6): 418-420.
- [4] 雒莎, 葛海波. 基于查找表的自适应 Huffman 编码算法[J]. 西安邮电学院报, 2011, 16(5): 76-79.
- [5] 杨浪花, 张涛, 于凤萍, 等. MP3/AAC 解码器中 Huffman 硬件加速器设计与实现[J]. 电声技术, 2010(6): 55-59.
- [6] 陈佳昕, 林涛. 一种优化了的并行 Huffman 解码器[J]. 有线电视技术, 2007(8): 47-50.
- [7] 方婵婵, 叶兵, 吴彪, 等. Huffman 并行解码结构及硬件实现[J]. 合肥工业大学学报, 2007, 30(7): 855-857.
- [8] 傅祖芸. 信息论基础理论与应用[M]. 北京: 电子工业出版社, 2001.
- [9] 马建国, 孟宪元. FPGA 现代数字系统设计(第 1 版)[M]. 北京: 清华大学出版社, 2010.
- [10] PALNITKAR S. Verilog HDL 数字设计与综合(第 2 版)[M]. 夏宇闻, 胡燕祥, 刁岚松, 等译. 北京: 电子工业出版社, 2009.

(收稿日期: 2013-03-22)

作者简介:

周艳娥, 女, 1985 年生, 硕士研究生, 主要研究方向: 扩跳频通信。

葛海波, 男, 1963 年生, 教授, 主要研究方向: 高频电路。

林界, 男, 1987, 硕士研究生, 主要研究方向: 扩跳频通信抗干扰。