

一种 DDR SDRAM 控制器的设计

金新强¹, 白雪飞¹, 张璠²

(1. 中国科学技术大学 电子科学与技术系, 安徽 合肥 230027;

2. 中国科学技术大学 信息科学实验中心, 安徽 合肥 230027)

摘要: 在介绍 DDR SDRAM 控制器设计关键技术的基础上, 讨论了一种 DDR SDRAM 控制器的设计方法。通过一种优化的地址映射策略提高了突发访问效率, 采用 0.18 μm CMOS 工艺流片实现。所设计的 DDR SDRAM 控制器芯片在 PCB 板级测试中达到预期设计要求。

关键词: DDR SDRAM; 控制器; 突发访问; 地址映射

中图分类号: TN492

文献标识码: A

文章编号: 1674-7720(2013)08-0023-03

Design of a DDR SDRAM controller

Jin Xinqiang¹, Bai Xuefei¹, Zhang Fan²

(1. Department of Electronic Science and Technology, University of Science and Technology of China, Hefei 230027, China;

2. Information Science Laboratory Center, University of Science and Technology of China, Hefei 230027, China)

Abstract: This paper discussed a method of DDR SDRAM controller design based on the introduction of the key technologies of the DDR SDRAM controller design. It provided an optimized address mapping strategy, which improves the efficiency of burst access, then completed chip tape-out with 0.18 μm CMOS process. The PCB board-level test shows that this DDR SDRAM controller achieves the expected design requirements.

Key words: DDR SDRAM; controller; burst access; address mapping

双倍数据速率同步动态随机存储器 DDR SDRAM (Double Data Rate SDRAM) 以其大容量、高速率和良好的兼容性在通用计算机系统和嵌入式系统领域得到了广泛应用, 越来越多的片上系统(SoC)中集成了 DDR SDRAM 控制器。

DDR SDRAM 是电子设备工程联合委员会 JEDEC 制定的内存技术标准^[1], 采用差分时钟技术, 具有两倍数据预读取, 在时钟的上升沿和下降沿各传输一次数据, 数据传输速率为系统时钟的两倍, 从而大大提高了数据传输速率。

1 DDR SDRAM 控制器的关键技术

本文设计的 DDR SDRAM 控制器支持以下操作: 空操作(Nop)、激活操作(Active)、突发写(Burst Write)、突发读(Burst Read)、自动刷新(Auto Refresh)、预充电(Precharge)、模式寄存器配置(Mode Register Set)等。所有的操作命令都通过信号线 ras_n、cas_n 和 we_n 共同控制^[2]。DDR SDRAM 控制器状态转换图如图 1 所示。

初始化完成之后, 控制器通过 ras_n、cas_n 和 we_n 发送 Bank 激活命令, 然后片选和 Bank 寻址, 同时地址

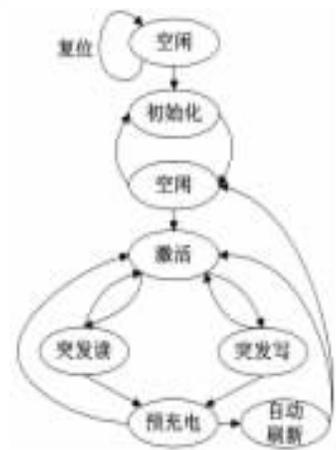


图 1 DDR SDRAM 控制器状态转换图

线发送行地址选通行。等待 tRCD 后, 发送突发读写命令, 同时地址线发送起始列地址, 其中 A10 为带自动预充电使能位, 如果自动预充电使能位有效, 则在突发传输结束后自动预充电, 否则不进行自动预充电。预充电用来关闭某个打开的行或者所有打开的行。被预充电的行可以在 tRP 之后重新被访问^[3]。

《微型机与应用》2013 年 第 32 卷 第 8 期

2.6 地址映射模块及地址映射的优化

控制器对 DDR SDRAM 的访问寻址传统上采用顺序的地址映射方式,即 Bank 地址、行地址、列地址分别从高地址到低地址排列^[5]。由于 DDR SDRAM 的数据存储具有很强的局部性,主机系统对 DDR SDRAM 的连续突发访问通常集中在相近的一块存储区域,当采用顺序的地址映射方式时,先访问某个 Bank 的一行,然后访问该 Bank 中的下一行,就需要预充电关闭当前行并激活下一行,才能突发访问下一行,因此内存访问效率很低。

DDR SDRAM 可以同时激活多个 Bank,将连续的访问操作映射到不同的 Bank 中,避免对同一 Bank 突发访问而出现行冲突,利用多个 Bank 提供的行缓冲区来提高访存性能。基于这种思想,本设计采用行地址、Bank 地址、列地址分别从高地址到低地址排列的映射方式,如图 3 所示。当访问下一行时,由于该行在新的 Bank 中,不需要将原来的行关闭,只需要激活新的行;当再次访问上一行时,因为该行仍然处于激活状态,只需要直接发送突发读写命令。



图 3 优化前后的地址映射策略

将 DDR SDRAM 中已经激活可以直接访问的最大存储区域称为激活区,激活区越大,DDR SDRAM 的局部性突发访问的效率越高。假设 Bank 地址为 b bit,列地址为 c bit,数据位为 d bit,则优化前采用顺序地址映射方式的激活区大小为 $d \times 2^c$ (bit),优化后的激活区达到 $d \times 2^{b+c}$ (bit),从而大大提高了突发访问的效率。

3 设计实现结果

本设计经过逻辑综合和布局布线之后,采用 $0.18 \mu\text{m}$ CMOS 工艺流片。在 PCB 板上,使用 Altera 公司 Stratix II 系列 FPGA 发出测试激励给 DDR SDRAM 控制器,连接 Micron 公司型号为 MT46V64M8 的 512 Mbit 的 DDR SDRAM 内存芯片,对 DDR SDRAM 控制器芯片进行测试。

DDR SDRAM 控制器测试工作时钟达到 200 MHz,使用 FPGA 内置逻辑分析仪 SignalTap II 截取突发写数据,如图 4 所示。命令信号 $\text{cmd}[2:0]$ 输入 0x2,表示突发写命令,地址信号 $\text{addr}[25:0]$ 为 0x0000000,0x0000002,0x0000004,0x0000006,0x0000008,0x000000A,0x000000C,0x000000E,0x0000010,0x0000012,0x0000014 依次递增。此时突发写



图 4 突发写数据

入的数据信号 $\text{datain}[15:0]$ 依次为 0x0000,0x0001,0x0002,0x0003,0x0004,0x0005,0x0006,0x0007,0x0008,0x0009,0x000A。

使用 FPGA 内置逻辑分析仪 SignalTap II 截取突发读数据,如图 5 所示。命令信号 $\text{cmd}[2:0]$ 输入 0x1,表示突发读命令,地址信号 $\text{addr}[25:0]$ 为 0x0000000,0x0000002,0x0000004,0x0000006,0x0000008,0x000000A,0x000000C,0x000000E,0x0000010,0x0000012,0x0000014 依次递增。 $\text{addr}[25:0]$ 信号经过地址映射后输出 $\text{sa}[12:0]$ 和 $\text{ba}[1:0]$ 给 DDR SDRAM,经过 tRCD 和 CL 的延时后,突发读出的数据信号 $\text{dataout}[15:0]$ 依次为 0x0000,0x0001,0x0002,0x0003,0x0004,0x0005,0x0006,0x0007,0x0008,0x0009,0x000A。



图 5 突发读数据

本文给出了一种 DDR SDRAM 控制器芯片的设计方法,采用一种优化的地址映射策略提高了突发访问的效率,且流片实现后测试其功能良好,工作频率达到 200 MHz,支持的 DDR SDRAM 数据信号位宽为 8 bit,连续突发读写数据传输速率为 1.6 Gb/s,能满足系统带宽要求。

参考文献

- [1] JEDEC Standard. DDR SDRAM specification[DB/OL]. (2005-xx-xx)[2013-01-13]. <http://www.jedec.org>.
- [2] Micron Technology Inc. DDR SDRAM MT46V64M8 data-sheet [DB/OL].(2002-xx-xx)[2013-01-13]. <http://www.micron.com>.
- [3] Elpida Memory Inc. How to use DDR SDRAM[DB/OL]. (2007-xx-xx)[2013-01-13]. <http://www.elpida.com>.
- [4] Micron Technology Inc. General DDR SDRAM functionality [DB/OL].(2001-xx-xx)[2013-01-13]. <http://www.micron.com>.
- [5] 韦喜波. DDR SDRAM 控制器的设计与验证[D]. 哈尔滨: 哈尔滨工业大学, 2009.

(收稿日期: 2013-01-31)

作者简介:

金新强,男,1985年生,硕士研究生,主要研究方向:ASIC设计与验证。

白雪飞,男,1977年生,讲师,主要研究方向:集成电路设计,信息安全。

张璠,女,1980年生,实验师,主要研究方向:集成电路测试。