

基于 FPGA 的 B 码同步信号源的设计

潘轶群¹, 佟刚²

(1. 长春市农业机械研究院, 吉林 长春 130021;

2. 中国科学院长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要: Cyclone 是 Altera 公司推出的低价格、高密度的 FPGA, 具有多达 20 060 个逻辑单元和 173 个可使用的 I/O 管脚。IRIG-B 码是标准时间码格式之一, 广泛应用于靶场时间信息的传递和各系统的信号同步。利用 FPGA 和高精度频率源设计的同步信号源, 将同步信号精度由原来的 200 ns 提高到 10 ns, 并实现了系统的小型化、模块化。结果表明, 该系统运行稳定, 调试方便, 具有较强的抗干扰能力和实际应用价值。

关键词: FPGA; IRIG-B 码; 同步信号

中图分类号: TN919.3

文献标识码: A

文章编号: 1674-7720(2013)08-0061-03

Design of the B code synchronous signal based on FPGA

Pan Yiqun¹, Tong Gang²

(1. Changchun Institute of Agriculture Machine, Changchun 130021, China;

2. Changchun Institute of Optics, Fine Mechanics and Physics, China Academy of Science, Changchun 130033, China)

Abstract: Altera Cyclone FPGAs extend the low-cost, high-content FPGA density range to 20060 logic elements (Les) and provide up to 173 usable I/O pins. IRIG-B code is one of the standard time code format, used for time information transfer and synchronous signal between different ranges in the shooting range system. The source of synchronous signal base on FPGA and high precision frequency achieved miniaturization and modularization, make the synchronous precision increase from 200 ns to 10 ns. The results demonstrate that the system runs steadily and debug simply, have better anti-interference and applied value in practicality.

Key words: FPGA; IRIG-B code; synchronous signal

现场可编程门阵列 FPGA(Field Programmable Gate Array)采用逻辑单元阵列 LCA(Logic Cell Array)作为基本单元, 内部包括可配置逻辑模块、输入输出模块和内部连线三部分。适用于时序、组合等各种逻辑电路的应用场合, 兼有串、并行工作方式, 其内部时钟延迟可达纳秒级, 具有集成度高、速度快、可靠性高等优点。B 码是美国靶场测量组制定的标准时间码格式之一, 主要特点是帧速率为 1 帧/s, 携带信息量大, 适用于远距离传输。B 码分为直流(DC)码和交流(AC)码两种, 具有标准化接口, 国际通用。以 DC 码解调秒为基准的同步信号源向导弹、航天试验各个参试设备提供标准同步信号, 只有参试设备各系统工作在同一触发脉冲下, 才能使整个导弹、航天试验任务得以顺利实施, 因此, 同步信号源是靶场测控系统的重要设备之一。

1 B 码原理

靶场间仪器组 IRIG(Inter-Range Instrumentation Group)

是美国靶场司令委员会 RCC(Range Commanders Council)的下属机构。IRIG 时间标准有两大类: 并行时间码和串行时间码, 共有 6 种格式, 即 A、B、D、E、G、H, 它们的主要差别是时间码的帧速率不同, 其中应用最为广泛的是 IRIG-B 格式时间码^[1](以下简称 B 码)。B 码的波形如图 1 所示。

2 系统设计

通常的同步信号源硬件设计采用分离元件和小规模集成电路, 结构复杂、可维修性和通用性较差。本系统由大容量、高集成度的 FPGA, 结合光电耦合器、电源转换芯片及一些外围接口电路组成。

2.1 FPGA 选择

目前市场上 FPGA 的种类很多, 主要是 Altera、Xilinx 和 TI 公司的产品。本系统设计中采用了 Altera 公司生产的 Cyclone 系列 EP1C12Q24017 芯片。Cyclone 系列 FPGA

技术与方法 Technique and Method

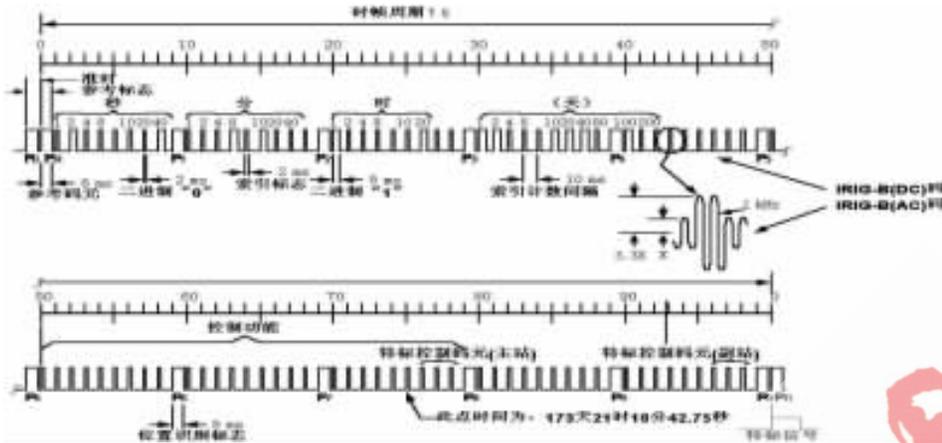


图1 IRIG-B 码格式

是低成本的可编程器件,具有丰富的逻辑资源、存储器资源、时钟管理电路以及高性能的 I/O 资源^[2-3]。

EP1C12Q240I7 芯片主要有以下特点:

- (1)具有多达 20 060 个逻辑单元,可以用来实现复杂的功能;
- (2)提供 239 616 bit 的 RAM 存储容量;
- (3)最高运行速度可达 200 MHz;
- (4)具有多达 129 个兼容 LVDS(Low-Voltage Differential Signaling)的通道,每个通道数据率高达 640 MB/s;
- (5)具有两个可编程锁相环 PLL(Phase Locked Loop)和 8 个全时钟线,提供健全的时钟管理和频率合成功能;
- (6)支持 LVTTTL(Low Voltage Transistor Transistor Logic)、LVC MOS(Low Voltage Complementary Metal Oxide Semiconductor)、SSTL(Stub Series Terminated Logic)和 PCI(Peripheral Component Interconnect)单端 I/O 接口标准。

2.2 配置电路

FPGA 上电后需要对其进行重新配置,将用户程序读入芯片内。FPGA 的配置方式有主动配置(AS)、被动配置(PS)和 JTAG 方式,每种配置方式选用的周边器件和电路都不相同,本系统采用 AS 和 JTAG 两种方式^[4]。

2.2.1 AS 方式

在 AS(Active Serial)方式下,采用的串行配置芯片为可重复擦除的 EPCS4;3.3 V 电源供电;4 Mbit 容量。EPCS4 对 FPGA 进行配置,是通过专用接口对 EPCS4 进行工程数据下载,并将下载数据存入 EPCS4 芯片实现的。其优点是设备掉电后配置信息仍存在其中,可以实现“上电即用”,用于固定工程信息的下载和连接方式。AS 连接如图 2 所示。

2.2.2 JTAG 方式

用于芯片内部测试的 JTAG(Joint Test Action Group)是一种国际标准测试协议(IEEE 1149.1 兼容)。Quartus II 软件在编译时,会自动生成用于 JTAG 下载配置的 .sof 文件。通过 JTAG 专用接口,利用 Quartus II 软件直接对 FPGA 芯片进行单独的硬件重配。JTAG 配置的优点在于:使用方便,无需其他配置器件,方便系统在线调试;

简化了设计流程,加快了工程进度;指令优先级高,可实现“即插即用”。缺点在于:设备掉电后配置信息丢失,每次调试和使用 FPGA 芯片前,都需要对设备进行重新下载和配置。JTAG 连接如图 3 所示。

2.3 运行环境

本系统采用的软件开发工具是 Quartus II 8.0,它是 Altera 公司推出的 FPGA 开发工具,提供了完全集成且与电路结构无关的开发包环境,能够直接满足特定设

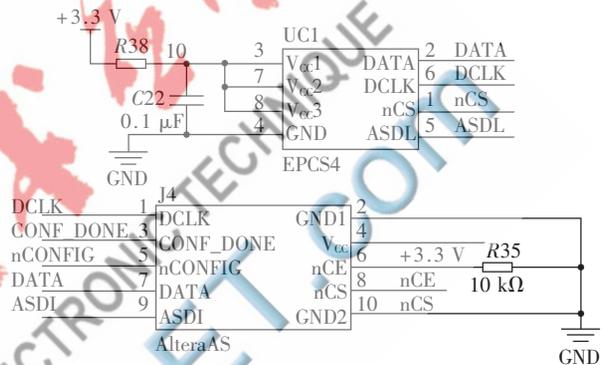


图2 AS 方式配置电路

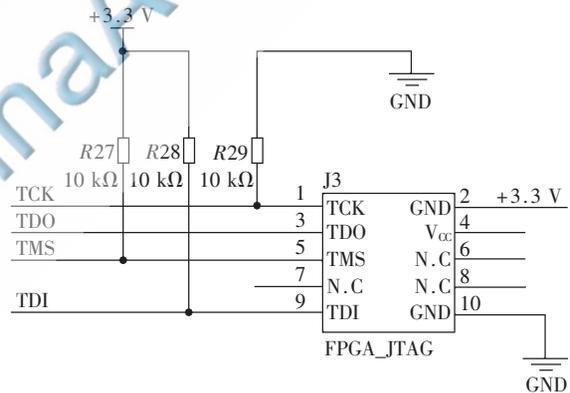
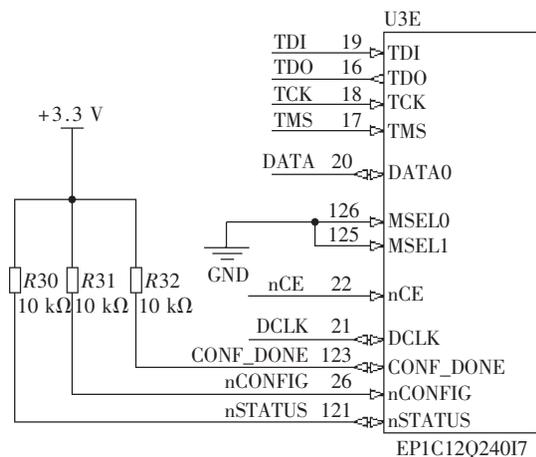


图3 JTAG 方式配置电路



EP1C12Q240I7

技术与方法 Technique and Method

计需要,具有数字逻辑设计的全部特性。本系统所有模块均采用 Verilog HDL 进行 FPGA 编程实现。Verilog HDL 语言不仅定义了语法,而且对每个语法结构都定义了清晰的模拟仿真语义,同时 Verilog HDL 语言从 C 编程语言中继承了多种操作符和结构,非常易于学习和使用^[5]。

3 同步信号源

3.1 工作原理

同步信号源的工作原理是以解调出的 DC 码的准时秒为基准,输出各种频率的同步脉冲信号,输出的脉冲信号同步精度是衡量系统性能的重要指标。国军标 GJB 2991A-2008 中对脉冲信号的精度要求是前沿比对应小于 $0.2 \mu\text{s}$ 。实际上随着 FPGA 技术的应用,已经能够很好地实现输出脉冲的同步,精度指标远远超过了国军标中的规定。

3.2 DC 码解调

DC 码解调在 FPGA 中采用 Verilog HDL 编写数据接入模块,完成捕获光耦输出 DC 信号的任务,称其为 DC 码逻辑处理模块。模块的主要任务是记录当前时刻的脉冲信号边沿信息(上升沿/下降沿),然后计算出每个 DC 脉冲信号的宽度信息,再根据所记录的脉宽信息判断出帧头位置(即两个连续 8 ms 脉冲的位置),并对脉冲依次编号,为软件解码提供一一对应的脉冲编号与脉宽信息^[6]。根据测量出的脉宽信息即可解调出时间信息。同时根据找到的两个 8 ms 的脉冲信号,发出一个秒脉冲信号(JSEC),用这个脉冲信号与 DC 码相与,得到解调秒脉冲 DEMS。它们与 DC 码准时秒的对应关系如图 4 所示。DEMS 即是解调 DC 码获得的准时秒,把它作为同步信号源内部的频率标准,输出的各种脉冲信号都要与这个秒信号保持同步。



图 4 准时秒与 DC 码对应关系图

3.3 同步信号的产生

本系统的各种同步脉冲信号由 FPGA 内部设计的移相分频电路产生。用精度很高的 10 MHz 温补晶振作为时钟源,依次分频产生 100 kHz、10 kHz、1 kHz、100 Hz、10 Hz、1 Hz 等各种频率信号。输出 100 Hz 信号与 DC 码准时秒同步关系如图 5 所示。前沿同步精度可以达到 10 ns,如图 6 所示。

同步信号源是靶场光测设备的关键设备之一,高准确度和高稳定度的频率信号是获得各种准确数据、实时精密测量和控制飞行目标的基础。随着科学技术的发展,对同步信号源的功能、体积、精度、可靠性等技术指标提出越来越高的要求。设计结果表明,以 FPGA 为硬



图 5 准时秒与 100 Hz 信号同步关系示意图



图 6 准时秒与 100 Hz 同步精度示意图

件核心的同步信号源外围电路简单、体积小、成本低,具有广泛的实际应用价值。

参考文献

- [1] GJB2991A-2008, B 时间码接口终端通用规范[S]. 2008.
- [2] 刘成明,李新娥,张艳兵.基于 FPGA 的数据采集与压缩系统[J].仪表技术与传感器,2012(1): 36-39.
- [3] Altera Corporation.Cyclone Device Handbook[S]. 2008.
- [4] 梁锋.基于 MEMS 惯性器件的小型姿态测量系统设计[D]. 哈尔滨:哈尔滨工程大学,2011.
- [5] 夏宇闻.Verilog 数字系统设计教程[M].北京:北京航空航天大学出版社,2008.
- [6] 佟刚,崔明.基于 S3C2440A 的时统终端系统的设计[J]. 仪表技术与传感器,2012(7):42-44.

(收稿日期:2012-12-25)

作者简介:

潘轶群,男,1978 年生,学士,工程师,主要研究方向:农业机械研制与使用。