

## 11 位数控延迟线组件的设计

程翔

(海军驻南京 924 厂军事代表室, 江苏 南京 211100)

**摘要:** 介绍了 0.6 GHz~3.0 GHz 11 位数控延迟线组件的设计和实现, 阐述了该组件的指标、方案和关键部分的设计。该组件延迟步进为 5 ps, 总延迟时间为 10 ns, 同时对组件的延迟损耗进行补偿, 实现 0 dB 增益。

**关键词:** 数控延迟线; 延迟步进; 延迟时间

中图分类号: TN95

文献标识码: A

文章编号: 1674-7720(2013)06-0025-03

## Design of a 11 bit digital delay line module

Cheng Xiang

(The Military Representatives Office of PLA Naval in 924th factory, Nanjing 211100, China)

**Abstract:** This paper concerns on the design of a 11 bit digital delay line module working from 0.6 GHz to 3.0 GHz. The technique requirement, the scheme design and the key parts are introduced. The delay step of the module is 5 ps, and the total delay time is 10 ns. The compensation to delay loss is accounted also, so that the gain of the module is about 0 dB.

**Key words:** digital delay line; delay step; delay time

数控微波延时组件在信号处理系统、雷达系统和相控阵系统等许多领域中具有广泛的应用。为了提高雷达的测距精度, 补偿不同工作频率引起的相位差,  $n$  位数控延时组件经常在现代宽带雷达系统中获得应用<sup>[1-2]</sup>。

传统的时间延迟线包括静磁波延迟线、声表面波延迟线和光纤延迟线。但较高的损耗和大的体积限制了这些传统延迟线的应用。

本项目采用微带集成电路形式, 用 PIN 微波开关二极管作为控制元件, 配合数控电路, 实现对微波信号延迟时间的控制。与传统的静磁波延时线、声表面波延时线和光纤延时线相比, 本设计具有损耗小、体积小和重量轻的优点。

## 1 设计要求与原理

## 1.1 组件指标

综合设计要

求, 11 位数控延

迟线组件的设计指标为:

位数(第 $x$ 位)	1	2	3	4	5	6	7	8
延迟步进/ps	5	10	20	40	80	160	320	640
微带延迟线材料	RT/duroid5880, $E_r=2.2$ , $t=0.19$ mm							
微带线长度/mm	1.1	2.2	4.4	8.79	17.59	35.18	70.36	140.718
损耗/dB@0.6 GHz	小于 0.5						0.2	0.6
损耗/dB@3.0 GHz							0.4	1.2

(1) 输入信号频率范围: 0.6 GHz~3.0 GHz;

(2) 延迟范围: 0 ns~10 ns;

(3) 延迟步进: 5 ps;

(4) 增益:  $\geq 0$  dB;

(5) 输出幅度变化:  $\leq \pm 1$  dB

(最大延时与最小延时状态比较);

(6) 输入/输出驻波:  $\leq 1.5$ ;

(7) 延时切换时间:  $\leq 80$  ns。

## 1.2 组件原理框图

数控延迟线的每一位由 2 个 SPDT 开关和延迟线构成, 整个数控延迟线由 11 个代表不同延时的单元组成。原理框图如图 1 所示<sup>[3]</sup>。

## 2 组件设计

## 2.1 延迟线设计

前 8 位延迟线因延时小、精度高、损耗小, 拟采用微带线设计, 其长度、损耗如表 1 所示。

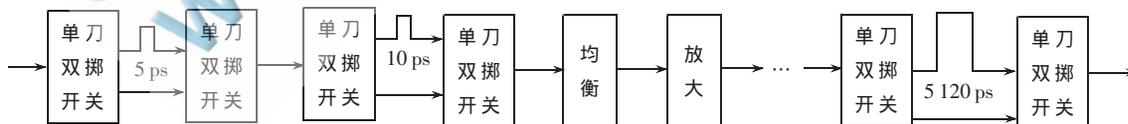


图 1 原理框图

表 1 前 8 位延迟线设计表

表 2 SFT-50-2 电缆性能表

型号	内导体/mm	绝缘标称 外径/mm	外导体/mm	特性阻抗/ $\Omega$	衰减 5 000 Hz 不大于/(dB/m)	绝缘电阻 $M\Omega \cdot km$	绝缘试验 电压/kV
SFT-50-1	0.29	0.94	1.19	50	3.01	$< 5 \times 10^5$	2
SFT-50-2	0.51	1.68	2.20	50	1.85		3
SFT-50-3	0.92	2.98	3.58	50	1.10		5
SFT-50-5	1.63	5.31	6.35	50	0.92		5

其中微带线长度可由下式计算而得：

$$L = t \times v \quad (1)$$

式中,  $L$  为长度, 单位为 m;  $t$  为延迟时间, 单位为 s;  $v$  为介质中传播相速, 单位为 m/s。

后 3 位延迟线的延迟时间较长, 若再采用便于混合集成的微带线结构, 则会导致体积增加, 损耗相对于直通通道增大很多。设计时考虑常用的硬同轴电缆 SFT-50-2 作为延迟线, 其特性如表 2 所示。

后 3 位共延时 8 960 ps, 需要电缆长度为  $8.960 \div 4.756 \approx 1.8839$  m。每一位的计算情况如表 3 所示。其中常数 4.756 为每米延迟时间, 单位为 ns/m。

表 3 后 3 位延迟线设计表

位数(第 $x$ 位)	9	10	11
延迟步进/ps	1 280	2 560	5 120
电缆长度/mm	269.13	538.27	1 076.53
损耗/dB@0.6 GHz	0.16	0.32	0.64
损耗/dB@3.0 GHz	0.4	0.81	1.6

### 2.2 延迟线幅度调整设计

若采用以上设计方法, 延迟线总的损耗约为: 6 dB@3 GHz, 3 dB@0.6 GHz, 该值为全延时状态与直通状态之间的损耗差, 此时差值较大, 需改善延时的调幅性能。考虑在延迟损耗较大的每一位直通过路添加阳性衰减器, 每一位添加的衰减量控制在它的 3 GHz 延迟损耗和 0.6 GHz 延迟损耗之间, 那么整个数控延迟线的直通与全延时状态之间的损耗差将在 2 dB 以内, 如图 2 所示。

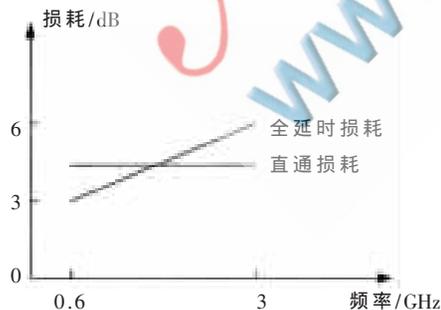


图 2 延迟线的调幅

通过添加损耗与延迟线损耗相似且对传输相位几乎没有影响的电路, 可以达到比添加阳性衰减器更好的效果。仿真电路及结果如图 3~图 6 所示。本文仅给出第 7 位的电路仿真图。



图 3 仿真电路图

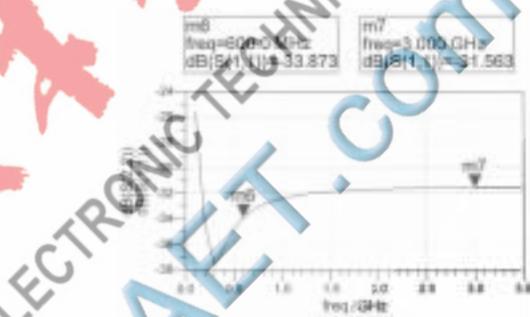


图 4 驻波曲线图

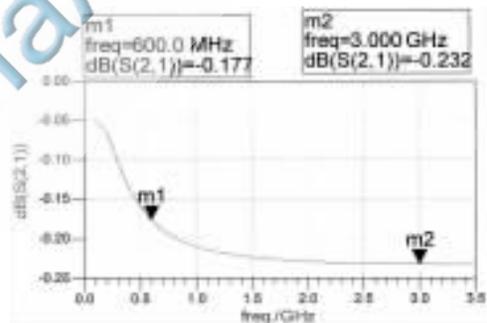


图 5 损耗曲线图

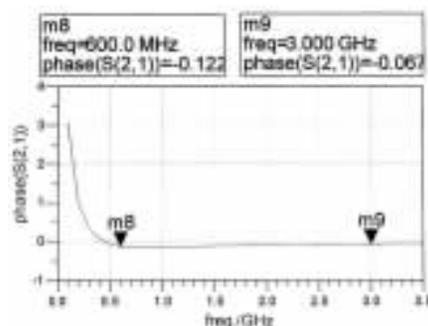


图 6 相位曲线图

### 2.3 开关设计

开关设计需保证在不同延时状态之间进行切换时不出现谐振现象。由于有很多位开关串联, 应综合考虑

## 硬件纵横

Hardware Technique

开关隔离度以及控制、线圈圈数等。本文选用串并联结合的开关形式。

### 2.4 均衡器设计

由于频带较宽,覆盖范围为 0.6 GHz~3.0 GHz,因此在高低端的损耗存在差异,需要引入均衡器对幅度进行均衡,从而达到整个频带内的波动要求。本文选成熟的均衡模块,减少重复设计,缩短设计周期,提高设计效率。

### 2.5 增益补偿

由于整个组件需要实现 0 dB 的增益要求,所以在组件内部还需添加放大器来补偿由延迟线带来的损耗。本文选用单片放大器 SNA-386 来实现该要求。

通过以上设计,本文较好地实现了 11 位数控延迟线组件的小型化设计。通过本文的研究,基本掌握该频

段数控延迟线组件的设计方法和关键工艺技术突破,对以后其他频段数控延迟线的设计具有一定的指引作用。

### 参考文献

- [1] 清华大学《微带电路》编写组.微带电路[M].北京:人民邮电出版社,1976.
  - [2] BAH I, BHARTIA P.微波固态电路设计(第二版)[M].郑新,赵玉洁,刘永宁,等译.北京:电子工业出版社,2006.
  - [3] 汪霆雷,魏文博,刘其中,等.小型化 5 位数控延迟线的设计[J].西安电子科技大学学报,2008,35(2):258-261.
- (收稿日期:2012-12-23)

### 作者简介:

程翔,男,1980年生,硕士,工程师,主要研究方向:海军电子装备的监造。

电子技术应用  
APPLICATION OF ELECTRONIC TECHNIQUE  
www.ChinaAET.com