

一种新型 delta-sigma 小数分频器的 FPGA 实现

王水鱼, 冯晓靖

(西安理工大学 自动化与信息工程学院, 陕西 西安 710048)

摘要: 小数分频技术能够有效地解决小数分频比与频率分辨率之间的矛盾, 只需改变某位小数, 就可以在不降低参考频率的情况下提高频率分辨率。但小数分频存在小数杂波的问题, 利用 delta-sigma 小数分频技术, 既能够保证输出信号的高频率分辨率, 又能够抑制小数分频产生的杂波, 提高频谱纯度。

关键词: delta-sigma 小数分频技术; 频率分辨率; 频谱纯度

中图分类号: TP15

文献标识码: A

文章编号: 1674-7720(2013)05-0025-03

FPGA realization of a new type of delta-sigma decimal frequency divider

Wang Shuiyu, Feng Xiaojing

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: The fractional frequency technology can effectively solve contradiction between the fractional divider and the frequency resolution, it just needs to change a certain decimal, which can improve the frequency resolution without reducing the reference frequency. However, the fractional frequency has clutter. By using the delta-sigma decimal fractional frequency technology, it can not only ensure the output signal of the high-frequency resolution, but also be able to inhibit the fractional frequency clutter and improve the spectral purity.

Key words: delta-sigma decimal frequency division technique; frequency resolution; spectrum purity

新一代移动通信系统对频率源的要求集中在低相位噪声、快捷变这两个方面^[1]。delta-sigma 调制 (DSM) 技术最初应用于模数转换^[2-5], 但其良好的噪声成型技术却使其应用相当广泛, 一个最典型的例子就是应用于小数分频技术^[6-8]。众所周知, 经典小数分频的一个最大的瓶颈就是其输出相位噪声比较严重^[9]。而相噪指标太低, 必然制约了小数分频技术在当今无线通信系统中的应用^[10-12]。DSM 在小数-N 频率合成方面的应用主要起到一个调节分频比的作用。输入一个常数, 这个常数为小数-N 分频的分数部分值, 输出为不断变化的分频比, 利用 DSM 噪声成型的作用, 量化部分的噪声可以被 DSM 本身搬移到高频的部分, 这样, 就可以利用 PLL 本身的低通性能, 在噪声加到 VCO 之前就被滤除掉。因此, DSM 技术既可以实现小数分频, 同时又较好地抑制小数分频出现的杂散情况。

1 delta-sigma 原理分析

delta-sigma (Δ - Σ) 调制具有噪声整形特性, 能将噪声从低频段整形到高频段, 大大减小了带宽内的量化噪

声^[13]。单环的 delta-sigma 调制器实质是一个单阶误差反馈电路, 其结构如图 1 所示。

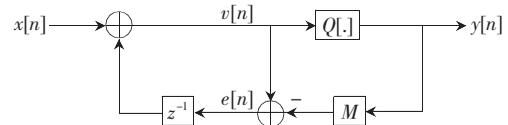


图 1 单环 delta-sigma 调制器

其中, $x[n]$ 为 n bit 表示的小数分频比, $Q[.]$ 为量化器, $y[n]$ 为量化输出, M 满足 $M=2^n$ 。该结构与一级相位累加器的数学模型是一致的, 因此可以用一级累加器来实现单环 Δ - Σ 调制器, 累加器模型如图 2 所示。

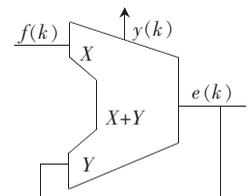


图 2 一级累加器模型

令累加器位数为 n bit, 同理, $f(k)$ 表示分频比的小数部分, $y(k)$ 为累加器溢出值, 溢出为 1, 否则为 0, $e(k)$ 为累加值。一级相位累加器作为单环 Δ - Σ 调制器对其自身量化误差 $e(k)$ 具有一定的滤波作用, 但十分

有限,通常会采用高阶 MASH 结构以克服量化误差。

MASH1-2-1 结构是在三级 MASH 结构的基础上加以改进的结构,量化器产生的白噪声经过几级调制后就被变换成了高通型噪声,噪声能量绝大部分处于锁相环本身的低通滤波通带之外。该结构包含了两个一阶量化器和一个二阶量化器,一阶量化器的结构如图 1 所示,二阶量化器结构如图 3 所示。

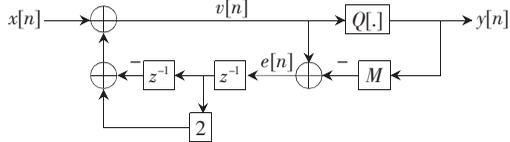


图 3 二阶 Δ - Σ 误差反馈结构

该结构的 Z 域模型为:

$$Y(z) = X(z) - (1 - H(z))E(z)$$

其中, $H(z) = 1 - (1 - z^{-1})^2 = 2z^{-1} - z^{-2}$ 。

噪声传递函数为:

$$N(z) = (1 - z^{-1})^2$$

MASH1-2-1 结构如图 4 所示。

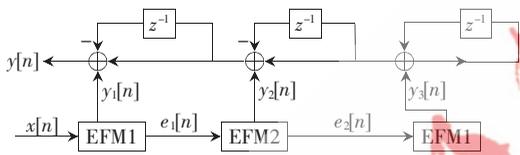


图 4 MASH1-2-1 结构框图

由图 4 可知,输入输出关系为 $Y(z) = X(z) - (1 - z^{-1})^4 E_3(z)$,且噪声传递函数为 $N(z) = (1 - z^{-1})^4$ 。由于第三级误差反馈结构的误差输出序列的周期很长,可以近似视为随机序列,将此信号序列反馈回输入端,相当于在输入端注入了抖动信号,可以进一步降低杂散信号的周期性,减少杂散信号离散谱线的输出。加入抖动信号的 MASH1-2-1 结构如图 5 所示。

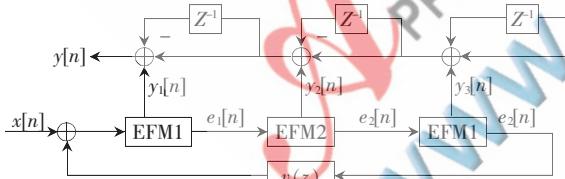


图 5 加入抖动的 MASH1-2-1 结构

其中, $v(z)$ 是为了降低输入噪声而设置的二阶滤波器, $v(z) = (1 - z^{-1})^2$ 。

2 基于 delta-sigma 小数分频的 FPGA 实现

小数 N 分频器是通过周期性地改变分频比使平均分频比为 $N + F/M$, 其中, F 为数字量化后的分频比小数部分, M 为 n 比特累加器的最大值 2^n 。小数分频器的输入输出频率关系为 $f_{\text{vco}} = N \cdot F \times f_{\text{REF}}$, 其小数分频锁相环结构框图如图 6 所示。

图 6 中虚线框内的结构即为需用 FPGA 实现的 delta-sigma 小数分频部分, 该部分可分为 delta-sigma 调

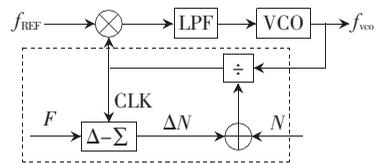


图 6 delta-sigma 结构的小数分频锁相环

制模块和整数分频模块两个模块设计。 Δ - Σ 调制模块采用小数分频后的时钟信号作为参考信号, 根据小数分频值 F 来产生周期性可变分频比 ΔN , 使得 $N + \Delta N$ 的均值为 $N \cdot F$, 整数分频器根据分频比 $N + \Delta N$ 对 VCO 输出的信号进行分频, 并将分频后的信号送往鉴相器与参考信号进行比较。下面分别讨论 delta-sigma 调制部分和整数分频部分的 FPGA 实现。

delta-sigma 调制部分采用图 5 所示的加入抖动的 MASH1-2-1 结构, EFM1 可以直接利用一阶累加器实现, EFM2 可以采用一阶加法器和 D 触发器来组合构成, 同样 $v(z)$ 也可利用一系列 D 触发器组合实现。由于要对 EFM1 和 EFM2 的溢出值进行加减运算, 因此需将溢出值转换为补码表示, 且加法器需进行补码的加减运算。对于 MASH1-2-1 结构来说, 最终输出的由小数分频比产生的控制信号 ΔN 可能存在的值为 $\pm 3, \pm 2, \pm 1, 0$ 。再利用加法器将整数分频比输入 N 和控制分频比 ΔN 相加, 就得到控制锁相环整数分频比变化的分频信号。MASH1-2-1 结构的顶层原理图如图 7 所示。

3 实验结果与分析

该顶层原理图通过仿真得到输出分频比的仿真波形如图 8 所示。 f_{N} 为输入的整数分频比, frac 是输入的小数分频比部分, 由于累加器采用 8 bit 位宽, 故此时真正的小数分频比为 $F = 93/256 \approx 0.4$, fdiv_N 即为输出的实际整数分频比 $N + \Delta N$, 其均值应为 $N \cdot F = 10.36$ 。

整数分频器根据 delta-sigma 调制器输出的分频比对 VCO 的输出信号进行分频, 在完成一次分频过程后再从 delta-sigma 调制器中取下一个分频比进行下一次分频。由于分频比可能为奇数也可能为偶数, 故分频器必须能够实现奇数分频和偶数分频。

分频器仿真波形如图 9 所示。

图 9 中, freq_in 为输入的待分频信号, div_N 是输入的整数分频比, 可以看出, 该分频器既能实现奇数分频又能实现偶数分频, 且当分频比改变时, 能够及时地根据新分频比进行分频。

综合以上分析即可得到 delta-sigma 小数分频器, 如图 10 所示, freq_out 就是小数分频后的输出信号。

所得到的仿真波形如图 11 所示。从图 11 可以看出, freq_out 是分频比为 10.4 的仿真波形。在对应的整数分频比内, 输出信号正确地按照该分频比值 fdiv_N 进行分频; 输入分频比变化时, 输出信号频率也能及时地发生相应变化, 从而实现了输入信号的小数分频。

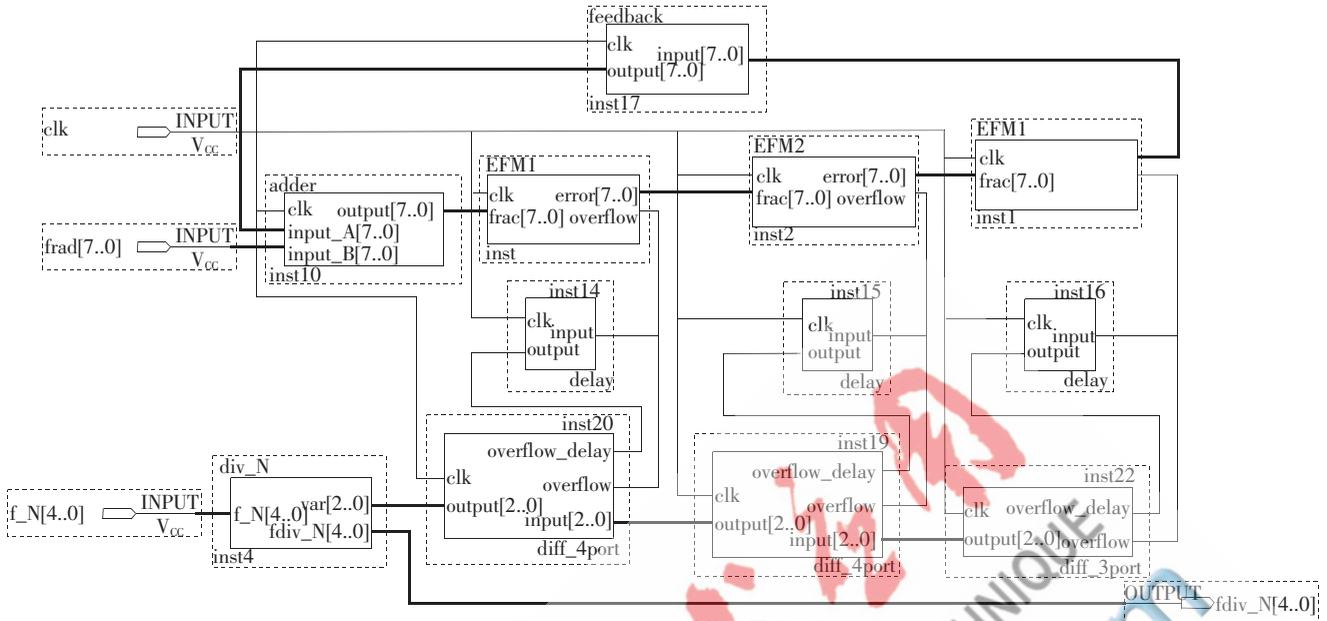


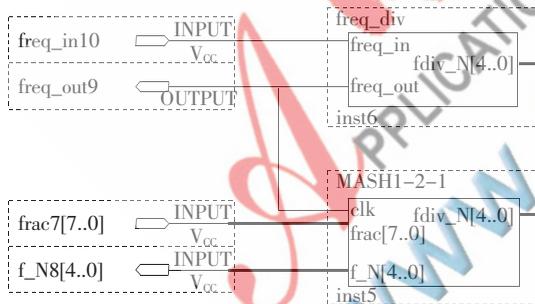
图7 MASH1-2-1结构顶层原理图



图8 delta-sigma 调制输出分频比



图9 分频器输出波形

图10 Δ - Σ 小数分频器图11 Δ - Σ 小数分频仿真结果

本文通过对 MASH1-2-1 结构原理的分析, 论述了可实现的 FPGA 模型, 并完成了基于 FPGA 的 delta-sigma 小数分频器的实现。该结构不用于一般的 MASH 单阶多级结构, 在第二级引入二级误差反馈环路, 使得调制器整体阶数为四阶, 这样做的目的在于: 在不增加 MASH 结构级数的情况下, 通过改变单元调制器的结构

来降低量化噪声。同时, 为了使得输出噪声功率谱曲线更加平滑, 在输入端引入随机序列来打断输出周期性。通过 FPGA 实现模块化, 可以很方便地嵌入到锁相环的设计中, 提高了设计的通用化和高效化。

参考文献

- [1] RILEY T A D, COPELAND M A, KWASNIEWSKI T A. Delta-sigma modulation in fractional-N frequency synthesis [J]. IEEE Journal of Solid-State Circuit, 1993, 28(5): 553-559.
- [2] REINHARDT V, GOULD K, MCNAB K, et al. A short survey of frequency synthesiser techniques [C]. 40th Annual Symposium on Frequency Control, 1986: 355-365.
- [3] WARE K M, LEE H, SODINI C G. A 200 MHz CMOS phase-locked loop with dual phase detectors [C]. 1989 IEEE International Solid-State Circuits Conference, 36th ISSCC, Digest of Technical Papers, 1989: 192-193.
- [4] CANDY J C, BENJAMIN O. The structure of quantization noise from sigma delta modulation [J]. IEEE Transactions on Communications, 1981, 29(9): 1316-1323.
- [5] CANDY J C. Use of double integration in sigma delta modulation [J]. IEEE Transactions on Communications, 1985, 33(3): 249-258.
- [6] NORSEWORTHY S R, SCHREIER R, TAMES G C. Delta-sigma data converters [M]. New York: Wiley IEEE Press, 1997.
- [7] MOTAMED M, SANDERS S, ZAKHOR A. The double loop sigma delta modulator with unstable filter dynamics: stability analysis and tone behavior [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1996, 43(8): 549-559.

- [8] KOZAK M A, KALE I. A pipelined noise shaping coder for fractional $-N$ frequency synthesis [J]. IEEE Transactions on Instrumentation and Measurement, 2001,50(5):1154-1161.
- [9] MENINGER S E, PERROTT M H. A fractional $-N$ frequency synthesizer architecture utilizing a mismatch compensated PFD/DAC structure for reduced quantization-induced phase noise [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 2003,50(11):839-849.
- [10] PAMARTI S, GALTON I. LSB dithering in MASH delta-sigma D/A converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2007,54(4):779-790.
- [11] KOZAK M, KALE I. Rigorous analysis of delta-sigma modulator for fractional $-N$ PLL frequency synthesis [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004,51(6):1148-1162.
- [12] MILLER B, CONLEY R J. A multiple modulator fractional divider [J]. IEEE Transactions on Instrumentation and Measurement, 1991,40(3):576-583.
- [13] BORKOWSKI M J, RILEY T A D, HAKKINEN J, et al. A practical $\Delta - \Sigma$ modulator design method based on periodical behavior analysis [J]. IEEE Transactions on Circuits and Systems II: Express Briefs,2005,52(10):626-630.

(收稿日期:2012-09-05)

作者简介:

王水鱼,男,1958年生,硕士,副教授,主要研究方向:信号采集系统与电子测量。

冯晓靖,男,1988年生,硕士研究生,主要研究方向:信号采集系统与电子测量。

