

# 基于 J、K 激励函数最小化方法及电路的设计

周定勇, 何金保, 陈永杰

(宁波工程学院 电气自动化学院, 浙江 宁波 315000)

**摘要:** 提出了一种基于触发器行为的 J、K 激励函数的最小化方法, 并通过同步时序逻辑电路的设计来体现该方法的优越性。

**关键词:** J、K 触发器; 激励函数; 同步时序逻辑电路

中图分类号: TP332.1

文献标识码: A

文章编号: 1674-7720(2013)05-0069-02

## Minimization technique of J and K excitation functions based on circuit design

Zhou Dingyong, He Jinbao, Chen Yongjie

(College of Electrical Automation, Ningbo University of Technology, Ningbo 315000, China)

**Abstract:** This paper put forward, K excitation function of J minimize method based on the behavior of the flip-flop, and through the synchronous temporal logic circuit design to reflect the advantages of the method.

**Key words:** J、K flip-flop; excitation function; synchronous temporal logic circuit

在数字逻辑电路的设计中, 遵循的设计准则是<sup>[1]</sup>: 在保证所设计的时序逻辑电路具有正确功能的前提下, 触发器的激励函数应该最小化, 从而简化电路结构, 即使使用较简单且较少的门电路。简化电路结构也可带来减少电路面积、降低电路功耗、减低电路成本等一系列的优点。因此, 简化电路是逻辑设计的主要目标。

用 JK 触发器进行时序逻辑电路设计时, 目前主要文献介绍的方法是<sup>[2]</sup>: 先求触发器最小化的次态函数, 再与触发器的特性方程对比求 J、K 激励函数。但大家会发现使用该方法不但非常繁琐而且不能保证获得的 J、K 激励函数是最小化的。同时次态函数和 J、K 激励函数对应关系不明显, 对于边沿 J、K 触发器的同步时序电路设计也变得无规律所寻。

所以本文在深入分析 J、K 触发器的激励函数和次态函数关系的基础上, 提出了一种基于触发器行为的 J、K 激励函数的最小化方法<sup>[3]</sup>并结合次态联合卡诺图进行化简, 同时通过同步时序逻辑电路的设计来体现该方法对激励函数最小化的简便之处。

### 1 J、K 触发器的激励函数和次态函数的关系

假设时序逻辑电路有  $m$  个输入变量  $X_0, X_1, \dots, X_{m-1}$ , 其中电路由  $n$  个触发器构成<sup>[4]</sup>, 则现态变量为  $Q_0^n, Q_1^n, \dots, Q_{n-1}^n$ 。

在时序逻辑电路里, 输入变量、现态变量的函数就是各触发器的次态<sup>[5]</sup>。所以第  $i$  个触发器的次态函数表示为:

$$Q_i^{n+1} = f(X_0, X_1, \dots, X_{m-1}, Q_0^n, Q_1^n, Q_{n-1}^n) \quad (1)$$

如果无输入变量时, 则:

$$Q_i^{n+1} = f(Q_0^n, Q_1^n, Q_{n-1}^n) \quad (2)$$

式(1)、式(2)的卡诺图就被称为次态卡诺图。第  $i$  个 J、K 触发器的特性方程为:

$$Q_i^{n+1} = J\bar{Q}_i^n + \bar{K}_i Q_i^n \quad (3)$$

从式(3)可知 J、K 触发器具有 2 选 1 的选择功能, 由此得到第  $i$  个触发器的激励函数  $J_i, K_i$  和次态函数

$Q_i^{n+1}$  的关系为:

$$J_i = Q_i^{n+1} |_{Q_i^n=0} \quad (4)$$

$$K_i = Q_i^{n+1} |_{Q_i^n=1} \quad (5)$$

分析式(4)、式(5)可得到如下的两个结论:

(1) 触发器的激励函数只和触发器的输入变量、现态变量有关, 且不含有触发器的现态变量  $\bar{Q}_i^n$  或  $Q_i^n$ 。

(2) 在次态函数  $Q_i^{n+1}$  的卡诺图中  $Q_i^n=1$  区域的次态

## 技术与方法 Technique and Method

取反后表示激励函数  $K_i$ ,  $Q_i^n=0$  区域的次态表示激励函数  $J_i$ , 所以可以在次态联合函数卡诺图上直接求取最小化的激励函数  $J_i$ 、 $K_i$ 。

### 2 J、K 激励函数最小化方法

(1) 为了能准确地得到各触发器的次态卡诺图, 首先要根据所需设计逻辑电路的状态转化图画出相应的次态联合卡诺图, 然后再将次态联合卡诺图按实际要求分成  $i$  张次态卡诺图。

(2) 通过式(4)可知, 先圈出次态函数  $Q_i^{n+1}$  卡诺图的  $Q_i^n=0$  区域, 再在该区域内按相邻关系圈 1 格画包围圈并对其化简, 若在该区域内有无关项  $x$  格, 则将其视为 1 圈入化简, 最后将  $Q_i^n=0$  带入化简结果中, 即求得第  $i$  个触发器的激励函数  $J_i$  的最小化结果。

(3) 通过式(5)知, 先圈出次态函数  $Q_i^{n+1}$  卡诺图的  $Q_i^n=1$  区域, 再在该区域内按相邻关系圈 1 格画包围圈并对其化简, 若在该区域内有无关项  $x$  格, 则将其视为 1 圈入化简, 然后将  $Q_i^n=1$  带入化简结果中, 最后将化简结果取反, 即得第  $i$  个触发器的激励函数  $K_i$  的最小化结果。

### 3 同步时序逻辑电路设计

#### 3.1 设计方法

同步计数器是指一个计数脉冲控制该计数器所有的触发器, 对于同步计数器的经典设计方法和本文介绍的联合卡诺图设计法有着类似的设计步骤, 但不同的是, 本设计可以直接根据次态联合卡诺图确定最小化激励函数。

在参考文献[6]中指出, 时序逻辑电路的次态联合卡诺图, 既是一个表格化的状态转换图, 又是一个二维的状态转换表。所以, 只要完成了状态编码的工作, 就可以直接得出次态联合卡诺图<sup>[6]</sup>。因此, 设计一个同步计数器一般包括以下步骤: (1) 逻辑抽象; (2) 状态化简; (3) 状态赋值; (4) 作出次态联合卡诺图; (5) 确定触发器, 直接用次态联合卡诺图得出最简次态函数, 在化简的过程中同时考虑自启动的问题; (6) 确定各触发器的驱动函数; (7) 确定输出函数; (8) 画出逻辑电路。

#### 3.2 设计举例

按照图 1 所示的状态图设计一个同步时序逻辑电路。

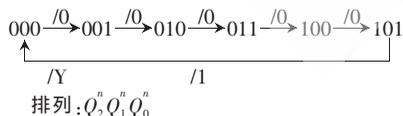


图1 状态图

(1) 选择触发器, 求时钟方程和激励方程

##### ① 触发器的选择

由于 JK 触发器的功能齐全、使用灵活, 可选用 3 个 CP 下降沿的边沿 JK 触发器。

##### ② 求时钟方程

题目要求同步, 那么则取  $CP_0=CP_1=CP_2=CP$ , 其中 CP 是整个要设计电路的输入时钟脉冲。

##### ③ 求输出方程

从图 1 可以看出, 还有 110、111 两个代码状态没有出现, 显然它们是没有使用的无效状态, 同时由图 1 所规定的输出与现态之间的关系, 可以直接画出输出信号 Y 的卡诺图, 如图 2 所示。

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_2^n$	0	0	0	0	0
	1	0	1	X	X

图2 Y 的卡诺图

由图 2 可以得到 Y 的方程为  $Y=Q_2^n Q_0^n$

##### ④ 求激励方程

根据图 1 可以画出如图 3 所示的次态联合卡诺图。再将次态联合卡诺图分解开, 便得到如图 4 所示各触发器的卡诺图。

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_2^n$	0	001	010	100	011
	1	101	000	XXX	XXX

图3 次态联合卡诺图

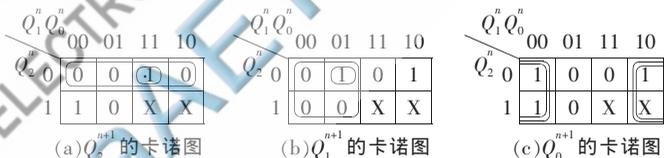


图4 各触发器的次态卡诺图

在图 4 所示的各次态卡诺图中圈出次态函数  $Q_i^{n+1}$  卡诺图的  $Q_i^n=0$  区域, 再在该区域圈 1 格及 X 格并对其进行化简, 可快速得到各触发器 J 的激励函数如下:

$$J_0=1, J_1=\overline{Q_2^n} Q_0^n, J_2=Q_1^n Q_0^n$$

同理可得:

$$K_0=1, K_1=K_2=Q_0^n$$

同时由图 4 可知无效状态 110、111 的次态分别为 111、000, 即该电路能自启动。

##### (2) 逻辑电路图

根据所选用的触发器和时钟方程、输出方程、激励方程, 便可以设计如图 5 所示的逻辑电路图。

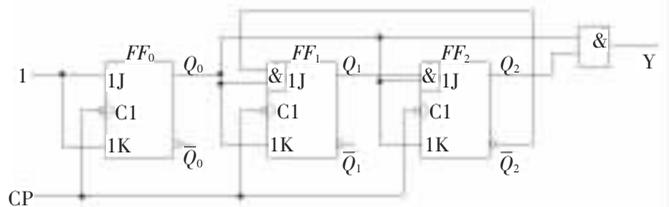


图5 逻辑电路图

##### (3) 优越性分析

本次设计利用了次态联合卡诺图,设计更加精确合理。通过激励函数最小化的方法使得设计的逻辑电路能达到最优化。最后在检验自启动功能时,无需将无效状态对应的编码代入次态函数表达式中计算次态,而只要根据联合卡诺图的分图来检验自启动,无需计算,准确又方便地描述了现态与次态的转换关系。

通过认识目前对激励函数最小化的不足,本文则从J、K触发器的激励函数和次态函数的关系出发,进一步结合次态联合卡诺图推导出了一种激励函数最小化的方法。同时通过对边沿J、K触发器的同步时序电路设计表现了该方法的简单可行。对于时序电路自启动功能的检查,无论涉及到同步时序电路还是异步时序电路,本文的方法都具有其独特优势。

#### 参考文献

[1] 吴训威,陈豪.基于触发行为的J、K激励函数的最小化技术[J].浙江大学学报(理学版),2004,31(2):163-

166.

- [2] 余孟尝.数字电子技术基础简明教程[M].北京:高等教育出版社,1998.
- [3] 任骏原,张凤云.电子线路专题研究[M].成都:西南交通大学出版社,1995.
- [4] ROFAILSS M, KS Y. Design of high performance double edge-triggered flip2flops [J]. Circuits Devices Syst,2000,147(56):219-223.
- [5] 吴训威,陈豪.关于检验与消除竞争冒险的完整代数分析[J].浙江大学学报(理学版),2003,30(6):655-656.
- [6] 卢容德.联合卡诺图在逻辑电路分析中的应用[J].长江大学学报(自然科学版),2009,6(4):61-65.

(收稿日期:2012-11-28)

#### 作者简介:

周定勇,男,1990年生,学士,主要研究方向:信号处理及嵌入式。