

LED 驱动芯片中提升视觉刷新率的逻辑电路设计

高立民,王卫东

(桂林电子科技大学 信息与通信学院,广西 桂林 541004)

摘要: 为了提高 LED 显示屏的视觉刷新率,在 LED 驱动芯片内部设计了控制灯导通时间的逻辑电路。利用 m 序列设计了一个新颖的 63 计数器,并在此基础上得到 4 种不同的计数模式。通过脉冲打散,将一个影像的导通时间分散成数个较短的导通时间,最高可将刷新率提升至 64 倍。在 MAX+Plus II 下进行的仿真实验证明了该设计的可行性。

关键词: LED 显示屏;刷新率;逻辑电路;脉冲打散

中图分类号: TN402

文献标识码: A

文章编号: 1674-7720(2013)05-0018-04

Design of a logic circuit in LED driver to improve visual refresh rate

Gao Limin, Wang Weidong

(School of Information and Communication, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: In order to improve the LED display visual refresh rate, the paper designs a logic circuit in LED driver to control LED lighting time. It uses m-series to design a novel 63 counter, and on this basis, it obtains 4 different kinds of counting mode. Through scrambled PWM, one image data lighting time is dispersed into several narrow lighting periods. The maximum refresh rate can be increased 64 times. Simulation results in MAX+Plus II verifies the feasibility of this design.

Key words: LED display; refresh rate; logic circuit; scrambled PWM

作为信息显示产品,LED 显示屏以其大屏幕及高清晰度被广泛应用在高楼、广场、体育场馆等空间开阔的场所来显示丰富多彩的信息。为了提高画面的质量,LED 显示屏对画面的灰度等级和刷新率的要求越来越高,如要求画面更加细腻、色彩更加丰富且在播放画面时人眼不会感到闪烁。提升视觉刷新率的方法有提高灰阶时钟频率、降低画面灰阶数和将脉冲打散^[1]。由于硬件的限制,灰阶时钟频率的提升幅度有限,而降低画面的灰阶会降低画面的分辨率,因此本文采用脉冲打散的方法设计了一种提升视觉刷新率的逻辑电路。

1 脉冲打散原理

计数模式如图 1 所示。传统的 PWM 计数方式在一个周期里计数一次,LED 灯只点亮 1 次,如图 1 中模式 3 所示。这对 GCLK 的要求较高,当 GCLK 的频率达不到要求时,LED 显示屏就会因为刷新率不够而出现闪烁。

打散的 PWM 计数方式把一个 PWM 周期分解成最重要位(MSB)与最不重要位(LSB)的灰阶周期,因为 MSB 的数据在图像显示中起主要作用,故将 MSB 的

数打散以提高视觉刷新率^[2](与之类似的有 Dispersed PWM 算法^[3])。MSB 的计数周期打散后重复更新多次,再加上一次 LSB 的计数周期,便可达到和未分解成 MSB 与 LSB 的 PWM 一样的高位分辨率。图 1 中,高 6 bit 为 MSB,低 6 bit 为 LSB。模式 0 时,将 MSB 打散 64 次,一个打散的 PWM 周期为 $(2^6-1) \times 2^6 + 2^6$ GCLK,恰好为一个传统的 PWM 计数周期,这样就将刷新率提高了 64 倍。

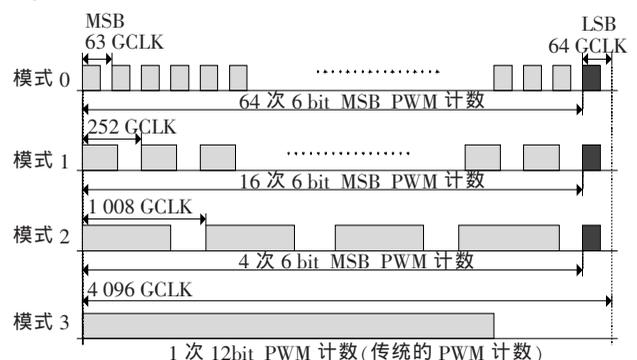


图 1 计数模式

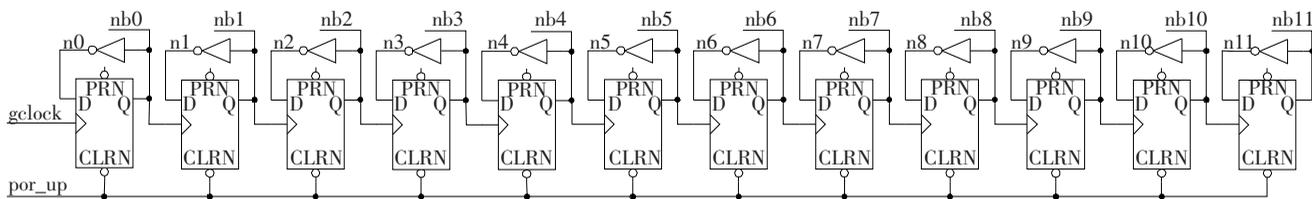


图2 12 bit 计数器

通过改变脉冲打散的次数,可以得到不同的刷新率。在下面的逻辑电路中设计了4种打散方式,分别为64次、16次、4次和1次,以供用户在使用时根据实际需要灵活地进行选择。

2 逻辑电路实现

2.1 计数器

12 bit 加法计数器设计电路如图2所示。其中, $gclock$ 为计数时钟, por_up 是上电复位信号,用来对 D 触发器初始化。CLR 为触发器的低电平清零端,当 por_up 为 0 时,12 bit 输出 $n[11..0]=111111\ 111111$; 当 por_up 为 1 时, $n[11..0]$ 开始加 1 计数。

利用 12 bit 计数器的输出值产生一个选择信号。高 6 bit $n[11..6]=111111$ 时, $con=1$, 计数值从 4 032 到 4 095 共 64 个 GCLK, 此时选择输出 LSB 的比较结果。剩余 4 032 个 GCLK, $con=0$, 选择 MSB 的比较结果。

63 计数器的设计原理如下。图 1 中, LSB 计数时,其周期为 64 个 GCLK, 此时的计数值恰好为 12 bit 计数器的低 6 bit $n[5..0]$ 。而对于 MSB 的计数,打散后一个周期是 63 个 GCLK, 必须设计一个 63 计数器。本文利用 m bit m 序列周期为 2^m-1 的特性来产生一个清零信号, 进而得到 63 计数器。虽然 m 序列在一个周期内产生的数值是无规律变化的, 但不同周期的 m 序列在同一个状态上数值是相同的^[4]。因此, 在每一个 m 序列周期的固定值处产生一个清零信号, 将一个二进制计数器计数到 62 时进行清零, 便得到了一个 63 计数器。

选择特征方程为 $f(x)=x^6+x+1$ 的 m 序列发生器, 其电路如图 3 所示。 por_upb 为 por_up 取反(本文中所有的逻辑门均用负逻辑来表示^[5]), $clru$ 是抓取 con 的上升沿产生的信号, 两个信号相“或非”作为 m 序列的清零信号, 清零时, m 序列的输出 $b[5..0]=000001$ 。一个周期的 m 序列输出为 1、2、5、10、21、...、48、32、0。

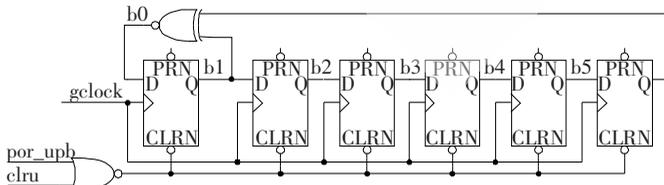


图3 6 bit 的 m 序列发生器

清零信号产生电路如图 4 所示。将 $b5$ 、 $b4$ 、 $b3$ 、 $b2$ 、 $b1$ 、 $b0$ 相“或非”, 当 $b[5..0]=000000$ 时, 输出 xx 为 0, 作为 63 计数器的清零信号, D 触发器用来清除“或非”后产生的毛刺。

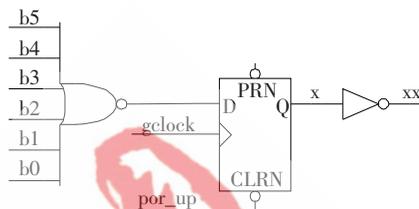


图4 清零信号产生电路

异步计数器在清零时会多出一个状态, 所以利用全加器设计同步 63 计数器, 如图 5 所示。

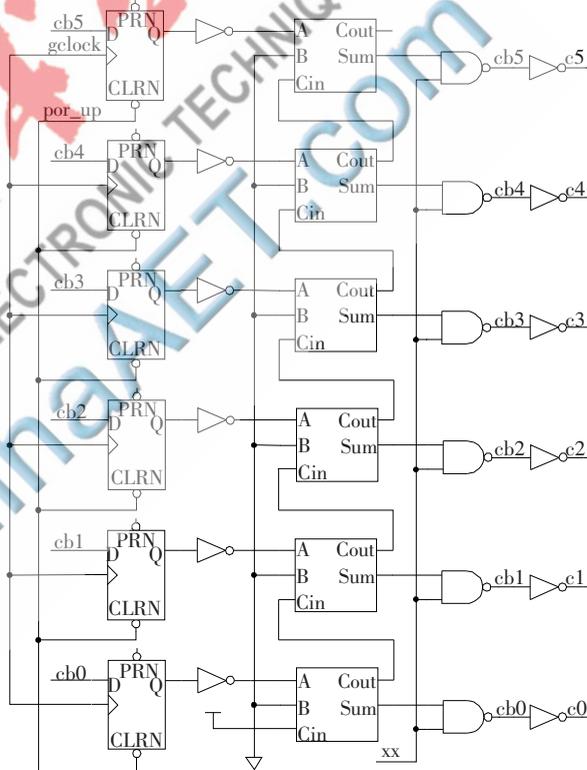


图5 63 计数器

当清零信号 xx 为 0 时, 输出 $c[5..0]=000000$; 当 xx 为 1 时, $c[5..0]$ 加 1 计数, 计数到 62, 计数周期为 63 GCLK。为了和一个完整的 PWM 计数周期同步, 在 con 的下降沿, $c[5..0]$ 必须从 0 开始计数, 其清零是通过控制 m 序列来实现的。在图 3 电路中, m 序列在清零时会多出一个状态, 所以选择 $b[5..0]=000001$ 前一个状态的值, 即 $b[5..0]=000000$ 时来产生 63 计数的清零信号。如图 4 电路所示, D 触发器在清除毛刺的同时延迟了一个周期, 所以在 con 的上升沿时 $xx=0$, $c[5..0]$ 清零。又因为 m 序列在清零时多出一个状态的缘故, 在 64 个 GCLK 之后下一个清零信号 xx 才产生。于是, 在 con 为 1

时, $c[5..0]$ 从 0 计数到 63, 共 64 个 GCLK; 在 con 为 0 时, $c[5..0]$ 从 0 计数到 62, 为 63 个 GCLK。这样一个 PWM 周期为 $64 \times 63 \text{ GCLK} + 1 \times 64 \text{ GCLK} = 4\ 096 \text{ GCLK}$, 从而实现了计数同步。

另外, 根据 m 序列的周期为 63 GCLK 的特性, 将 x 作为计数电路的时钟, 产生高位的计数器, 如图 6 所示。 $clrd$ 为抓取 con 的下降沿后取反获得的信号, 和 por_upb “或非”后对计数器清零。在 con 的下降沿 $c[11..6]$ 从 0 开始计数, 由于时钟 x 的原因, $c[11..6]$ 的每个状态有 63 个 GCLK, 因此, 在 con 为 0 时的 4 032 个 GCLK 就完成了 0 到 63 计数。在 con 为 1 时, LSB 的比较只用到计数器 $n[5..0]$ 的值, 因此此时不需要对 $c[11..6]$ 的数值进行处理, 只需在 con 的下降沿将 $c[11..6]$ 清零, 实现各个计数器之间的同步。

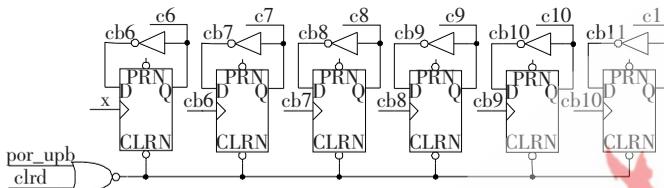


图 6 高位计数电路

2.2 模式选择电路

计数器 $c[11..6]$ 和 $c[5..0]$ 同步, 可以通过对计数器位的选择得到 4 种不同模式的计数电路, 如图 7 所示。

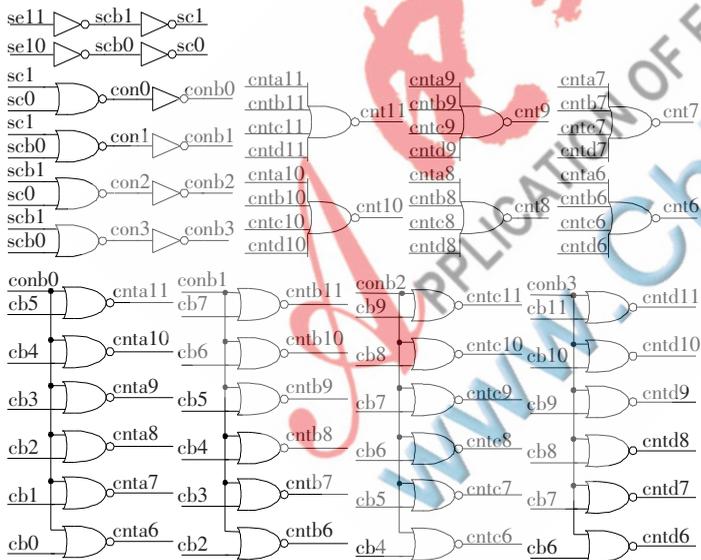


图 7 模式选择电路

当输入信号 $sel[1..0]=00$ 时, $conb0=0$, 此时 $cnt[11..6]=cb[5..0]$, MSB 周期为 63 GCLK, 打散 64 次; 当 $sel[1..0]=01$ 时, $conb1=0$, 此时 $cnt[11..6]=cb[7..2]$, 计数器左移了两位, 频率变为原来的 1/4, MSB 周期为 252 GCLK, 打散 16 次; 当 $sel[1..0]=10$ 时, $conb2=0$, 此时 $cnt[11..6]=cb[9..4]$, 计数器左移了 4 位, 频率变为原来的 1/16, MSB 周期为 1 008 GCLK, 打散 4 次; 当 $sel[1..0]=11$ 时,

$conb3=0$, 此时 $cnt[11..6]=nb[11..6]$, 为 12 bit 计数器的高 6 bit, 进行正常的 PWM 计数, 脉冲未打散。

2.3 比较器

将输入影像数据与计数值进行比较得到占空比不同的输出波形, 从而控制灯的导通时间, 比较器的电路如图 8 所示。

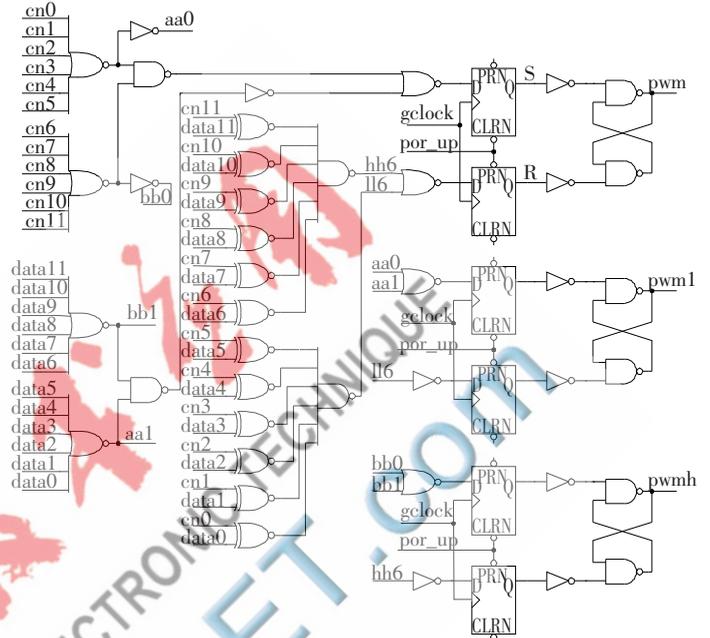


图 8 比较器电路

$cn[11..6]$ 为 12 bit 计数器的高 6 位, 是前面电路中 $cnt[11..6]$ 取反的结果。 $cn[5..0]=n[5..0]$ 为 12 bit 计数器的低 6 bit, $data[11..0]$ 为 12 bit 的输入影像数据, pwm 为脉冲未打散的输出, $pwmh$ 为高 6 bit 的比较结果, $pwm1$ 为低 6 bit 的比较结果。

利用与非门组成的 SR 锁存器特性, 进行输入数据与计数值的比较。 $por_up=0$ 时, D 触发器初始化, $S=0$, $R=1$, 输出 $pwm=0$ 。如输入 $data[11..0]=010011\ 101100$, 当计数值 $cn[11..0]=000000\ 000000$ 时, $S=1$, $R=0$, pwm 输出为 1; $cn[11..0]=000000\ 000001$ 时, $S=0$, $R=0$, pwm 输出保持为 1; 直到 $cn[11..0]=data[11..0]$ 时, $S=0$, $R=1$, 此时, pwm 的输出变为 0。下一个状态时, $S=0$, $R=0$, 输出为 0 并一直保持到一个周期结束。这样就完成了一个 12 bit 的比较, 用同样的方法进行高 6 bit 的比较以及低 6 bit 的比较。

2.4 输出选择电路

最终的输出选择电路如图 9 所示。根据计数模式的

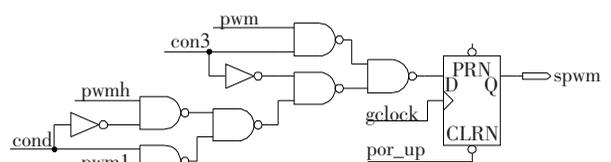


图 9 输出选择电路

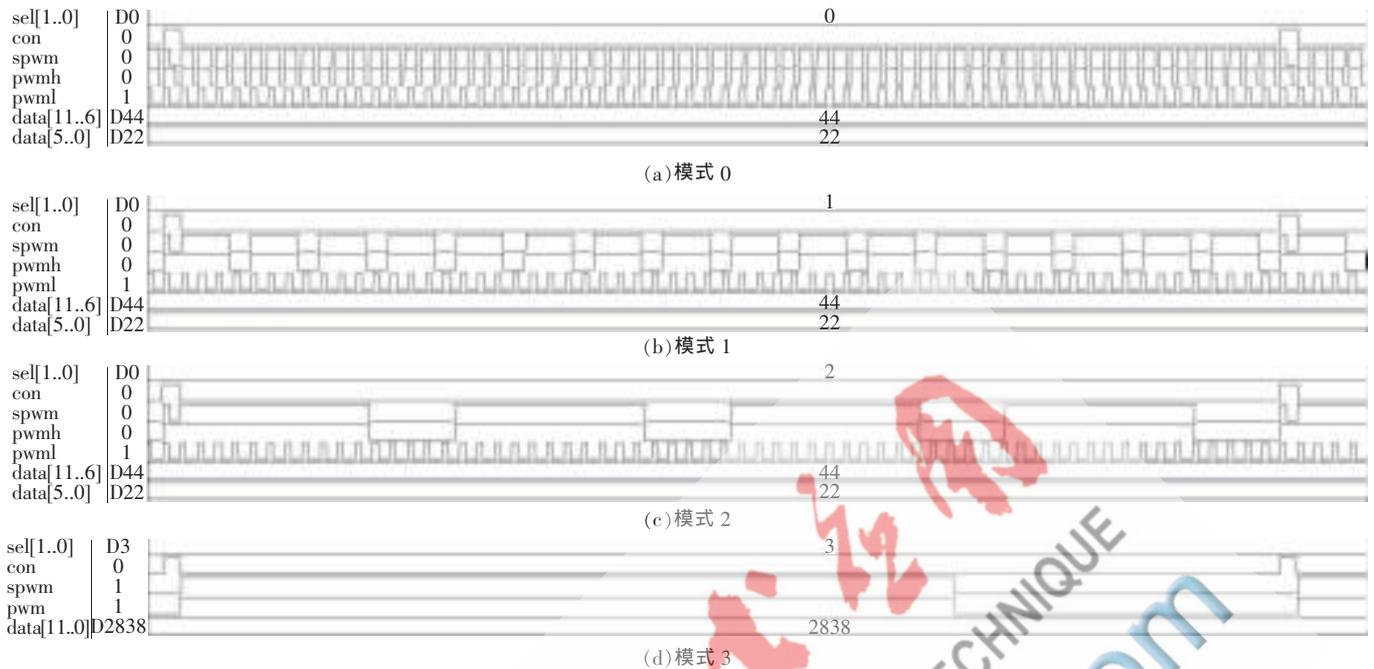


图 10 4 种模式下输出的波形图

不同,从 3 路比较结果中得到 1 路输出。con3 为 1(即模式 3)时,输出为 pwm 的比较结果;con3 为 0(即模式 0、模式 1 或者模式 2)时,若 cond 为 1,则输出 pwmh 的比较结果,若 cond 为 0,则输出 pwml 的比较结果。经过一系列的组合逻辑之后会出现毛刺,因此在最终输出之前加一个 D 触发器,这样就得到了最终的输出 SPWM。

3 仿真结果

图 10 是当输入数据 data[11..0]=101100 010140(十进制为 2 838,高 6 bit 为 44,低 6 bit 为 22)时,4 种计数模式在 MAX+Plus II 下的仿真波形图。

从仿真的波形图可以看出,模式 0、模式 1 和模式 2 在 con 为 0 时 spwm 选择输出 pwmh 的结果,在 con 为 1 的时候 spwm 选择输出 pwml 的结果。它们的 MSB 分别被打散了 64 次、16 次、4 次,也就是将频率分别提高了 64 倍、16 倍、4 倍。模式 3 为正常的 PWM 计数。

目前,LED 驱动芯片中灰度计数时钟频率可达 25 MHz^[6],用传统 PWM 计数的方法,灰度等级为 16 位时,静态扫描刷新率仅为 380 Hz。用打散 64 次的计数方式,灰度等级同样为 16 位,可将灰阶时钟频率降为 4 MHz 的同时刷新率提高到 3.9 kHz。很好地解决了时钟频率与灰度等级的矛盾问题,降低灰阶时钟频率的同时也降低了电磁干扰。

本文设计了用逻辑电路来实现脉冲打散的方法,用 m 序列来产生 63 计数器,同时利用 SR 锁存器实现数据比较。该设计大大降低了电路的复杂程度,用最少的门电路完成设计,使后端的版图面积更小,成本更低。

参考文献

[1] 苏信华.可提高影像刷新率及低电磁干扰的高灰度 LED

驱动芯片[J].现代显示,2007(10):66-68.

[2] Macroblock. MBI5031 preliminary datasheet v2.00[Z].2006.

[3] Wu Bin, Zhang Pu. Algorithm of dispersed PWM and dynamic refresh mode for LED display[C]. 2011 International Conference on Control, Automation and System Engineering (CASE), 2011: 1-3.

[4] 樊昌信,曹丽娜.通信原理(第六版)[M].北京:国防工业出版社,2007.

[5] [日]小林芳直.数字逻辑电路的 ASIC 设计[M].北京:科学出版社,2004.

[6] SVILAINIS L. LED brightness control for video display application[J]. Displays, 2008,29(6):506-511.

(收稿日期:2012-09-11)

作者简介:

高立民,男,1988 年生,硕士研究生,主要研究方向:专用集成电路设计。

王卫东,男,1956 年生,教授,主要研究方向:模拟集成电路设计、电流模式技术。