

## 一种工作在亚阈值区的 CMOS 基准电压源设计\*

王元发, 魏全, 傅兴华

(贵州大学 贵州省微纳电子与软件技术重点实验室, 贵州 贵阳 550025)

**摘要:** 提出了一种在低电源电压下工作的 CMOS 电压基准源, 其基准电路采用工作在亚阈值区的 nMOS 晶体管和自偏置的共源共栅晶体管组合, 该电路基准电流产生部分采用两个负反馈回路, 确保了基准电流的稳定性。该电路采用标准的 0.5  $\mu\text{m}$  CMOS 工艺, 用 Cadence 中的 Spectre 仿真。在 fs 工艺角下, 27  $^{\circ}\text{C}$  时基准电压为 1.52 V, 在 120  $^{\circ}\text{C}$  范围内 (-20  $^{\circ}\text{C}$ ~100  $^{\circ}\text{C}$ ) 的温度系数可低至 31.33 ppm/ $^{\circ}\text{C}$ 。

**关键词:** CMOS 电压基准源; 低电源电压; 亚阈值; 自偏置共源共栅; 温度系数

中图分类号: TN432

文献标识码: A

文章编号: 1674-7720(2013)04-0027-03

## Design of CMOS process reference voltage in subthreshold region

Wang Yuanfa, Wei Quan, Fu Xinghua

(Guizhou Provincial key Lab. for Micro-Nano-Electronics and Software, Guizhou University, Guiyang 550025, China)

**Abstract:** This paper presents a CMOS voltage reference circuit operating at a low supply voltage. The reference circuit is a combination of nMOS transistors operating in subthreshold region and self-cascode configuration transistors. In order to ensure the stability of the reference current, two negative feedback loops are used for the current generating circuit. The circuits are designed and simulated in a standard 0.5  $\mu\text{m}$  CMOS process by using spectre in Cadence. The output voltage is 1.52 V at 27  $^{\circ}\text{C}$  and the measured results have shown temperature coefficient as low as 31.33 ppm/ $^{\circ}\text{C}$  range of 120  $^{\circ}\text{C}$  (-20  $^{\circ}\text{C}$ ~100  $^{\circ}\text{C}$ ) in fs process corner.

**Key words:** CMOS voltage reference; low supply voltage; subthreshold region; self-cascode; temperature coefficient

基准电压源和电流源电路是模拟和混合信号集成电路的基本单元模块, 广泛应用在模数转换器(ADC)、数模转换器(DAC)、LDO、DC-DC、PLL、DRAM 存储器、闪存存储器等移动通讯电路中。低压低功耗已成为集成电路的必然发展方向, 传统的带隙基准源结构中的电阻和双极型晶体管对低压低功耗中的小电流难以实现小面积的芯片, 且在标准 CMOS 工艺中不便于集成, 本文采用无运放的全 CMOS 工艺, 利用工作在亚阈值区的 nMOS 晶体管设计电压基准源, 可满足低压低功耗、低温度系数及低噪声的性能。

## 1 传统带隙基准源设计原理

传统带隙基准电压源是由负温度系数的双极型晶体管  $V_{BE}$  和正温度系数的热电压  $V_T$  两个模块实现零温度系数。典型的带隙基准电压源如图 1 所示。

二极管连接的 Q2 的发射区面积是 Q1 的  $n$  倍。理想运算放大器使 X、Y 两点电压相等, 所以有  $V_{BE1} = V_{BE2} + IR_2$ , 故  $V_{out} = V_{BE2} + (V_T \ln n)(1 + R_3/R_2)$ , 通过调整  $R_3/R_2$  比值

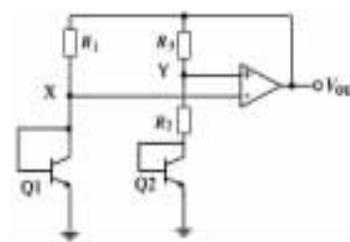


图 1 典型带隙基准电压源

可以得到零温度系数的基准电压。但传统带隙基准源由于大面积的电阻和运算放大器使其占用芯片面积大<sup>[1-2]</sup>。虽然在  $n$  阱 CMOS 工艺中可以制作 PNP 晶体管, 但不便于在标准 CMOS 工艺中集成。因此本文分析并设计了一款工作在亚阈值区的 CMOS 基准电压源, 具有低压低功耗、芯片面积小、温度系数低等特性。

## 2 栅源电压与温度关系及电路分析

$N$  沟道 MOSFET 的亚阈值电流可表示为<sup>[3-4]</sup>:

$$I_D = \frac{W}{L} \mu_n C_d \left( \frac{KT}{q} \right)^2 \exp \frac{q}{KT} \left( \frac{V_{GS} - V_{th}}{n} \right) \cdot [1 - \exp \left( \frac{qV_{DS}}{KT} \right)] \quad (1)$$

\* 基金项目: 贵州大学研究生创新基金资助项目(理工 2012018)

硬件纵横

Hardware Technique

其中,  $n=1+C_d/C_{ox}, C_{ox}$  为栅氧化层电容,  $C_d$  为耗尽层电容,  $\mu_n$  为载流子迁移率,  $KT/q$  为热电势,  $V_{th}$  为阈值电压。当  $V_{DS} \gg V_T$  时, 有:

$$I_D = \frac{W}{L} \mu_n C_d \left( \frac{KT}{q} \right)^2 \exp \frac{q}{KT} \left( \frac{V_{GS} - V_{th}}{n} \right) \quad (2)$$

令  $I_0 = \mu_n C_d \left( \frac{KT}{q} \right)^2$ , 所以:

$$I_D = \frac{W}{L} I_0 \exp \left( \frac{V_{GS} - V_{th}}{n V_T} \right) \quad (3)$$

由(2)式得:

$$V_{GS} = V_{th} + \frac{nKT}{q} \ln \frac{I_D}{\frac{W}{L} \mu_n C_{ox} \left( \frac{KT}{q} \right)^2} \quad (4)$$

由于载流子迁移率与温度的关系为:

$$\mu_n = \mu(T_0) \left( \frac{T}{T_0} \right)^{-m} \quad (5)$$

其中,  $m$  是与工艺有关的 1~2 之间的系数, 取  $m$  等于 2, 将式(5)代入式(4), 并对温度求导得:

$$\frac{dV_{GS}}{dT} = \frac{dV_{th}}{dT} + \frac{nK}{q} \ln \left[ \frac{L}{W} \left( \frac{q}{K} \right)^2 \frac{I_D(T_0)^2}{n\mu(T_0)C_{ox}} \right] \quad (6)$$

由于  $\frac{L}{W} \left( \frac{q}{K} \right)^2 \frac{I_D(T_0)^2}{n\mu(T_0)C_{ox}} \ll 1$ , 所以式(6)右边第二项

为负, 又由于  $\frac{dV_{th}}{dT} \approx -1.2 \text{ mV}/^\circ\text{C}$ , 所以亚阈值区的 nMOS

晶体管的栅源电压  $V_{GS}$  具有负的温度系数<sup>[5-7]</sup>。在 Cadence 中用 Spectre 仿真二极管形式连接的 nMOS 晶体管, 其漏极电流在 100 nA~1 μA 时, 温度系数约为 -1.5 mV/°C。本文设计的基准电流为 200 nA, 并设  $\frac{dV_{GS}}{dT} = -1.5 \text{ mV}/^\circ\text{C}$ 。

两个同样晶体管的栅源电压差为:

$$\Delta V_{GS} = V_{GS2} - V_{GS1} = \frac{nKT}{q} \ln \frac{I_{D2} \left( \frac{W}{L} \right)_1}{I_{D1} \left( \frac{W}{L} \right)_2} \quad (7)$$

由于  $\frac{d\Delta V_{GS}}{dT} = \frac{nK}{q} \ln \frac{I_{D2} \left( \frac{W}{L} \right)_1}{I_{D1} \left( \frac{W}{L} \right)_2}$  为正, 即两个同样晶体管的

栅源电压差具有正的温度系数。

由以上分析可得知, 将具有负温度系数的栅源电压  $V_{GS}$  与具有正温度系数的  $\Delta V_{GS}$  两个模块电路组合可得到零温度系数基准源。本文设计的基准电压源如图 2 所示。

图 2 中 MS1~MS3 为启动电路, M1 到 M8 产生基准电流  $I_{PTAT}$ , M1、M2、M7 工作在亚阈值区, M3、M4、M5、M6 工作在饱和区, M8 工作在深线性区。设 M8 的线性电阻为  $R_M$ , 所以:

$$I_{PTAT} = \frac{V_{GS2} - V_{GS1}}{R_M} = \frac{nKT}{qR_M} \ln \frac{I_{D2} \left( \frac{W}{L} \right)_1}{I_{D1} \left( \frac{W}{L} \right)_2} \quad (8)$$

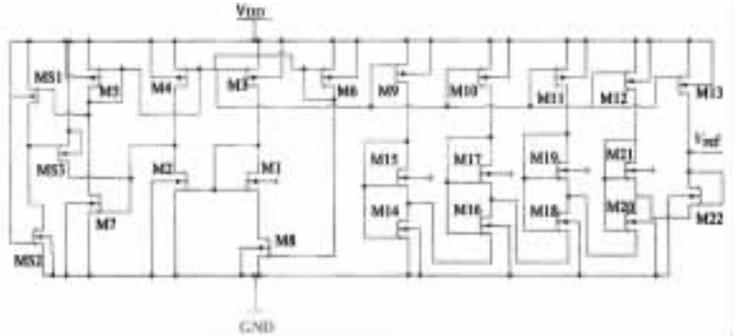


图 2 基准电压源电路

其中, M1、M2、M3、M4、M5、M7 形成负反馈回路, 同样 M1、M3、M6、M8 也形成负反馈回路, 使  $I_{D1} = I_{D2} = I_{PTAT}$ , 同时两个负反馈回路保证了基准电流的稳定性, M9~M13 分别镜像基准电流, M14~M21 均工作在亚阈值区, 由 4 个串联的自偏置的共源共栅电路组成。以 M14、M15 为

例,  $(V_{GS14} - V_{GS15}) = V_{DS14} = \frac{nKT}{q} \ln \frac{I_{D14} \left( \frac{W}{L} \right)_{15}}{I_{D15} \left( \frac{W}{L} \right)_{14}}$ , 串联的自偏置

的共源共栅电路具有正的温度系数<sup>[8-11]</sup>。二极管形式连接的 M22 工作在亚阈值区, 其漏源电压具有负的温度系数, 所以:

$$\begin{aligned} V_{ref} &= V_{DS14} + V_{DS16} + V_{DS20} + V_{GS22} \\ &= \frac{nKT}{q} \ln \frac{I_{D14} \left( \frac{W}{L} \right)_{15}}{I_{D15} \left( \frac{W}{L} \right)_{14}} \cdot \frac{I_{D16} \left( \frac{W}{L} \right)_{17}}{I_{D17} \left( \frac{W}{L} \right)_{16}} \cdot \frac{I_{D19} \left( \frac{W}{L} \right)_{19}}{I_{D18} \left( \frac{W}{L} \right)_{18}} \\ &\quad \cdot \frac{I_{D20} \left( \frac{W}{L} \right)_{21}}{I_{D21} \left( \frac{W}{L} \right)_{20}} + V_{GS22} \end{aligned} \quad (9)$$

由图 2 可知  $I_{D15} = I_{D9}, I_{D17} = I_{D10}, I_{D19} = I_{D11}, I_{D21} = I_{D12}, I_{D22} = I_{D13}, I_{D14} = I_{D9} + I_{D10} + I_{D11} + I_{D12} + I_{D13}, I_{D16} = I_{D10} + I_{D11} + I_{D12} + I_{D13}, I_{D18} = I_{D11} + I_{D12} + I_{D13}, I_{D20} = I_{D12} + I_{D13}$ 。令  $\left( \frac{W}{L} \right)_i = S_i$ , 整理式(9)可得到:

$$\begin{aligned} V_{ref} &= \frac{nKT}{q} \ln \left[ \frac{\left( \sum_{i=9}^{13} S_i \right) S_{17}}{S_{14} S_9} \cdot \frac{\left( \sum_{i=10}^{13} S_i \right) S_{17}}{S_{17} S_{10}} \cdot \frac{\left( \sum_{i=11}^{13} S_i \right) S_{19}}{S_{19} S_{11}} \right. \\ &\quad \left. \cdot \frac{\left( \sum_{i=12}^{13} S_i \right) S_{21}}{S_{20} S_{12}} \right] + V_{GS22} \end{aligned} \quad (10)$$

将式(10)对温度求导并令其式为 0, 可以得到零温度系数的基准电压, 同时由于  $\frac{dV_{GS22}}{dT} = -1.5 \text{ mV}/^\circ\text{C}$ , 所以有:

$$\begin{aligned} \frac{nK}{q} \ln \left[ \frac{\left( \sum_{i=9}^{13} S_i \right) S_{17}}{S_{14} S_9} \cdot \frac{\left( \sum_{i=10}^{13} S_i \right) S_{17}}{S_{17} S_{10}} \cdot \frac{\left( \sum_{i=11}^{13} S_i \right) S_{19}}{S_{19} S_{11}} \right. \\ \left. \cdot \frac{\left( \sum_{i=12}^{13} S_i \right) S_{21}}{S_{20} S_{12}} \right] &= 1.5 \text{ mV} \end{aligned} \quad (11)$$

## 硬件纵横

Hardware Technique

通过调整式(11)中各  $S_i$  的比例系数可以得到零温度系数的基准电压。

## 3 仿真结果及其分析

本论文设计的电路基于 CSMC 的  $0.5 \mu\text{m}$  CMOS 工艺,采用 Cadence 中的 Spectre 仿真器仿真。图 3 左边表示电源电压为  $2.5 \text{ V}$  且温度范围为  $-20^\circ\text{C} \sim 100^\circ\text{C}$  时,分别在 ss、sf、tt、fs、ff 工艺角下的输出电压与温度的关系;图 3 右边表示在温度范围为  $-20^\circ\text{C} \sim 100^\circ\text{C}$  时,各工艺角下的温度系数。表 1 为不同工艺角下的基准电压和温度系数值。

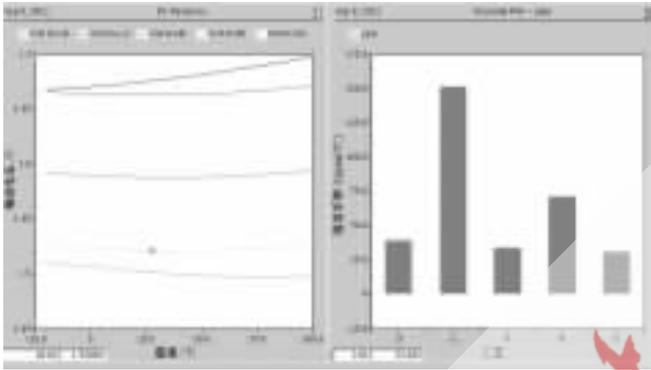


图 3 不同工艺角下基准电压与温度关系及温度系数图形

表 1 不同工艺角下的基准电压和温度系数

工艺角	基准电压/V(27℃)	温度系数/(ppm/℃)
ss	1.575	151.8
sf	1.663	39.31
tt	1.587	34.06
fs	1.520	31.33
ff	1.501	71.41

由图 3 和表 1 分析得出:在 fs 工艺角下,当温度为  $27^\circ\text{C}$  时输出基准电压为  $1.52 \text{ V}$ ,其温度系数最低为  $31.33 \text{ ppm}/^\circ\text{C}$ 。图 4 为频率在  $20 \text{ Hz} \sim 100 \text{ kHz}$  内,基准电压源的输出噪声;图 5 为各 MOS 器件的噪声及所占总噪声的比例,其中  $f_n$  表示 MOS 管闪烁噪声,  $i_d$  表示 MOS 管热噪声,总输出噪声为  $0.00379645 \text{ V}$ 。从仿真结果看出,基准电压源的输出噪声主要由 M1、M2 的闪烁噪声构成。由于 MOS 管的闪烁噪声可以用电压源近似模拟,

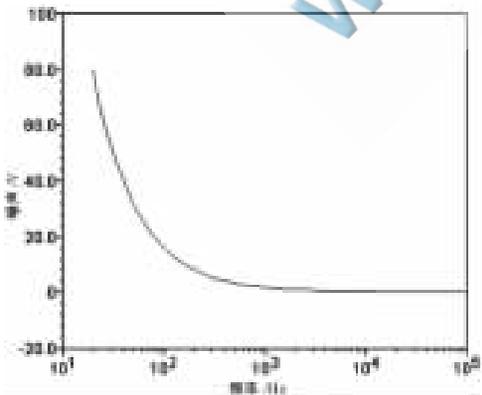


图 4 噪声分析仿真结果

Device	Param	Noise Contribution	% of Total
M1	fn	0.0021829	33.17
M2	fn	0.00197675	27.11
M11	fn	0.00113133	6.27
M16	fn	0.00109485	6.30
M17	fn	0.00107803	6.27
M13	fn	0.00106493	7.87
M22	fn	0.00092831	4.69
M20	fn	0.00088833	1.67
M10	fn	0.00077871	0.88
M14	fn	0.00073437	0.68
M18	fn	0.00071962	0.22
M9	fn	0.00058739	0.12
M7	fn	0.00056456	0.38
M2	id	0.000796-02	0.05
M9	id	8.4409e-05	0.05
M1	id	7.8410e-05	0.04
M16	id	6.1926e-05	0.03
M13	id	4.1373e-05	0.01
M17	id	3.5134e-05	0.00
M22	id	1.9924e-05	0.00

图 5 基准电压源的输出噪声

其噪声的表达式为:  $\overline{V_n^2} = \frac{k'}{C_{ox}WL} \frac{1}{f}$ , 式中  $k'$  是与工艺有关的常数<sup>[1]</sup>, 所以等比例增加 M1、M2 的宽长可以减小噪声,但同时增加了芯片面积,在实际应用中需要折中考虑。

本文设计了一种工作在亚阈值区的全 CMOS 基准电压源,满足低压低功耗的集成电路发展要求。该电路基准电流产生部分采用两个负反馈回路,确保了基准电流的稳定性。工作在亚阈值区的 nMOS 管,利用具有负温度系数和正温度系数的两个晶体管的栅源电压差得到零温度系数的基准电压。该电路采用标准的  $0.5 \mu\text{m}$  CMOS 工艺,用 Cadence 中的 Spectre 仿真。电源电压为  $2.5 \text{ V}$ , 实验表明在 fs 工艺角下具有较好的性能,  $27^\circ\text{C}$  时基准电压为  $1.52 \text{ V}$ , 在  $120^\circ\text{C}$  范围内 ( $-20^\circ\text{C} \sim 100^\circ\text{C}$ ) 的温度系数可低至  $31.33 \text{ ppm}/^\circ\text{C}$ 。该基准电压源可应用于便携式电子产品中。

## 参考文献

- [1] RAZAVI B. 模拟 CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2003.
- [2] ALLEN P E, HOLBERG D R. CMOS 模拟集成电路设计[M]. 北京: 电子工业出版社, 2007.
- [3] 陈星弼, 张庆中. 晶体管原理与设计[M]. 北京: 电子工业出版社, 2007.
- [4] 邹雪城. 低压低功耗 CMOS 基准参考源的设计[D]. 武汉: 华中科技大学, 2006.
- [5] KOUSHAELIAN L, MUKTAMATH V, GHAFARIL B, et al. Design of low-power bandgap reference voltage circuit for epi-retinal prosthesis[C]. Proceedings of the 6th International Conference on Broadband Communications & Biomedical Applications, Melbourne, Australia, 2011: 236-239.
- [6] Zhang Hao, Zhang Yimeng, Huang Mengshu, et al. CMOS low-power subthreshold reference voltage utilizing self-biased body effect[C]. ASIC (ASICON), 2011 IEEE 9th International Conference, Japan, 25-28 Oct. 2011: 516-519.
- [7] COLOMBO D, WELE F, WIRTH G, et al. A CMOS  $25.3 \text{ ppm}/^\circ\text{C}$  bandgap voltage reference using self-cascade

- composite transistor[C]. Circuits and Systems, LASCAS 2012,3:1-4.
- [8] HIROSE T, UENO K, KUROKI N, et al. A CMOS band-gap and sub-bandgap voltage reference circuits for nano-watt power LSIs[C]. IEEE Asian Solid-State Circuits Conference, Beijing, China, November 8-10,2010.
- [9] DUALIBE C. Novel MOSFET-only bandgap voltage reference[C]. Circuits and Systems, ISCAS 2010:1639-1642.
- [10] Yang Yi, BINKLEY D M, Lu Yi, et al. All-CMOS sub-bandgap reference circuit operating at low supply voltage [J]. Circuits and Systems, ISCAS 2011:893-896.
- [11] ANDREOU C M, KOUDOUNAS S, GEORGIU J, et al.

A novel widetemperature-range, 3.9 ppm/°C CMOS band-gap reference circuit[J]. Solid-State Circuits,2012,47(2): 574-581.

(收稿日期:2012-11-26)

作者简介:

王元发,男,1984年生,硕士研究生,主要研究方向:CMOS 射频/模拟集成电路设计。

魏全,男,1987年生,硕士研究生,主要研究方向:CMOS 模拟集成电路设计。

傅兴华,男,1948年生,教授,主要研究方向:微电子学与固体电子学。

