

DCT 硬件实现的通用性探究

吴炜炜, 岑峰

(同济大学 电子与信息工程学院, 上海 201804)

摘要: 在分析了 DCT 的原理以及采用蝶形快速算法的实现方法的基础上, 提出一种可以实现不同尺寸模块调用的方法。为了达到减少硬件实现上复杂度的目的, DCT 处理器采用模块化的思想, 将系统划分为不同的功能模块, 这样在提高硬件电路通用性的同时增强了 DCT 在实际应用中的灵活性。使用 Verilog HDL 硬件描述语言进行参数化 RTL 级描述, 在 SUSE Linux 环境下的 NC-Launch 软件上进行仿真验证。实验验证了所设计模块功能上的正确性。在应用中, 本设计能提高硬件电路的通用性和 DCT 的灵活性。

关键词: 离散余弦变换; 大规模集成电路; IP 核; Verilog HDL

中图分类号: TP37

文献标识码: A

文章编号: 1674-7720(2013)03-0035-03

Exploration of versatility for DCT hardware implementation

Wu Weiwei, Cen Feng

(School of Electronics and Information Engineering, Tongji University, Shanghai 201804, China)

Abstract: The paper analyzes the principle of the DCT and the fast papilionaceous algorithm, and proposes a method that can call inodes with different size. With hierarchy and modularization idea, the system is divided into some function modules that can reduce the complexity of the hardware implementation. The whole design is implemented by Verilog HDL and simulated in NC-Launch on SUSE Linux. The results indicate that the functional verification of the module is correct. This design enhances the versatility of the hardware circuit and the flexibility of DCT in the application.

Key words: DCT; large scale integration; IP core; Verilog HDL

信息化时代的到来, 伴随着现代电子技术的高速发展, 人们在日常生活和工作中对于视频/图像的实时图像处理能力提出了更高的要求, 这就使得如何能够去除有限空间内信息之间的重复, 从而提升资源的利用率变得尤为重要。图像和视频是多媒体系统的重要组成部分, 随着高清电视在日常生活中的日益普及, 使得如何利用当前有限的存储空间和网络带宽来承载下一代高清视频变得极其重要, 这也就要求有新一代具有更高压缩效率的视频编解码标准出现。离散余弦变换(DCT)模块是其中重要的组成部分。

DCT 是数字图像处理和压缩编码领域最常用的变换之一, 是当前最流行的静态图像压缩标准 JPEG、动态图像压缩标准 MPEG、H.264 以及 HEVC (制定中) 标准的核心部分。DCT 因其具有对变换信号的紧缩有效性、独立于信号本身的变换基以及变换后的系数游程编码独具优势, 通过 DCT 变换可以有效去除帧内和帧间的

冗余信息。在一幅图像中, 像素之间的灰度或色差信号变换缓慢, 导致在子块中像素之间的相关性很强。DCT 是一种正交变换, 实现从时域到频域的转换, 从而去除掉时域中数据之间的相关性, 使变换后系数的能量相对集中, 有利于量化后对变换系数采用游程编码和 Huffman 编码, 从而实现图像的压缩处理。伴随着 DCT 变换应用的普及, 为进一步减少图像失真的同时提高变换速度, 整型 DCT 变换应运而生。整型 DCT 变换通过计算 DCT 浮点变换的整数可逆矩阵分解, 从而得到可以整数实现的可逆矩阵变换, 再利用得到的分解矩阵依次对图像样本宏块进行变换, 最后将变换得到的系数用多种高效的编码方法进行编码。

本文通过研究 8×8 矩阵 DCT 变换的实现, 对 4×4 整数 DCT 算法进行对比研究, 对设计进行参数化 RTL 级描述并验证, 为实现下一代视频编解码标准(HEVC)的 DCT 模块不同大小宏块(16×16 和 32×32)的通用性做好

前期准备。

1 DCT 变换的基本原理

二维 N 点离散余弦变换的基本公式为：

$$F(u, v) = \frac{2}{N} C(u) C(v) \left[\sum_{x=0}^{N-1} \sum_{y=0}^{N-1} f(x, y) \cos \frac{(2x+1)u\pi}{2N} \cos \frac{(2y+1)v\pi}{2N} \right] \quad (1)$$

其中, $u, v \in [0, N-1]$, 当 $u=v=0$ 时, $C(u)=C(v)=\frac{1}{\sqrt{2}}$;

当 $u=v \neq 0$ 时, $C(u)=C(v)=1$ 。 $f(x, y)$ 是 $N \times N$ 图像块中第 i 行第 j 列元素, $F(u, v)$ 是 DCT 变换后的元素。

在硬件实现过程中, 通常将二维 DCT 变换通过两次一维 DCT 变换来实现, 一维 N 点离散余弦变换的基本公式为：

$$Y(k) = C_k \sqrt{\frac{2}{N}} \sum_{n=0}^{N-1} y(n) \cos \frac{(2n+1)k\pi}{2N} \quad (2)$$

$$y(n) = \sum_{k=0}^{N-1} C_k \sqrt{\frac{2}{N}} Y(k) \cos \frac{(2n+1)k\pi}{2N} \quad (3)$$

其中, $n, k=0, 1, 2, \dots, N-1$ 。当 $k=0$ 时, $C_0=\frac{1}{\sqrt{2}}$; 当 $k \neq 0$ 时, $C_k=1$ 。

2 设计思想与理论研究

目前有关 DCT 算法的硬件实现主要是基于分布式^[1]算法 (DA) 和蝶形算法的硬件实现。DA 算法的原理是将固定的比例系数和数结合到查找表中, 利用多重查找表执行计算, 在硬件实现上采用流水线设计技术, 将二维 DCT 的实现转化为两个一维 DCT 实现, 采用查表、移位和加法逻辑来实现乘法运算, 很大程度上提高了运算速度。本文正是利用了 DCT 中预先系数固定的特点^[2], 将相应的输入数据的乘法计算好并存储于 ROM 中, 利用 ROM 和累加器代替乘法器。乘法器的引入将导致面积的增加, 不利于布局布线, 且乘法所用时间大约是为进行乘法而准备所用时间的两倍^[3]。因此, 利用 ROM 和累加器代替乘法器的设计使其结构紧凑、规则、精度高且易于布局和布线。

对于二维 8×8 浮点型 DCT 变换^[4], 输入的变换矩阵为 F , 则变换后的矩阵 $W=NFN^T$, 其中 N 为系数矩阵：

$$N = \begin{bmatrix} A & A & A & A & A & A & A & A \\ B & D & E & G & -G & -E & -D & -B \\ C & F & -F & -C & -C & -F & -F & C \\ D & -G & -B & -E & E & B & G & -D \\ A & -A & -A & A & A & -A & -A & A \\ E & -B & G & D & -D & -G & B & -E \\ F & -C & C & -F & -F & C & -C & F \\ G & -E & D & -B & B & -D & E & -G \end{bmatrix} \quad (4)$$

其中, $A = \frac{1}{2} \cos \frac{0\pi}{16}$, $B = \frac{1}{2} \cos \frac{\pi}{16}$, $C = \frac{1}{2} \cos \frac{2\pi}{16}$, $D = \frac{1}{2} \cos \frac{3\pi}{16}$, $E = \frac{1}{2} \cos \frac{5\pi}{16}$, $F = \frac{1}{2} \cos \frac{6\pi}{16}$, $G = \frac{1}{2} \cos \frac{7\pi}{16}$ 。

对于二维 4×4 矩阵 DCT 变换, 输入的变换矩阵为 X , 则变换后的矩阵 $Y=M \times M^T$, 其中 M 为系数矩阵：

$$M = \begin{bmatrix} a & a & a & a \\ b & c & -c & b \\ a & -a & -a & a \\ c & -b & b & -c \end{bmatrix}$$

其中, $a = \frac{1}{2}$, $b = \sqrt{\frac{1}{2}} \cos \frac{\pi}{8}$, $c = \sqrt{\frac{1}{2}} \cos \frac{3\pi}{8}$ 。

而在实际设计中常用另一种形式: $Y=(C \times C^T)E_x$ 。其

$$E_x = \begin{bmatrix} a^2 & ab & a^2 & ab \\ ab & b^2 & ab & b^2 \\ a^2 & ab & a^2 & ab \\ ab & b^2 & ab & b^2 \end{bmatrix}$$

和卷积的运算通常放到后面

的量化部分, 从而使 DCT 的变换只有加法和移位的运算^[5]。在设计中, 用 ROM 和累加器代替乘法器的方法来降低运算的复杂度。

图 1 和图 2 分别为 4×4 矩阵 DCT 和 8×8 矩阵 DCT 的蝶形算法结构图。

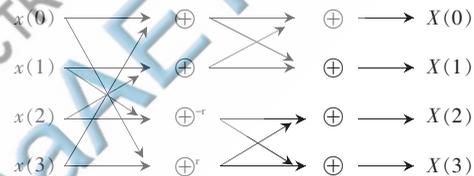


图 1 4×4 矩阵 DCT 蝶形算法

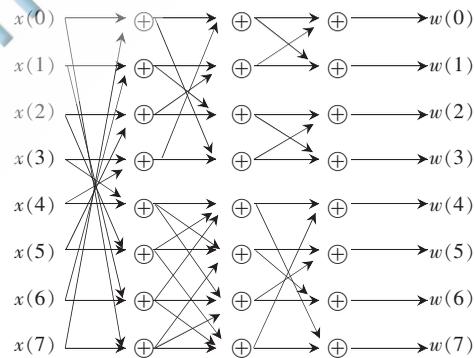


图 2 8×8 矩阵 DCT 蝶形算法

由图 1 和图 2 可知, 使输入的数据不经过 8×8 算法的第 1 级和加法的运算而直接进入第 2 级结构进行移位运算, 可以通过多次调用更小规模模块的方式来实现模块之间的复用。而分别将不同模块的离散余弦变换系数存放于不同的 ROM 中, 适用于拥有大量 ROM 结构的 FPGA 中, 这对于在制定中的新一代视频编解码标准 HEVC 中不同大小输入矩阵的通用性有很强的实用价值, 可以通过多次调用更小规模模块的方式减小硬件模块的面积并增强了复用性和通用性。

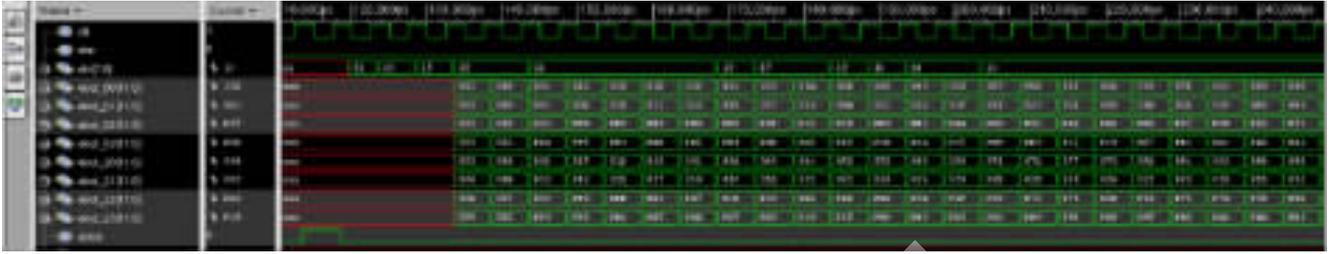


图3 8×8 矩阵信号仿真图



图4 4×4 矩阵信号仿真图

3 设计验证和实验结果

本文采用层次化、模块化的思想,将设计划分为多个功能模块,并对硬件设计采用了流水线技术,采用 Verilog HDL 硬件描述语言,并采用 Cadence 公司的 NC-Launch 和 Xilinx ISE 对设计进行仿真验证和综合。

当输入相同数据时,通过设计的 8×8 矩阵 DCT 变换和调用 4×4 矩阵^[6]得到的仿真结果如图 3 和图 4 所示。对比图 3 和图 4 可知,通过多次调用矩阵 DCT 模块可以实现矩阵的 DCT 变换,且结果相同。

传统实现与模块调用方式所耗资源对比如图 5 所示。

IO Utilization:			
Number of bonded IOBs:	161 out of 860	19%	
Specific Feature Utilization:			
Number of MUXF8K/MUXF8KLEs:	1 out of 32	3%	
Number used as SURF:	1		
Number of DSP48Es:	44 out of 204	22%	
Peak Memory Usage: 870 KB			
Total REAL time to NAF completion:	4 mins 57 secs		
Total CPU time to NAF completion:	4 mins 36 secs		
Number of Slice LUTs:		955 out of 122880	1%
Number of Slice LUT-Flip Flop pairs:		367 out of 61440	1%
IO Utilization:			
Number of bonded IOBs:	161 out of 860	19%	
Specific Feature Utilization:			
Number of MUXF8K/MUXF8KLEs:	1 out of 32	3%	
Number used as SURF:	1		
Number of DSP48Es:	44 out of 204	22%	
Peak Memory Usage: 866 KB			
Total REAL time to NAF completion:	1 min 9 secs		
Total CPU time to NAF completion:	59 secs		
Number of Slice LUTs:		48 out of 122880	0%
Number of Slice LUT-Flip Flop pairs:		20 out of 61440	0%

图5 传统实现所消耗的资源与模块调用的方式所消耗资源对比

针对以上提出的设计,用 Xilinx 公司的 ISE 10.1 在 Virtex V 系列 FPGA 上进行综合、布局布线后可以看出,在实现通用性的同时能够有效地减少芯片的面积和占用的资源,并在芯片的运行速度上有所提升。

本文采用的层次化、模块化、将设计划分为多个功能模块的思想,便于在硬件实现上通过模块的调用达到减小面积的作用。鉴于 DCT 在图像压缩中的广泛应用,将 DCT 的硬件实现应用于新标准的不同大小输入矩阵数据具有广泛的应用前景。由于 DCT 算法计算量宏大,怎样在硬件实现过程中减少乘法器^[7]的数目(理论上的

最小值是 11 个乘法器),对于减少硬件面积成本和降低复杂程度也有很大的研究价值,随之带来的芯片面积减少、低电压、低复杂度和低延时等优点都具有较强的实际研究价值。

参考文献

- [1] EL-BANNA H, EL-FATTAH A, FAKHR W. An efficient implementation of the 1D DCT using FPGA technology[C]. Engineering of Computer Based Systems: Proceedings of 11th IEEE International Conference and Workshop, 2004: 356-360.
- [2] 李跃新,张吉烈.二维 DCT 并行流水线算法及 FPGA 的实现[J].贵州大学学报(自然科学版),2009(4):82-83.
- [3] 郭宝增,牟力,刘志明.基于 Loeffler 算法的 2-D DCT IP 软核设计[J].微电子学与计算机,2011(2):136-139.
- [4] Jiang Chan, Yu Ningmei, Gu Meihua. A novel VLSI architecture of 8×8 integer DCT based on H.264/AVC FRex[C]. Proceedings of 2010 Third International Symposium on Knowledge Acquisition and Modeling, 2010.
- [5] 郁光珍,郑博,李松亭,等.H.264/AVC 整数 DCT 变换与量化的 FPGA 实现[J].电视技术,2011(9):20-22.
- [6] 陈宝远,吴孟泽,张清喜,等.H.264 标准中整数 DCT 图像压缩算法的优化及实现 [J]. 哈尔滨理工大学学报,2009(5):27-30.
- [7] THOUDAM V P S, BHAUMIK B, CHATTERJEE S. Ultra low power implementation of 2-D DCT for image/video compression [C]. 2010 International Conference on Computer Applications and Industrial Electronics (ICCAIE), 2010: 532-536.

(收稿日期:2012-11-29)

作者简介:

吴炜炜,男,1984 年生,硕士研究生,主要研究方向:视频编解码。

岑峰,男,1972 年生,男,博士,副教授,主要研究方向:视频编解码标准的研究和整理。

《微型机与应用》2013 年第 32 卷第 3 期