

基于 DSP Builder 的插值滤波器的设计及 FPGA 实现*

杨守良, 杨保亮

(重庆文理学院 电子电气工程学院, 重庆 402160)

摘要: 在数字接收机中, 通常需要对采样的数据进行一定倍数的插值。采用 Altera 公司的 DSP Builder 设计工具, 在 MATLAB/Simulink 中建立相应的算法模型并仿真。通过引入回路硬件模块, 将硬件平台接入由 Simulink 构建的仿真测试回路中进行软硬件协同仿真, 最后可以直接生成 FPGA 的下载文件。该方法简化了设计流程, 降低了开发成本和周期, 具有广阔的应用前景。

关键词: DSP Builder; 插值滤波器; FPGA; 回路硬件仿真

中图分类号: TN911.7

文献标识码: B

文章编号: 1674-7720(2013)01-0054-03

Design of interpolation filter based on DSP Builder and FPGA implementation

Yang Shouliang, Yang Baoliang

(College of Electron and Electrical Engineering, Chongqing University of Arts and Sciences, Chongqing 402160, China)

Abstract: In the digital receiver, it often requires multiples samples of data corresponding interpolation. In this paper, using the DSP Builder of Altera to create the appropriate models and simulation algorithms in MATLAB/Simulink. By introducing hardware-in-the-loop (HIL) module, it will link into the simulation test circuit built by Simulink to carry out the hardware and software co-simulation. Finally, it directly generates download documents for FPGA. This method simplifies the design process and reduces development costs and cycles, and has wide application prospects.

Key words: DSP Builder; interpolation digital filter; FPGA; hardware-in-the-loop simulation

插值滤波器是一种结构相对较为简单、整齐划一、占用存储量小的滤波器, 广泛应用于数字示波器、数字通信和全数字收发机中。它不需要乘法器, 因此占用硬件资源较少、实现简单且速度较高, 是高分解速率滤波器的一种非常有效的结构, 在高速抽取或插值系统中是非常有效的单元^[1-3]。在插值滤波器的具体实现中, 人们大多使用 DSP 来实现, 但由于 DSP 具有串行执行指令的特点, 使得其在高速信号处理中无法满足设计需要^[4]。而高性能大规模可编程逻辑器件的出现, 使得在 FPGA 中用软件实现插值滤波器成为可能, 而且 FPGA 芯片内部的资源相当丰富, 并行的处理速度较快, 并具有极大的灵活性, 使其成为设计的首选。

在以 FPGA 为核心器件来设计信号处理系统时, Altera 公司的 DSP Builder 是一款理想的系统级工具软件, 它建立了数字信号处理系统的抽象算法模型, 并将

抽象算法模型转化成可靠的硬件实现。DSP Builder 提供了一个从 MATLAB/Simulink 直接到 FPGA 硬件实现的设计接口, 是数字信号处理高层系统设计与 FPGA 的桥梁。DSP Builder 极大地简化了硬件实现流程, 同时提供了系统仿真测试功能, 使利用 FPGA 设计并实现数字信号处理更加灵活, 更容易开发。此外, 还可以将设计模型直接编译成能在 FPGA 器件中布局布线的网表文件, 成功地解决了算法研究人员和硬件实现工程师之间的工作协调问题, 使得用户能够以最快的速度将他们的算法得到硬件实现。

1 插值滤波原理

插值滤波是由 N 个 Comb 模块(采样频率为 f_s/RD), 再级联 N 个 Intergrator 模块级联(采样频率为 f_s), 结构如图 1 所示。一般情况下插值比率为 1:1、1:2、1:5、1:10、1:20、1:50。插值滤波器由一个插零模块和一个滤波器构成。如果插值比率为 1: N , 则插零模块负责

* 基金项目: 校级科研项目(Z2011DZ14)

网络与通信 Network and Communication

在每两个原始数据之间插入 $N-1$ 个 0, 再通过滤波平滑波形, 出来的插值后的波形的采样率将是原始波形的 N 倍。

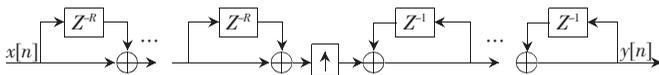


图1 多级CIC插值滤波器结构框图

2 CIC滤波器的模型建立

2.1 数据处理宽度的确定

用FPGA实现插值滤波器时^[5-8], 还有一个很重要的参数需要确定, 那就是寄存器的宽度(或者位数)。只有精心计算寄存器的宽度, 才能在运算不溢出的情况下, 最大限度地节省FPGA的硬件资源。对于插值滤波器, 最终的梳状器输出增益 $G=(RD)^N$, 其中, R 为抽取因子, D 为延迟数值, N 为滤波器级数。假定采用二进制补码, 设输入数据宽度为 B_m , 则内部数据处理的宽度 $B_{out}=M\log_2(RD)+B_m$ 。本设计中输入数据宽度为 8, $N=3, R=75, D=1$ (即抽取因子为 75, 延迟为 1 的三级插值滤波器), 则输出字宽 $W=8+\log_2(75\times 1)\approx 26$ bit, 保证不会产生运行时间溢出。因此, 可以根据前面的分析建立模型。

2.2 插值滤波器的模型建立

本文以带宽为 30 kHz、采样率为 2 MHz 的信号加速为采样率为 150 MHz 的信号, 而要求通带衰减最大不得超过 3 dB, 阻带衰减不得低于 45 dB。根据前面的分析可以采用三级插值滤波器来实现。根据图 1 所示的框图在 MATLAB 的 Simulink 下, 利用 DSP Builder 建立图 2 所示的三级插值滤波器模型^[5-7]。

用 SignalCompiler 将图 2 的核心插值滤波器模型转化为 VHDL 硬件描述语言, 双击“SignalCompiler”图标, 在弹出的对话框中点击“Compile”, DSP Builder 将会调用 Quartus II 进行全程编译, 其过程包括创建 Quartus II 工程、综合及适配。由于在 DSP Builder 中只有器件系列, 且编译之后没有时序报告, 因此, 在用 SignalCompiler 将 .mdl 文件转化成 HDL 语言后, 一般还需在 Quartus II 中

进行进一步的设置和完整编译。

3 仿真分析

3.1 基于 DSP Builder 软硬件协同仿真

由于在 Simulink 下进行的仿真不涉及任何硬件 (如 FPGA), 只能是算法级的仿真, 但是如果完全放在底层设计工具 Quartus II 上仿真, 尽管获得了全硬件的仿真结果, 但是难以获得一些特定功能的激励信号, 因此, 本仿真通过引入 HIL 模块来进行软硬件协同仿真。首先在 Simulink 平台下进行软件仿真, 当结果满足设计要求时, 使用 HIL 将 Input 和 Output 模块之间 DSP Builder 模块生成 HDL 工程, 从而实现基于 MATLAB/DSP Builder 平台的硬件仿真。本文选用 Altera 公司的 Cyclone II 系列 EP2C5Q208C8 为主芯片的开发板进行仿真, 仿真结果如图 3 所示。由图 3 可以看出, 输出端的数据比输入端的数据整整快了 75 倍, 仿真结果表明, 三级插值滤波器的实现方法正确。



图3 三级CIC滤波器仿真图

3.2 Quartus II 时序仿真

采用一个幅值为 127 的阶跃信号作为插值滤波器的输入信号, 在 Quartus II 开发环境下进行仿真、综合, 运行结果如图 4 所示。可以看出达到了预定的设计要求。

本文提出一种根据插值滤波器数学模型, 采用 MATLAB/Simulink 来建立相应的模型, 然后利用 Signal Compiler 工具将其转化为 Quartus II 能够识别的 VHDL 程序来实现插值滤波器的方案。该方案充分发挥了

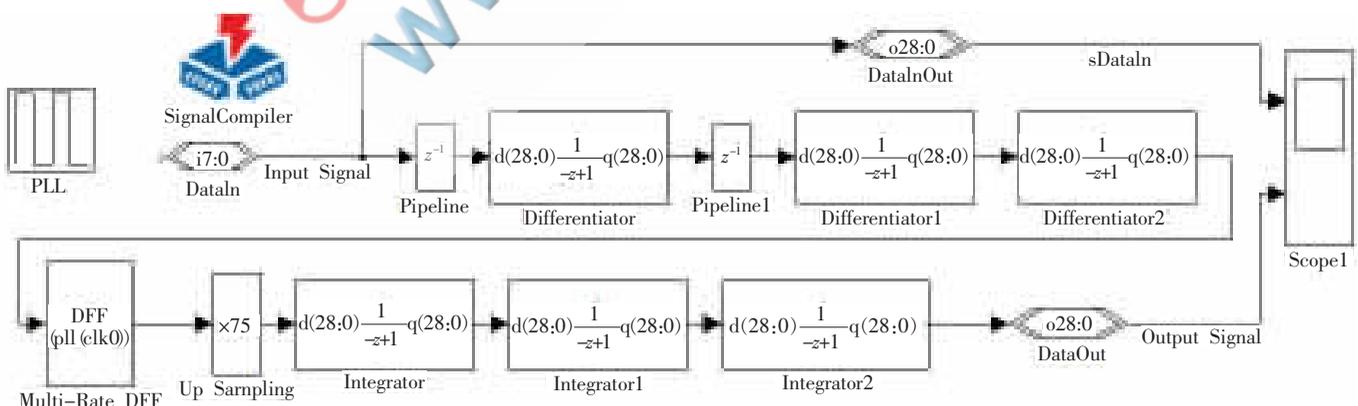


图2 三级CIC滤波器结构框图

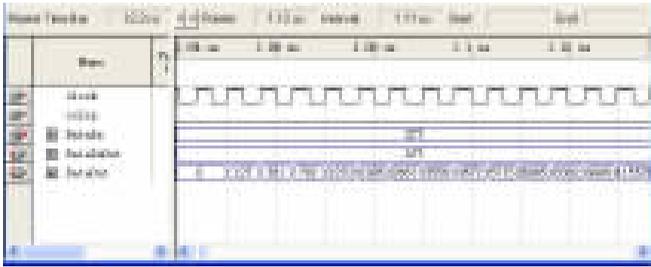


图4 三级CIC滤波器仿真所得的时序图

FPGA 器件处理速度快、实现灵活方便的特性,大大提高了整个系统的性能。采用 DSP Builder 系统工具,从插值滤波器建模、仿真到 FPGA 的具体设计都在一个环境中完成,方便了系统的更改和扩展,使得设计更加灵活、便捷,相对于传统开发方式,具有更大的优势。

参考文献

- [1] 姜宇柏,游思晴.软件无线电原理与工程应用[M].北京:机械工业出版社,2007.
- [2] 田耘,徐文波,张延伟.无线通信 FPGA 设计[M].北京:电子工业出版社,2008.

- [3] 王超,董德存.GLONASS 接收机快速捕获方案及其仿真[J].铁路计算机应用,2005,14(12):7-9.
- [4] 曹琦,毕笃彦.MAC 在 FPGA 中的高效实现[J].微计算机信息,2007(6-2):216-218.
- [5] 马涛,陈娟,单洪.基于 DSP Builder 的数字下变频器的 FPGA 设计[J].电子技术应用,2006,(32)7:93-96.
- [6] 贾雪琴,李强,王旭,等.用 MATLAB 在 FPGA 芯片中实现数字下变频设计[J].计算机仿真,2005(12):303-306.
- [7] 王飞,梁清华.基于 FPGA 的 CIC 滤波器的设计[J].辽宁工业大学学报(自然科学版),2009(4):77-79.
- [8] 牛大胜,唐丽萍.积分梳状滤波器在 FPGA 中的实现[J].国外电子测量技术,2006(9):48-50.

(收稿日期:2012-07-03)

作者简介:

杨保亮,男,1979年生,硕士,讲师,主要研究方向:嵌入式系统设计及测控技术。

杨守良,男,1970年生,硕士,教授,主要研究方向:ASIC 设计、嵌入式系统设计及测控技术。