

基于 CPLD 的 VGA 时序彩色信号的实现

沙晶晶

(江苏信息职业技术学院, 江苏 无锡 214153)

摘要: 采用可编程逻辑器件 CPLD 设计一个简易 VGA 视频信号产生模块, 经过软硬件调试, 最终在显示器上显示彩色方块或线条等正确图像。利用此原理, 可以设计更多的彩色图像, 且可将采集的图像进行实时显示, 将此作为信号源, 应用于显示器电路的开发或某些嵌入式系统中, 进行视频设备的调试与性能分析或系统中信号处理模块的调试与性能分析等。

关键词: 视频图形阵列; 可编程逻辑器件; VGA 时序

中图分类号: TP332.3

文献标识码: A

文章编号: 1674-7720(2013)01-0057-02

Design of VGA-timing color images displaying based on CPLD

Sha Jingjing

(Jiangsu College of Information Technology, Wuxi 214153, China)

Abstract: A simple video display module was designed by using CPLD. After simulating and debugging, correct box or stripe images can be obtained and displayed on the monitor. Using this principle, many color images can be designed and displayed in real-time. The signals can be used as sources when developing the display panel circuits or analyzing and debugging the signal processor in other systems.

Key words: VGA; CPLD; VGA time sequence

VGA (视频图形阵列) 作为一种标准的显示接口得到了广泛应用。它是计算机显示器的标准接口, 也是 LCD 液晶显示设备的标准接口, 它可用于计算机显示器和显卡之间。

目前产生 VGA 时序彩色图形主要通过 FPGA 设计, 本文用 CPLD 芯片设计一个简易 VGA 视频显示模块。利用 CPLD 完成 VGA 显示控制, 可以使图像的显示脱离传统的通用处理器的控制, 从而使系统体积更小, 功耗更低, 改进更方便。经软硬件设计与调试, 最终在显示器上显示彩色方块或线条等正确图像。利用此原理, 可以设计更多的彩色图像, 并可采集的图像实时显示, 将此作为信号源, 可应用于彩色等离子显示器电路的开发或某些嵌入式系统中检测和验证系统的性能, 因此具有重要的现实意义。

1 硬件设计

1.1 VGA 接口

硬件电路设计原理如图 1 所示。VGA 接口有 15 个引脚, 定义如下: 1 号(红基色), 2 号(绿基色), 3 号(蓝

基色), 4 号(地址码), 5 号(自测试), 6 号(红地), 7 号(绿地), 8 号(蓝地), 9 号(保留), 10 号(数字地), 11 号(地址码), 12 号(地址码), 13 号(行同步), 14 号(场同步), 15 (地址码)。

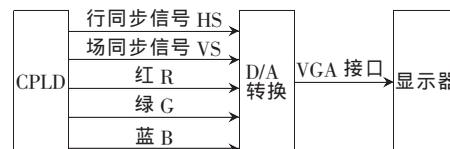


图 1 硬件电路设计原理框图

1.2 CPLD 器件及主要参数选择

可从硬件资源配置、芯片体积、封装形式、使用环境、调试难易度、产品出现年限、使用生命力、成本及货源等方面选择器件。对于 CPLD 器件, Altera 公司 MAX II 系列的 EPM240T100C5 芯片满足设计需求, 内部含有 240 个 LE, 3.3 V 供电, TQFP 贴片封装, 100 个管脚, 商业级, 一般用于室内消费类电子, 温度范围为 0~70℃。VGA 接口输入模拟电压为 0~0.7 V, 显示器输入阻抗为 75 Ω, 通过分压电阻网络来实现。时钟频率由外部晶振

技术与方法 Technique and Method

提供,本电路选用 20 MHz。

2 软件设计

2.1 显示接口原理^[1-2]

常见的彩色显示器一般由 CRT(阴极射线管)构成,彩色是由 R、G、B 三基色组成。显示采用逐行扫描的方式,阴极射线枪发出电子束打在涂有荧光粉的荧光屏上,产生三基色,合成一个色彩像素。扫描从屏幕的左上方开始,从左到右、从上到下逐行扫描,每扫完一行,电子束回到屏幕的左下边一行的起始位置。在这期间,CRT 对电子束进行消隐,每行结束时,用行同步信号进行行同步,扫描完所有行,用场同步信号进行场同步,并使扫描回到屏幕的左上方,同时进行场消隐,并预备进行下一次的扫描。

2.2 VGA 时序控制^{[1],[3-4]}

常见的图像显示模式参考时序数据如表 1 所示。VGA 接口输入信号即红、绿、蓝三基色信号,行同步信号、场同步信号均需要满足上述给出的时序要求。

表 1 VGA 参考时序数据

图像模式	行时序/ μs				帧时序 (lines)			
	a	b	c	d	a	b	c	d
1 024×768XGA (75 Hz)	1.2	2.2	13.0	0.2	3	28	768	1
1 024×768XGA (60 Hz)	2.1	2.5	15.8	0.4	6	29	768	3
800×600SVGA (60 Hz)	3.2	2.2	20.0	1.0	4	23	600	1
640×480VGA (75 Hz)	2.0	3.8	20.3	0.5	3	16	480	1

时序图如图 2 所示,其中 Hsync 为行同步信号,a 为脉冲低电平宽度,d 为行消隐前肩,b 为行消隐后肩,c 为行图像;Vsync 为场同步信号,脉冲低电平宽度为 a,d 为场消隐前肩,b 为场消隐后肩,c 为场图像。

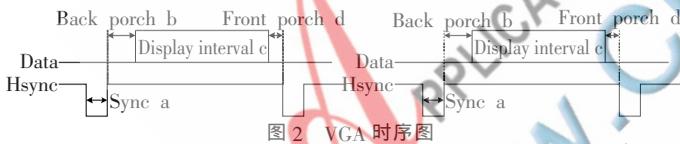


图 2 VGA 时序图

若实现 800×600SVGA (60 Hz) 图像模式,时钟点频率为 40 MHz(即像素的输出频率)。本设计中采用晶体频率为 20 MHz,在这种时钟频率下,图像实际显示的分辨率为 400×600,即每行显示 400 个像素,每场显示 600 行。事实上,这 400×600 是显示器的有效显示图像区,除了这个区域之外,还有行消隐区及场消隐区,以实现行列的同步操作。

对于行同步信号,行频率为 $1/((3.2+2.2+20+1)\mu\text{s})=37.87\text{ kHz}$ 。行扫描时序图转化为像素点,如表 2 所示。

每行实际像素为 528 个,在这 528 个像素中,400 点是有效显示区,128 点是消隐区。行同步低电平有 64 个脉冲。

表 2 行扫描时序图

	行同步	行消隐后肩	行图像	行消隐前肩	行周期
对应位置	a	b	c	d	a+b+c+d
像素位置	420-483	484-527	0-399	400-419	528
像素个数	64	44	400	20	

对于场同步信号,场频为 60 Hz。场扫描时序图要求如表 3 所示。

表 3 场扫描时序图

	场同步	场消隐后肩	场图像	场消隐前肩	场周期
对应位置	a	b	c	d	a+b+c+d
行位置	601-604	605-627	0-599	600	628
行数	4	23	600	1	

每场实际的行数为 628 行,600 行是有效显示区,28 行是消隐区。场同步低电平宽度是 4 行。对像素进行行计数和场计数,并在相应的显示区域填充不同的颜色信号。

2.3 VGA 时序信号产生模块设计

(1) 在 Altera 公司的 Quartus II 开发平台下运用 Verilog HDL 语言进行编程,根据行计数器值 hcnt 和场计数器的值 vcnt 产生色块图形。色块显示流程图如图 3 所示。

3 软件仿真与功能实现情况

仿真结果如图 4 所示。程序下载经调试后,实现效果如图 5 所示。

本文采用 CPLD 设计并实现了简易 VGA 视频信号的显示,软硬件调试结果验证了原理的正确性。电路结构简单、成本低,通过修改程序可以产生更多的图像信号,以满足不同的需要,本设计具有一定的研究和应用价值。

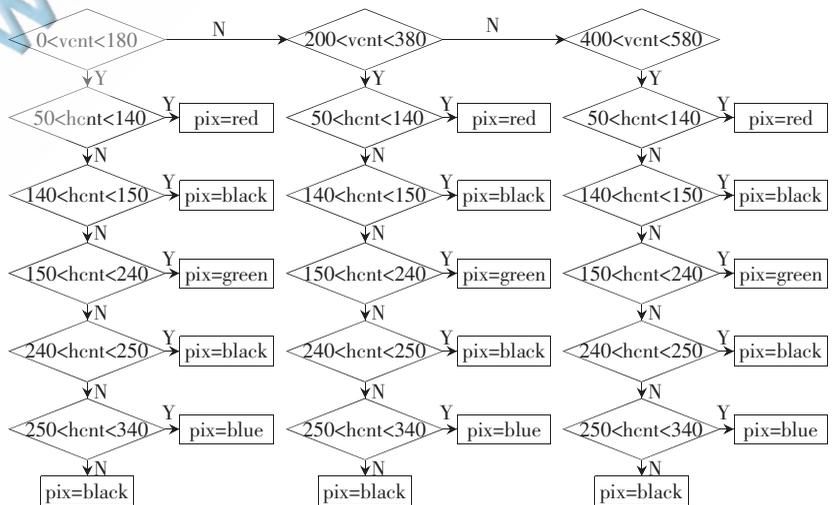


图 3 色块显示流程图

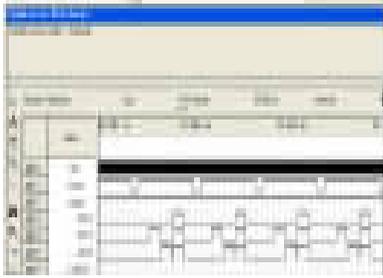


图4 仿真时序图

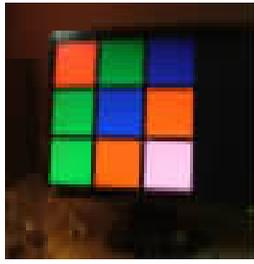


图5 效果图

参考文献

[1] 郑美芳,高晓蓉,王黎,等.基于FPGA的VGA时序彩条

信号实现[J].现代电子技术,2009,32(14):90-92.

[2] 陈姚节,卢建华.基于FPGA的VGA显示接口的研究与设计[J].交通与计算机,2005,23(2):47-49.

[3] 曹允.基于FPGA的VGA时序彩条信号实现方法及其应用[J].电子技术应用,2002,28(7):42-45.

[4] 王亮,李正,等.VGA汉字显示的FPGA设计与实现[J].计算机工程与设计,2009,30(2):275-277.

(收稿日期:2012-11-01)

作者简介:

沙晶晶,女,1981年生,讲师,主要研究方向:电子技术应用。

电子技术应用网
APPLICATION OF ELECTRONIC TECHNIQUE
www.ChinaAET.com