

多通道高精度频率测试系统设计与实现

宋长权, 孙涌

(苏州大学 计算机科学与技术学院, 江苏 苏州 215006)

摘要: 为解决计算机测试系统中频率测试的高精度要求, 提出了一种基于 FPGA 技术的多通道等精度测频法。设计了频率测试系统, 该系统实现了在 5 kHz~500 kHz 频率范围内测量分辨率为 1 Hz。

关键词: FPGA; 计算机测试系统; 频率测试; 等精度测频法

中图分类号: TP368.1

文献标识码: A

文章编号: 1674-7720(2012)23-0085-02

Design and implementation of multi-channel and high-precision frequency measurement system

Song Changquan, Sun Yong

(School of Computer Science and Technology, Suzhou University, Suzhou 215006, China)

Abstract: In order that the paper was solved high-precision frequency measurement on the computer measurement system, there was proposed a method which one of the multi-channel and equal-precision frequency measurement based on the FPGA (Field Programmable Gate Array). Design of the frequency-measurement system. Frequency measurement resolution is achieved 1 Hz at 5 kHz~500 kHz.

Key words: FPGA; computer measurement system; frequency measurement; equal precision frequency measurement

随着计算机技术的快速发展, 现代工业测试系统中频率测试被更多地应用到计算机测试应用中, 虽然现在频率测试精度有了很大提高, 但面对高、精、尖的控制系統尤其是具有特殊用途的传感器中就更加需要准确、高效、科学地获取并分析其频率测试数据。在测试频率的方法上, 人们也越来越多地侧重采用等精度测频法进行频率测试。

为了克服传统频率测量法不能满足等精度要求的缺点, 夏振华提出一种基于 FPGA 的高速等精度频率测量系统的设计方案, 该系统实现了 1 Hz~20 MHz 频率范围内的频率测量, 其测量误差小于 2×10^{-6} , 并且在整个频率范围内测量精度一致, 达到等精度测量要求^[1]。席鹏、李军等介绍了以 CPLD 为核心处理芯片的频率测量系统, 在 CPLD 中设计等精度测频模块, 再由 DSP 进行数字滤波并将采集值送至双口 RAM 以供上位机读取。由于采用两个同步测周期的计数器来设计数字频率计, 解决了传统频率计电路结构复杂、稳定性不能保证的缺点^[2]。频率测量一般是通过对被测信号和标准信号计数实现, 因此量化误差是引起测量误差的主要原因。戴莹春、严

家明、刘诗斌等在比较分析周期测频、直接测频和等精度测频的误差后, 给出了一种基于 FPGA 的等精度测频的 Verilog HDL 实现。较之单片机实现, 该方法具有抗干扰性强、工作稳定可靠等特点^[3]。包明、赵明福、郭建华等采用 FPGA 为核心的芯片来实现频率测量, 不仅消除了直接测频方法中对测量频率需要采用分段测试的局限, 而且提高了集成度、可靠性和测试速度^[4]。

本文正是通过采用等精度测量方法结合 FPGA 技术和计算机技术实现了某型号传感器频率测试系统的多通道高精度测试, 使得频率信号在 5 kHz~500 kHz 频率范围内测量分辨率达到 1 Hz 的高精度要求, 且其相对误差小于 2×10^{-7} 。

1 系统结构设计

频率测试系统硬件主要由工业控制计算机、频率测量数据采集卡、频率测试软件以及被测设备等组成, 系统总原理框图如图 1 所示。

工业控制计算机机箱内部装有频率测量数据采集卡, 可以实现扫频信号的输出和频率信号的采集, 其主要由 FPGA、UART、D/A 模块、信号处理电路和信号调理

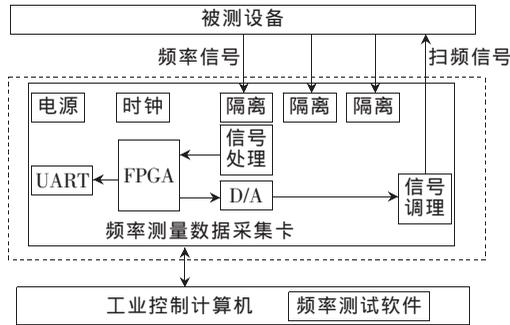


图1 系统组成原理

电路构成。UART 采用串行通信,实现计算机与 FPGA 之间控制信号和数据的传输。D/A 模块由 FPGA 控制输出,采用 12 bit 高速并行 D/A 转换器件。信号处理对输入的频率信号经过隔离保护、整形、限幅等处理。信号调理对 D/A 输出的信号进行滤波处理。

2 频率测量数据采集卡设计

FPGA 芯片是小批量系统提高系统集成度、可靠性的最佳选择之一。本文采用等精度测频法,频率测量数据采集卡中 FPGA 部分基本设计原理方框图如图 2 所示。

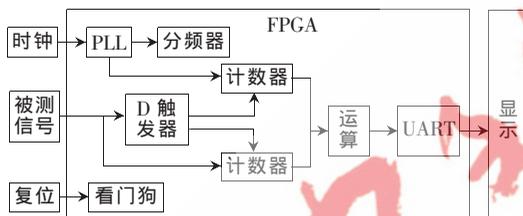


图2 基于FPGA的等精度测频系统硬件原理方框图

“频率”就是周期性信号在单位时间(1 s)内变化的次数。等精度测频是先给出一个预置闸门时间,实际闸门时间不固定,而是在被测信号上跳沿与预置闸门同步,它的闸门时间不是固定的值,而是被测信号周期的整数倍,即与被测信号同步,因此,排除了对被测信号计数所产生 ± 1 Hz 误差,并且达到了在整个测试频段的等精度测量。在测量过程中,有两个计数器分别对标准信号和被测信号同时计数。测量频率的相对误差与被测信号频率的大小无关,仅与闸门时间和标准信号频率有关,即实现了整个测试频段的等精度测量。闸门时间越长,标准频率越高,测频的相对误差就越小。标准频率可由稳定度好、精度高的高频率晶体振荡器产生,在保证测量精度不变的前提下,提高标准信号频率,可使闸门时间缩短,即提高测试速度。

F/V 还原电压的计算公式如下:

$$V = F \times K$$

其中 V 为所需还原的电压参数,单位:V; F 为测得的 V/F 信号频率,单位:Hz。 F 的取值:

当频率 $F > 100$ kHz 时: $F = +(F - 100 \text{ kHz})$;

当频率 $F < 100$ kHz 时: $F = -(100 \text{ kHz} - F)$ 。

K 为预设(可修改)的参数,为电压/频率转换系数,单

位: V/Hz。

3 软件实现结果验证

测试系统软件部分包括 FPGA 和计算机测试软件两部分,它可以实现传感器频率多通道自动测试。启动传感器频率测试系统对 5 kHz~500 kHz 的频率信号进行频率测量。

采用高精度信号源输出不同频率的正弦波信号,经过信号调理电路,整形得到的方波信号提供给 FPGA 进行计数测量,将测量结果与高精度信号源输出的频率相比较,计算其误差,如表 1 所示。

表1 频率输入测试/验证结果(单位:kHz)

通道	信号发生器输出值	测试值	相对误差
1	5.0001	5.000 0	$1.9999 \ 6 \times 10^{-7}$
2	5.0001	5.000 0	$1.9999 \ 5 \times 10^{-7}$
3	5.0001	5.000 0	$1.9999 \ 6 \times 10^{-7}$
1	50.000 0	50.000 1	0.2×10^{-7}
2	50.000 0	50.000 1	0.2×10^{-7}
3	50.000 0	50.000 1	0.2×10^{-7}
1	100.000 1	100.000 0	0.9×10^{-8}
2	100.000 1	100.000 0	0.91×10^{-8}
3	100.000 1	100.000 0	0.9×10^{-8}
1	500.000 1	500.000 0	0.198×10^{-8}
2	500.000 1	500.000 0	0.199×10^{-8}
3	500.000 1	500.000 0	0.199×10^{-8}

传感器频率多通道自动测试软件实现了 5 kHz~500 kHz 频率范围内的频率测试,其输出精度为 ± 1 Hz、相对误差小于 2×10^{-7} ,结果验证了数据完全满足系统对频率测试要求,测试数据安全可靠,系统运行稳定。满足了频率测量的高精度要求、有效地提高了频率测试速度、实现了多通道频率测量要求。

参考文献

- [1] 夏振华.等精度频率计的实现[J].电子设计工程,2010,18(6):177-182.
- [2] 席鹏,李军,于二军.基于 DSP 和 CPLD 的高精度频率测量系统设计[J].航空计算技术,2010,40(2):114-116,3.
- [3] 戴莹春,严家明,刘诗斌,等.基于 FPGA 的等精度测频模块的研究与实现[J].弹箭与制导学报,2006,26(1):623-625.
- [4] 包明,赵明福,郭建华.基于 FPGA 的高速精度频率测量的研究[J].单片机与嵌入式系统应用,2003(2):134-137.

(收稿日期:2012-08-03)

作者简介:

宋长权,男,1981 年生,硕士,主要研究方向:计算机技术、嵌入式系统测试。

孙涌,男,1958 年生,博士,副教授,硕士研究生导师,主要研究方向:智能信息及其应用、软件工程、科学计算可视化及其应用。现还进行智能信息在网络与数据库及嵌入式软件中的应用研究。