

## 基于源耦合逻辑的正交二分频器设计\*

齐骋, 王亮, 凌朝东, 杨晓

(华侨大学 信息科学与工程学院, 福建 厦门 361021)

**摘要:** 设计了一种基于源级耦合结构的正交二分频电路, 由两个完全相同的源级耦合 D 触发器级联构成, 交替工作于触发和锁存模式。对传统的源级耦合结构做了适当改进, 采用动态负载, 通过对 PMOS 管的开关控制很好地解决了电路工作速度和输出摆幅间的矛盾; 且时钟开关 PMOS 和 NMOS 采用不同直流偏置, 便于低电源电压下直流工作点的选取。采用 TSMC 0.18  $\mu\text{m}$  RF CMOS 工艺进行仿真验证。实验结果表明, 分频器在 1.92 GHz 输入时钟频率下能正常实现正交二分频, 有较宽的锁定范围, 且在 3 V 电源电压下功耗仅为 1.15 mW。

**关键词:** 正交二分频; 源级耦合; 动态负载; 锁定范围

中图分类号: TN4

文献标识码: A

文章编号: 1674-7720(2012)22-0026-03

## Design of quadrature frequency divider based on SCL

Qi Cheng, Wang Liang, Ling Chaodong, Yang Xiao

(College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China)

**Abstract:** A quadrature frequency divider based on source-coupled-logic is presented in this paper, and designed in TSMC 0.18  $\mu\text{m}$  RF CMOS technology. It consists two identical and mutually coupled flip-flops or latches which operate alternatively in flipping and latched modes at the clock frequency. In this paper, we adopt dynamic load which shall ideally be small during flipping yet large while latched. This can keep the RC time constant small and make the signal difference large. Also the PMOS and NMOS switches use different bias, that can be easier to make a exact DC point. The circuit is designed in TSMC 0.18  $\mu\text{m}$  RF CMOS process and dissipates an power of 1.15 mW from a 3 V supply. It can work at 1.92 GHz normally, and has a wide locking range.

**Key words:** quadrature frequency divider; source-coupled-logic; dynamic load; locking range

随着便携式手持无线设备的不断发展, 低功耗全集成收发机在无线通信领域受到越来越多的关注。在现代通信系统中, 多模分频器是工作在最高频率的模块之一, 其设计具有很大的挑战性。多模分频器最重要的两个指标是工作速度和功耗。而无论是采用脉冲吞咽方式实现的多模分频器<sup>[1]</sup>, 还是串联多个双模预分频器来实现的多模分频器<sup>[2]</sup>, 高速分频器都是其最关键的模块之一。此外, 在许多预分频器设计中, 为了降低整体功耗, 通常选用相位切换结构, 比同步双模预分频器具有更高的工作速度和更低的功耗<sup>[3-4]</sup>。在这种结构中, 一般采用两个动态触发器级联来完成二分频正交信号输出, 并将此作为相位切换的输入。但由于该分频器工作在 VCO 的输出频率, 功耗较大, 如采用上述动态触发器实现, 则要求有一个全摆幅的时钟信号, 因此需要在 VCO 输出

端加一个耗能的缓冲器以增加 VCO 的输出摆幅<sup>[5]</sup>, 这将会加剧高速分频器的功耗问题。

然而与传统的全功能 D 触发器构成的分频器相比, 源耦合逻辑(SCL)分频器因其输入/输出摆幅小、动态功耗低、转换速度快, 成为高速分频器的首选<sup>[6]</sup>。本文在传统的 SCL 分频器基础上加以改进, 使用动态负载代替原来的电阻负载或有源固定负载, 在电路工作速度和差分输出摆幅之间得到了很好的折衷; 并且时钟开关管 PMOS 和 NMOS 采用不同的直流偏置, 解决了低电压下直流工作点较难设置的问题。

## 1 源级耦合(SCL)分频器

## 1.1 基本结构及工作原理

SCL 型分频器通常被认为是工作速度最快的分频器结构, 它可由两个完全相同的 D 触发器或者锁存器级联而成, 具体电路如图 1 所示, 其单元电路如图 2 所示。

\* 基金项目: 福建省自然科学基金(2010J05135); 厦门市科技计划项目(3502Z20113015); 华侨大学基本科研业务费专项基金(JB-ZR1128)

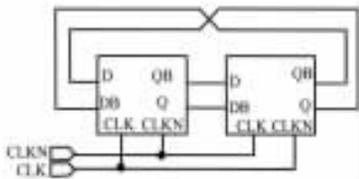


图1 基于D触发器的二分频电路

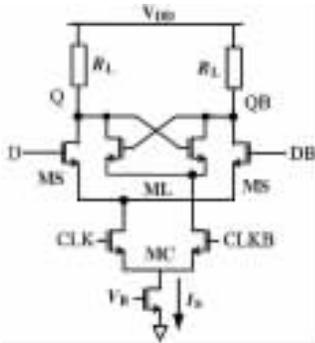


图2 SCL触发器单元电路

SCL型D触发器的单元电路包含两个部分<sup>[7]</sup>：将输入信号输送到输出的触发部分(MS)和存储输出逻辑电平的锁存部分(ML)。其中触发部分由差分对来实现；锁存部分由一个交叉耦合对(ML)来实现，该结构表现出负阻 $-2/g_m$ ，并通过正反馈大大提高电路工作速度。两个部分由一个相位互补的时钟信号驱动，分别用来控制触发电路和锁存电路。其具体电路工作过程如下：在输入时钟的正半周，图1中第一级D触发器处于触发模式，即输出跟随输入变化；第二级D触发器处于锁存模式，保持与前一个时钟相同的状态，其输出经过反相后送入第一级D触发器。在输入时钟的负半周，第一级D触发器处于锁存模式；第二级D触发器转变为触发模式，它输出的状态将被锁存到第一级D触发器中。因此，D触发器的输出随着时钟状态的变化而改变，且在每两个时钟周期输出信号完成一个周期的变化，从而输出的频率刚好是输入频率的一半，实现二分频功能。

图2电路中的尾电流源是为了保证电路比较稳定的直流偏置，减小了因输入时钟信号的直流电平变化对电路的影响。为了提高工作速度，可以忽略尾电流源，这样大约能提高20%的工作速度<sup>[8]</sup>，但是同时电路对工艺和温度的依赖性增加。此外，考虑到电阻阻值的不准确，以及版图面积大等不利因素，所以在很多设计中用有源负载代替电阻负载，但这样增大了寄生电容，进而限制了最高工作频率。

1.2 SCL电路动态特性

SCL型二分频器的动态特性如图3所示，其中 $f_0$ 是没有外加激励时电路的自激振荡频率， $V_{clk\_min}$ 是电路

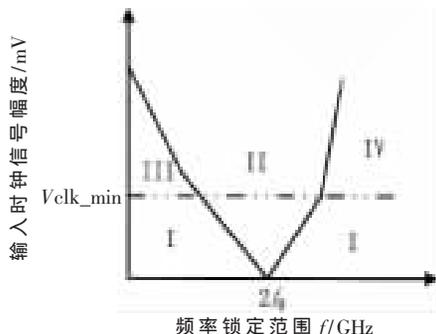


图3 SCL电路动态特性曲线

停止自振荡所需外加的最小时钟信号的幅度。根据电路工作频率和外加的时钟激励幅度的变化，电路工作于4种不同的状态<sup>[9]</sup>：

(1)自振荡区：如图1所示，两级D触发器级联并形成闭环环路，当环路满足巴克豪森振荡条件时，环路就会发生自激振荡；但是当输入时钟的幅度比较大时，电路会由自振荡转入受迫振荡状态，振荡频率也会向正常工作频率靠拢，实现二分频。

(2)正常工作区：能完成二分频功能。

(3)压摆率限制区：当输入时钟有比较大的上升和下降时间时，会在时钟过零点时有足够的时间使电路发生自振荡，从而影响输出频谱的纯度。

(4)响应限制区：当输入时钟频率很高时，由于寄生电容的影响，D触发器充放电不完全，它将无法振荡到该频率，导致电路工作失常。

由图3可以看出，输入时钟信号 $V_{clk}$ 幅值越小，则电路正常工作的频率范围越小。因此，要达到大的工作频率， $V_{clk}$ 幅值必须较大。一般VCO输出摆幅都比较大，对于跟在VCO后面的第一级二分频器，其输入时钟的幅度往往不成问题。

2 改进的分频器电路设计及仿真

2.1 SCL二分频电路设计

本文主要对SCL电路的负载进行了改进，采用Wang的动态负载结构<sup>[10]</sup>(即让触发器的负载随着输入信号的变化而变化)，使电路的速度得以进一步提高；并且对开关管和负载管采用不同的直流偏置，便于直流工作点的选取，尤其是在低电源电压的情况下。本文设计的SCL单元电路如图4所示。

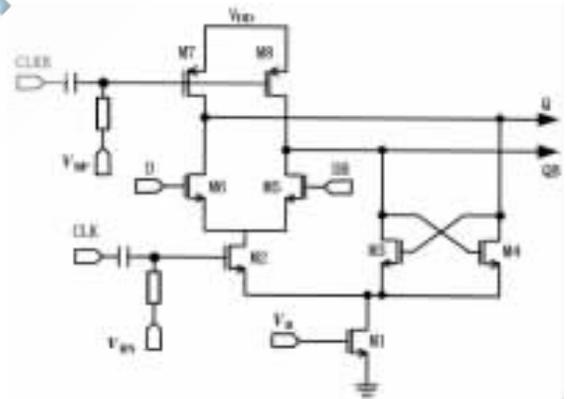


图4 SCL触发器单元电路

从图4可以看出，PMOS管起动态电阻的作用。当该D触发器处于触发状态时，PMOS等效为一个很小的负载电阻，这就可以在输出节点产生比较小的RC时间常数，提高触发器的工作频率；当触发器处于锁存状态时，PMOS管等效为一个很大的负载电阻，增大输出摆幅。这种动态负载的结构比普通电阻负载结构的工作频率更高，但要同时给NMOS和PMOS管提供合理的偏置会带来比较大的设计难度。因此，在本文提出的结构中，

欢迎网上投稿 www.pcachina.com 29

NMOS 和 PMOS 采用不同的直流偏置, 通过合理设计电阻、电容的值, 以及外加偏置电压  $V_{BP}$ , 就可以控制 PMOS 管的时钟信号偏置在需要的直流点; 同样也可以选取 NMOS 的直流偏置  $V_{BN}$ , 这样有利于降低设计的复杂性, 特别在低电源电压下, 一个折衷的直流偏置点很难选取。图 4 中还有一个尾电流管 M1 用来保证电路比较稳定的直流偏置。由于本文设计的高速二分频电路应用于短距离无线接收发机中, 与其直接相连的 VCO 输出最高频率为 1.92 GHz, 并不需要特别高的工作频率, 因此不需要通过去除尾电流源来使电路工作在更高的频率段。另外, 去除尾电流源会使电路输出摆幅不确定, 受工艺和温度的影响较大; 并且会导致 SCL 分频器的衬底波动比较大, 该波动通过衬底耦合, 会加大分频器的噪声, 或影响到其他电路模块, 所以本文保留了尾电流源的使用。

## 2.2 电路仿真结果

电路采用 TSMC 0.18  $\mu\text{m}$  RF CMOS 工艺设计实现, 并对整体电路进行了仿真、验证。图 5 给出了当输入时钟信号频率为 1.92 GHz、幅度为 800 mV 时的 SCL 分频器瞬态仿真结果。从仿真结果可以看到, 分频器输出波形周期为 1.04 ns, 很好地实现了二分频功能; 且输出摆幅较大, 在 800 mV 左右。图 6 给出了二分频器的 4 个不同相位的瞬态输出, 其每个象限相差  $90^\circ$ , 以便于后面的基于相位选择技术的双模预分频电路。

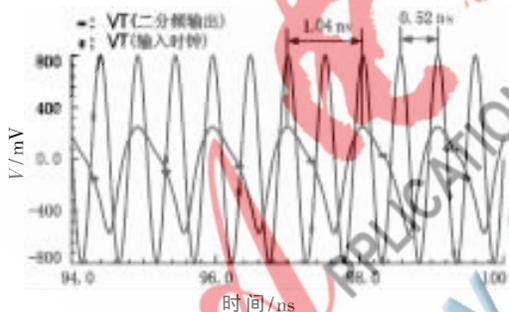


图 5 输入时钟与二分频输出瞬态

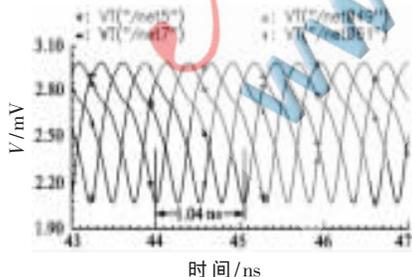


图 6 SCL 二分频输出瞬态

由之前分析可知, SCL 二分频器的正常工作频率有一定的范围, 且与输入时钟信号的幅度有关, 因此分频器有一个最大频率锁定范围。图 7 给出了当输入时钟幅度从 200 mV~1 V 变化时, 其频率锁定范围的变化情况。从图中可以看出, 随着输入时钟幅度变大, 分频器的锁定范

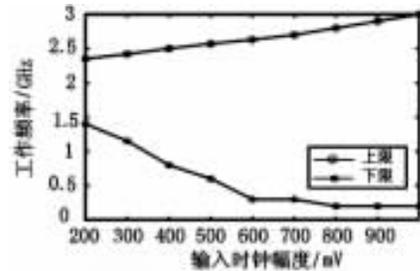


图 7 随输入时钟幅度变化 SCL 的锁定范围变化

围也变大, 当幅度为 800 mV 时, 频率锁定范围为 200 MHz~2.8 GHz, 有较宽的频率锁定范围, 满足 VCO 输出频率范围的完全覆盖(所应用的 VCO 调频范围为 1.608 GHz~1.92 GHz); 本设计的分频器电路在 3 V 电源电压下、工作频率在 1.92 GHz 时的功耗为 1.15 mW。

本文设计了一种基于源极耦合逻辑技术的高速正交二分频器电路。电路沿用了传统的 SCL 二分频器结构并对其适当改进, 采用动态负载代替电阻负载, 使负载阻值随着输入信号变化而变化, 有利于工作频率的提高和输出摆幅的增大。电路 PMOS 和 NMOS 管采用不同的直流偏置, 大大减小了直流工作点选取的复杂度。采用 TSMC 0.18  $\mu\text{m}$  RF CMOS 工艺进行了设计验证, 在 1.92 GHz 输入时钟频率下能正常实现正交二分频, 有较宽的锁定范围, 且在 3 V 电源电压下的电路功耗仅为 1.15 mW。

## 参考文献

- [1] RHEE W, SONG B S, ALI A. A 1.1 GHz CMOS fractional-N frequency synthesizer with a 3-b third-order sigma-delta modulator[J]. IEEE Journal of Solid-state Circuit, 2000, 35(10): 1453-1460.
- [2] SHENG N H, PIERSON R L, WANG K C, et al. A high-speed multimodulus HBT prescaler for frequency synthesizer applications[J]. IEEE Journal of Solid-State Circuits, 1991, 26(10): 1362-1367.
- [3] CRANINCKX J, STEYAERT M. A 1.75 GHz/3 V dual-modulus divided-by-128/129 prescaler in 0.7  $\mu\text{m}$  CMOS [J]. IEEE Journal of Solid-State Circuits, 1996, 31(7): 890-897.
- [4] CRANINCKX J, STEYAERT M. Wireless CMOS frequency synthesizer design[M]. Boston: Kluwer Academic Publishers, 1998.
- [5] TIEBOUT M. A 480  $\mu\text{W}$  2 GHz ultra low power dual modulus prescaler in 0.25  $\mu\text{m}$  standard CMOS[C]. ISCAS 2000, IEEE Int. Symp. on Circuit and Systems, 2000.
- [6] KRISHNAPURA N, KINGET P R. A 5.3 GHz programmable divider for hiper LAN in 0.25  $\mu\text{m}$  CMOS[J]. IEEE Journal Solid-State Circuit, 2000, 35(7): 1019.
- [7] 李弊. 应用于无线通讯系统的高速分频器的研究[D]. 上海: 复旦大学, 2005.
- [8] CRANINEKX J, STEYAERT M. A fully integrated CMOS

- DCS-1800 Frequency Synthesize[J].IEEE Journal of Solid-State Circuits, 1998,33(12):1915-1918.
- [9] SINGH U, GREEN M. Dynamics of high frequency CMOS dividers[C]. ISCAS 2002, IEEE International Symposium on Circuits and Systems, 2002,5:421-424.
- [10] Wang Hongmo. A 1.8 V 3 mW 16.8 GHz frequency divider in 0.25  $\mu\text{m}$  CMOS[C]. IEEE International Solid-State Circuits Conference, 2000.

(收稿日期:2012-09-29)

作者简介:

齐骋,男,1987年生,硕士研究生,主要研究方向:射频模拟集成电路设计。

王亮,男,1987年生,硕士研究生,主要研究方向:射频模拟集成电路设计。

凌朝东,男,1964年生,教授,主要研究方向:集成电路和嵌入式系统设计。

