

ADC 低电压高增益运算放大器 VLSI 设计

姬厚涛¹, 席月平², 刘明菊¹

(1. 解放军 63898 部队, 河南 济源 454650;

2. 解放军 63880 部队, 河南 洛阳 471003)

摘要: 结合模/数转换器工作原理和 VLSI 设计方法, 分析和设计了一种应用于 ADC 的高增益运算放大器。由于套筒式共源共栅结构电路具有增益高、功耗低、频率特性好的优点, 故采用套筒式共源共栅结构来完成高增益放大器的设计。在 1.8 V 电源电压下, 运算放大器采用 Chartered 0.18 μm CMOS 工艺模型进行 Cadence 仿真。结果表明, 该放大器的增益、带宽、相位裕度、功耗等均能达到设计要求。

关键词: 运算放大器; Cadence; VLSI; ADC

中图分类号: TP309

文献标识码: A

文章编号: 1674-7720(2012)22-0023-03

Design of high gain amplifier for ADC with VLSI

Ji Houtao¹, Xi Yueping², Liu Mingju¹

(1. Unit 63898, Jiyuan 454650, China; 2. Unit 63880, Luoyang 471003, China)

Abstract: Based on the principle of ADC and the design method of VLSI, this paper presents the design of high gain amplifier fabricated in Chartered 0.18 μm CMOS process. Because of that merit of the high unity-gain bandwidth of telescopic-cascode, this operational amplifier uses the technique of telescopic-cascode circuits to obtain a high gain. The results of simulation in cadence show that this operational amplifier can fulfill the requirements.

Key words: operational amplifier; Cadence; VLSI; ADC

模数转换器(ADC)在先进电子设备系统信息中有着广泛的应用, 诸如雷达、声纳、医疗成像仪、高性能控制器与传输器, 以及包括无线电和基站接收机内的现代数字通信系统等很多设备都建立在高质量的基础上。为得到速度高、精度好的 ADC, 常采用流水线型结构来设计。由于此结构中的放大器增益和功耗影响着性能^[1], 因此, 本文针对应用要求, 运用超大规模集成电路(VLSI)的方法设计了一种低电压高增益运算放大器。

1 设计思路

通常采用基于流水线型结构来实现高速高精度 ADC^[2], 其原理结构如图 1 所示。

图 1 所示的流水线结构由 m 级流水线构成, 每一级都包含采样保持电路、低分辨率的子模/数转换器、子数/模转换电路以及余量增益电路。

对于电路的每一级来说, 当输入模拟信号经过采样保持电路后, 会对输入信号取样并保持在一定范围内;

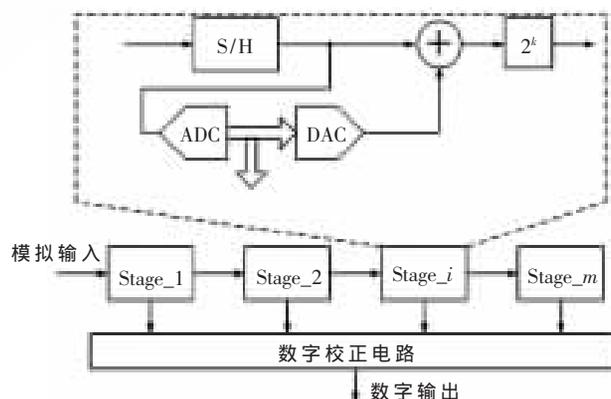


图 1 流水线型结构 ADC 原理结构图

然后每一级子模/数转换器对保持信号进行转换并获得 k 位二进制数字信号, 同时将这 k 位数字信号经过数/模转换器还原成模拟量, 并与输入模拟信号相减, 以获得余量电压; 将余量电压进行放大后输入下一级采样保持电路; 下一级电路重复前一级电路的步骤, 依此类推。每

硬件纵横

Hardware Technique

一级输出的 k 位数字信号都通过数字电路校正模块, 最终得到 n 位二进制代码。

运算放大器是采样保持电路的核心部件, 其性能直接决定了系统的性能。为保障整个系统正常工作, 通常从放大器单位增益带宽、抗噪声指标、电路稳定性三方面来考虑放大器的设计^[3]。

本设计中对运放的性能要求为: 高的直流增益、大的单位增益带宽、在较大的容性负载条件下依然有很高的运算速度、足够的相位裕度来保证输出的稳定、高的共模抑制比(CMRR)和电源抑制比(PSRR), 以及大的输入输出摆幅。

2 电路设计

2.1 电路结构分析

基于以上分析, 可选用如图 2 所示的高增益运算放大器电路结构。

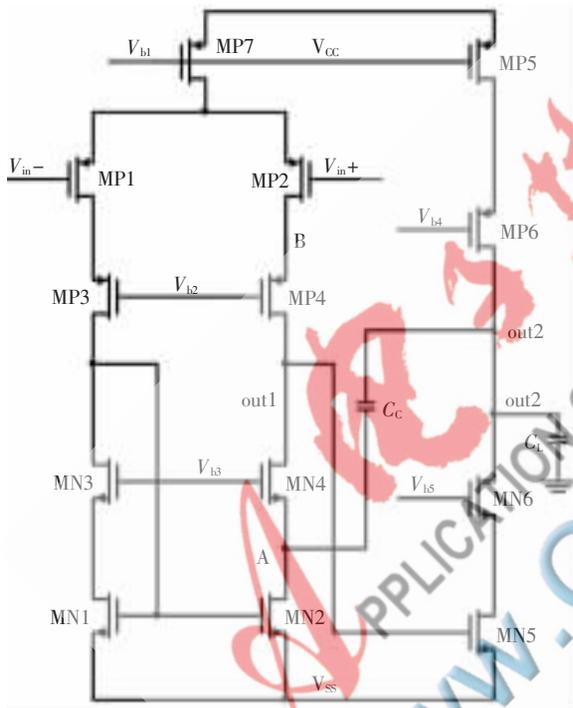


图 2 高增益放大器电路结构

放大器电路主体结构由差分输入级和共源共栅增益级组成。由于 PMOS 晶体管的 $1/f$ 噪声是 NMOS 晶体管的 2~5 倍, 因此在差分输入级通常采用 PMOS 管作为输入驱动管, 以减小电路中的 $1/f$ 噪声。图 2 中, MP7 是电流源, 负责为差分输入级提供偏置电流; 电流源 MP7 和输入驱动管 MP1~MP2 构成电路输入级, 它能有效抑制电路中的零点漂移和环境噪声, 实现输入电压到电流的置换; MP3~MP4 形成套筒共源共栅晶体管, MN1~MN4 组成共源共栅电流源, 为差分输入级提供高阻抗负载; MN5~MN6 组成增益级的共源共栅放大电路, MP5~MP6 组成的共源共栅电流源为增益级提供高阻抗负载; MP5、MP7、MP3、MP4、MN3、MN4、MP6 和 MN6 的栅极分

别通过偏置电压 V_{b1} 、 V_{b2} 、 V_{b3} 、 V_{b4} 和 V_{b5} 进行控制, 偏置电压 V_{b1} 、 V_{b2} 、 V_{b3} 、 V_{b4} 和 V_{b5} 由恒压源提供; 电容 C_c 连接增益级的输入和输出, 形成频率补偿电路用以增强放大器的稳定性、提高放大器的带宽。

小信号条件下, 运放的电压增益为:

$$A_{vd} = g_{MP1}g_{MN5} \left\{ \left[\frac{(g_{MN3}r_{oN3}r_{oN2}) \parallel (g_{MP4}r_{oP4}r_{oP2})}{(g_{MP3}r_{oP3}r_{oP6}) \parallel (g_{MN6}r_{oN5}r_{oN6})} \right] \right\} \quad (1)$$

式中, g_{MP1} 、 g_{MN4} 、 g_{MP4} 、 g_{MN5} 、 g_{MP6} 和 g_{MN6} 分别是 MP1、MN4、MP4、MN5、MP6 和 MN6 管的跨导, r_{oN2} 、 r_{oN4} 、 r_{oN5} 、 r_{oN6} 、 r_{oP2} 、 r_{oP4} 、 r_{oP5} 和 r_{oP6} 分别是 MN2、MN4、MN5、MN6、MP2、MP4、MP5 和 MP6 的漏源电阻。

小信号沟道电导为:

$$g_m = \sqrt{(2\mu C_{ox}W/L)I_D} \quad (2)$$

小信号沟道漏源电阻为:

$$r_{oN} = 1/g_{oN} = 1/\lambda I_D \quad (3)$$

式(2)和式(3)中, μ 是 MOS 管的表面迁移率, C_{ox} 为单位面积栅氧化物电容, W 是 MOS 管的有效沟道宽度, L 是 MOS 管的有效沟道长度, I_D 是偏置电流, λ 是沟道长度调制参数^[4]。

由式(2)和式(3)可知, 输出电阻的增加正比于偏置电流的减小, 而跨导的增大与偏置电流的增大是平方根的关系。因此, 若要提高放大器增益, 增大 r_{oN} 比增大 g_m 更有效。

运放的次主极点为:

$$p_2 = g_{MN4}/C_c \quad (4)$$

式中, p_2 是次主极点, C_c 是补偿电容。

运放为单位增益为:

$$GBW = g_{MN2}/C_c \quad (5)$$

可以采用以下途径提高开环直流增益: (1)减小 MN3、MN4 的跨导和沟道宽度, 但同时降低了运算放大器的次极点频率, 影响放大器的稳定性; (2)增大 MN5、减小 MP3、MP4 和 MP6 的跨导和沟道宽度; (3)减小 MP2 的跨导, 但同时也会降低单位增益带宽。为此, 在设计时需要针对 MOS 管尺寸进行反复分析和模拟, 在增益、带宽、稳定性三者之间进行折中以实现设计的最优化。

2.2 电路几何参数设计

根据选用的电路结构和设计要求, 结合 CMOS 器件理论计算公式, 计算出各 MOS 管理论参数, 如表 1 所示。

表 1 MOS 管理论长宽比

MOS 管名称	$W/\mu\text{m}$	$L/\mu\text{m}$	MOS 管名称	$W/\mu\text{m}$	$L/\mu\text{m}$
MP1, MP2	147	1	MN1, MN2	12	1
MP3, MP4	8	1	MP5	455	1
MN3, MN4	25	1	MP6	455	1
MP7	90	1	MN5	113	1
			MN6	18	1

3 电路仿真

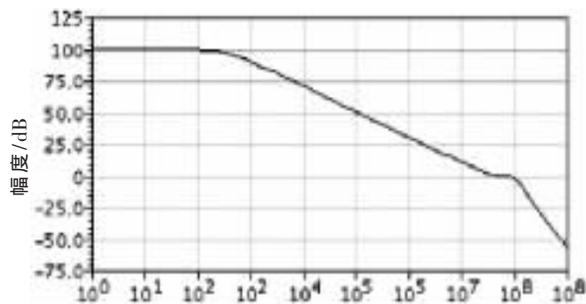
采用 Chartered 0.18 μm CMOS 工艺模型, 在 1.8 V 电

《微型机与应用》2012 年 第 31 卷 第 22 期

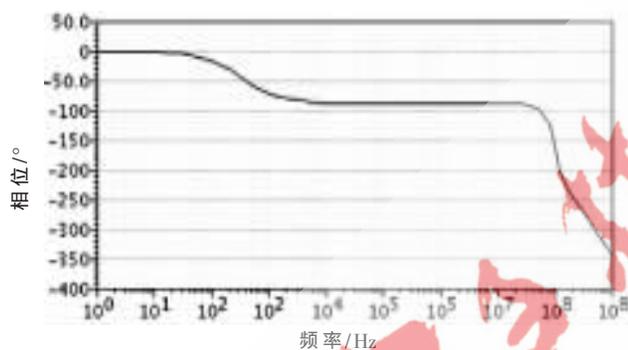
硬件纵横

Hardware Technique

源电压下,使用Candeece仿真环境对电路进行开环和闭环仿真。交流分析后输出如图3所示的幅频、相频曲线。其中图3(a)为幅频曲线,图3(b)相频曲线。显然,开环直流电压增益为100 dB,单位增益带宽为84 MHz,在10 pF负载电容下放大器的相位裕量为62°。



(a) 幅频曲线



(b) 相频曲线

图3 开环特性曲线

将1 V脉冲作用到单位增益结构的同相输入端,瞬态分析后输出波形如图4所示。从仿真波形得到:在输出曲线10%和90%处电压分别为 $V_{10\%}=0.1\text{ V}$ 、 $V_{90\%}=0.99\text{ V}$,时间分别为 $t_{90\%}=0.1\text{ }\mu\text{s}$ 、 $t_{10\%}=0.03\text{ }\mu\text{s}$,故放大器的转换速率:

$$SR=(V_{90\%}-V_{10\%})/(t_{90\%}-t_{10\%})\approx 22\text{ V}/\mu\text{s}$$

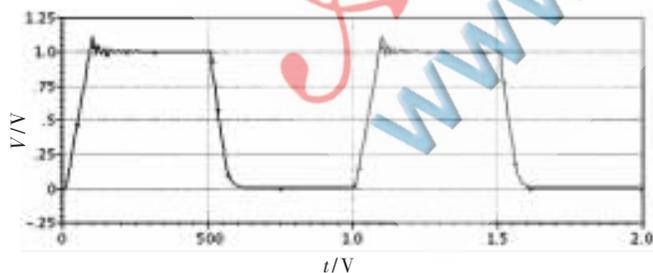
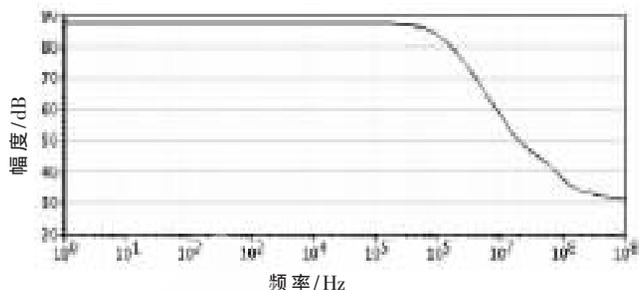
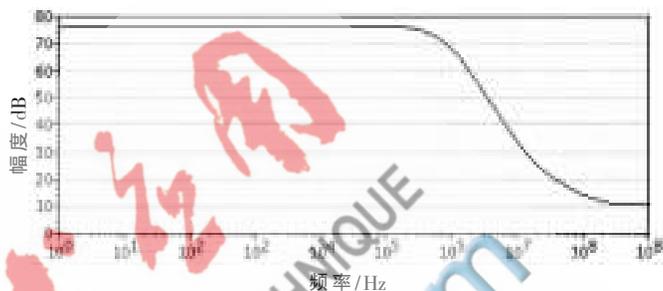


图4 瞬态响应曲线

共模电路的幅值曲线如图5所示。其中图5(a)为共模抑制比曲线,图5(b)为负电源抑制比曲线。由图中可以看出,ADC高增益放大器共模抑制比为87 dB,负电源抵制比为76 dB。在此指标下,电路能有效地抑制衬底与电源耦合的噪声、电源电压的波动及1/f噪声。



(a) 共模抑制比

(b) 负电源抑制比
图5 共模电路幅值曲线

本文根据ADC放大器设计思路和设计要,详细介绍了ADC放大器VLSI电路设计及各参数的确立方法,并在Cadence环境下,对电路进行了仿真验证。结果显示,开环直流增益、相位裕度、转换速率、共模抑制比、正负电源抑制比等性能参数均达到了对ADC放大器的设计要求。

参考文献

- [1] 何红松.CMOS两级运算放大器设计与HSPICE仿真[J].湖南科技学院学报,2007,28(12):29-31.
- [2] ALLEN P E,HOLBERG D R. CMOS analog circuit design[M].2nd,Publishing House of Electronics Industry,2002.
- [3] PETRIE C S, CONELLY J A. A noise-based IC random number generator for application incryptography[J]. IEEE Trans. on Circuits and Systems,2000,47(5):234-236.
- [4] BUIT K,GEELLEN G. A fast-settling CMOS operational amplifier for SC circuits with 90-Db DC gain[J]. IEEE Solid-State Circuits,1990,25(6):1379-1384.

(收稿日期:2012-08-17)

作者简介:

姬厚涛,男,1981年生,助理工程师,硕士,主要研究方向:微电子技术。

席月平,男,1981年生,助理工程师,本科,主要研究方向:计算机应用技术。

刘明菊,女,1981年生,工程师,硕士研究生,主要研究方向:计算机测控技术。